



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월02일  
(11) 등록번호 10-0790290  
(24) 등록일자 2007년12월21일

(51) Int. Cl.

H01L 23/38 (2006.01)

(21) 출원번호 10-2006-0131297  
(22) 출원일자 2006년12월20일  
심사청구일자 2006년12월20일  
(56) 선행기술조사문헌  
JP08288486 A  
KR1020010085375 A

(73) 특허권자

동부일렉트로닉스 주식회사  
서울 강남구 대치동 891-10

(72) 발명자

한창훈  
경기 이천시 갈산동 777 신일해피트리 102-1101

(74) 대리인

허용록

전체 청구항 수 : 총 10 항

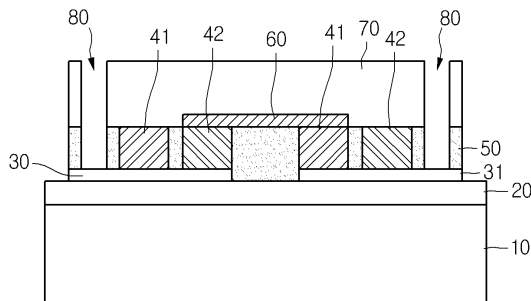
심사관 : 심재만

(54) 전자 냉각소자 및 그의 제조방법

(57) 요약

본 발명은 전자 냉각소자 및 그 제조방법에 관한 것으로서, 반도체 기판에 절연막을 형성하는 단계; 상기 절연막 상에 제1 및 제2 실리사이드를 형성하는 단계; 상기 제1 및 제2 실리사이드가 형성된 반도체 기판 위로 폴리실리콘을 형성하고 불순물을 주입하여 상기 제1 실리사이드와 제2 실리사이드에 각각 접하는 한쌍의 P형 및 N형 반도체를 형성하는 단계; 상기 폴리실리콘을 제거하여 상기 P형 반도체와 N형 반도체를 모두 분리시키는 단계; 상기 P형 및 N형 반도체 상으로 제1 층간절연막을 형성한 다음 상기 N형 및 P형 반도체의 상면을 노출시키는 단계; 상기 제1 실리사이드의 N형 반도체와 제2 실리사이드의 P형 반도체의 상부로 제3 실리사이드를 형성하는 단계; 상기 제3 실리사이드가 형성된 반도체 기판 상으로 제2 층간절연막을 형성하는 단계; 상기 제2 및 제1 층간절연막을 식각하여 제1 또는 제2 실리사이드의 가장자리를 노출시켜 컨택홀을 형성하는 단계를 포함하는 전자 냉각소자 및 그의 제조방법에 관한 것이다.

대표도 - 도10



**특허청구의 범위**

**청구항 1**

반도체 기판에 절연막을 형성하는 단계;

상기 절연막 상에 제1 및 제2 실리사이드를 형성하는 단계;

상기 제1 및 제2 실리사이드가 형성된 반도체 기판 위로 폴리실리콘을 형성하고 불순물을 주입하여 상기 제1 실리사이드와 제2 실리사이드에 각각 접하는 한쌍의 P형 및 N형 반도체를 형성하는 단계;

상기 폴리실리콘을 제거하여 상기 P형 반도체와 N형 반도체를 모두 분리시키는 단계;

상기 P형 및 N형 반도체 상으로 제1 층간절연막을 형성한 다음 상기 N형 및 P형 반도체의 상면을 노출시키는 단계;

상기 제1 실리사이드의 N형 반도체와 제2 실리사이드의 P형 반도체의 상부로 제3 실리사이드를 형성하는 단계;

상기 제3 실리사이드가 형성된 반도체 기판 상으로 제2 층간절연막을 형성하는 단계;

상기 제2 및 제1 층간절연막을 식각하여 제1 또는 제2 실리사이드의 가장자리를 노출시켜 콘택홀을 형성하는 단계를 포함하는 전자 냉각소자의 제조방법.

**청구항 2**

제1항에 있어서,

상기 반도체 기판 상에 형성된 절연막은 알루미늄 산화막인 것을 포함하는 전자 냉각소자의 제조방법.

**청구항 3**

제2항에 있어서,

상기 절연막은 10~300 $\mu$ m 인 것을 포함하는 전자 냉각소자의 제조방법.

**청구항 4**

제1항에 있어서,

상기 폴리실리콘은 N형으로 도핑된 폴리실리콘이며, P형 반도체가 형성되는 영역에 P형 불순물을 주입하여 N형 반도체와 P형 반도체를 형성하는 것을 포함하는 전자 냉각소자의 제조방법

**청구항 5**

제1항에 있어서,

상기 폴리실리콘은 P형으로 도핑된 폴리실리콘이며, N형 반도체가 형성되는 영역에 N형 불순물을 주입하여 N형 반도체와 P형 반도체를 형성하는 것을 포함하는 전자 냉각소자의 제조방법.

**청구항 6**

제1항에 있어서,

상기 제1 및 제2 층간절연막은 산화막인 것을 포함하는 전자 냉각소자의 제조방법.

**청구항 7**

반도체 기판 상에 형성된 절연막;

상기 절연막 위에 형성된 제1 및 제2 실리사이드;

상기 제1 실리사이드와 제2 실리사이드에 각각 형성된 한쌍의 P형 반도체 및 N형 반도체;

상기 P형 및 N형 반도체 사이에 채워진 제1 층간절연막;

상기 제1 실리사이드의 N형 반도체와 상기 제2 실리사이드의 P형 반도체가 연결되도록 상부에 형성된 제3 실리

사이드;

상기 제3 실리사이드 상부로 형성된 제2 층간절연막;

상기 제1 또는 제2 실리사이드의 가장자리를 노출시키기 위하여 상기 제1 및 제2 층간절연막을 식각하여 형성된 콘택홀을 포함하는 전자 냉각소자.

**청구항 8**

제7항에 있어서,

상기 P형 반도체는 P형 불순물로 이루어진 것을 포함하는 전자 냉각소자.

**청구항 9**

제7항에 있어서,

상기 N형 반도체는 N형 불순물로 이루어진 것을 포함하는 전자 냉각소자.

**청구항 10**

제7항에 있어서,

상기 콘택홀은 하나 또는 그 이상 형성되는 것을 포함하는 전자 냉각소자.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <3> 본 발명은 전자 냉각소자 및 그의 제조방법에 관한 것으로서, 더욱 상세하게는 펄티어 효과를 이용한 전자 냉각소자 및 그의 제조방법에 관한 것이다.
- <4> 일반적으로 집적회로 소자와 같은 마이크로 프로세서(microprocessor)는 고밀도로 집적된 회로들이 매우 빠른 속도로 동작하도록 설계된다. 이에 따라, 집적회로 소자의 동작시 집적회로 소자 자체에 매우 많은 열이 발생한다. DRAM 소자 또는 CPU 소자의 속도에 발맞추어 빠른 입출력을 갖는 회로들이 집적회로 소자에 적용되고 있는 추세에 따라, 이러한 집적회로 소자에 사용되는 반도체에서 많은 열이 발생되어 이를 감소하기 위한 연구가 진행 중이다.
- <5> 상기 반도체를 구동하는 소자는 전자와 홀로 이루어져 있는데 이를 통틀어 캐리어라고 하며, 상기 캐리어는 온도가 증가함에 따라 급속히 증가하는 경향이 있다.
- <6> 이를 설명하는 수식은 아래와 같으며, 이를 그래프로 표시한 것은 도 1에 도시되어 있다.

$$n_i(T) = 2 \left( \frac{2\pi kT}{h^2} \right)^{\frac{3}{2}} (m_p^* m_n^*)^{\frac{3}{4}} e^{\frac{-E_g}{2kT}}$$

- <7>
- <8> 이렇게 온도에 따라 증가하는 캐리어의 농도는 소자의 동작을 제어하는데 상당한 제약요소로 발생하며, 이를 방지하기 위하여 복잡한 프로세스와 상당기간의 연구개발기간이 소요된다.
- <9> 따라서, 이러한 열적제약을 완화하기 위하여 컴퓨터와 같은 집적회로의 내부에 방열판 및 팬을 장착하여 열을 발산시켜 전자기기 내부의 열을 낮추고 있는 실정이다.
- <10> 이 경우, 집적회로소자의 부피보다 훨씬 큰 부피를 상기 방열판 및 팬이 차지하여, 작은 크기의 제품에 적용되는 것을 실질적으로 불가능한 문제점이 있다.

**발명이 이루고자 하는 기술적 과제**

<11> 본 발명은 상기와 같은 종래의 문제점을 해결하기 위한 것으로, 본 발명은 펠티어 현상을 이용한 전자 냉각소자를 이용하여 집적회로의 내부에서 발생하는 열을 효율적으로 냉각시킬 수 있는 전자 냉각소자 및 그의 제조방법을 제공하는 데 있다.

**발명의 구성 및 작용**

<12> 본 발명의 전자 냉각소자의 제조방법은, 반도체 기판에 절연막을 형성하는 단계; 상기 절연막 상에 제1 및 제2 실리사이드를 형성하는 단계; 상기 제1 및 제2 실리사이드가 형성된 반도체 기판 위로 폴리실리콘을 형성하고 불순물을 주입하여 상기 제1 실리사이드와 제2 실리사이드에 각각 접하는 한쌍의 P형 및 N형 반도체를 형성하는 단계; 상기 폴리실리콘을 제거하여 상기 P형 반도체와 N형 반도체를 모두 분리시키는 단계; 상기 P형 및 N형 반도체 상으로 제1 층간절연막을 형성하고 상기 N형 및 P형 반도체의 상면을 노출시키는 단계; 상기 제1 실리사이드의 N형 반도체와 제2 실리사이드의 P형 반도체의 상부로 제3 실리사이드를 형성하는 단계; 상기 제3 실리사이드가 형성된 반도체 기판 상으로 제2 층간절연막을 형성하는 단계; 상기 제2 및 제1 층간절연막을 식각하여 제1 또는 제2 실리사이드의 가장자리를 노출시켜 컨택홀을 형성하는 단계를 포함한다.

<13> 또한, 본 발명의 전자 냉각소자는, 반도체 기판 상에 형성된 절연막; 상기 절연막 위에 형성된 제1 및 제2 실리사이드; 상기 제1 실리사이드와 제2 실리사이드에 각각 형성된 한쌍의 P형 반도체 및 N형 반도체; 상기 P형 및 N형 반도체 사이에 채워진 제1 층간절연막; 상기 제1 실리사이드의 N형 반도체와 상기 제2 실리사이드의 P형 반도체가 연결되도록 상부에 형성된 제3 실리사이드; 상기 제3 실리사이드 상부로 형성된 제2 층간절연막; 상기 제1 또는 제2 실리사이드의 가장자리를 노출시키기 위하여 상기 제1 및 제2 층간절연막을 식각하여 형성된 컨택홀을 포함한다.

<14> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하도록 한다.

<15> 실시예를 설명함에 있어서 본 발명이 속하는 기술분야에 익히 알려져 있고 본 발명과 직접적으로 관련이 없는 기술내용에 대해서는 설명을 생략한다. 이는 불필요한 설명을 생략함으로써 본 발명의 요지를 흐리지 않고 보다 명확히 전달하기 위함이다.

<16> 한편, 어떤 층이나 다른 층 또는 반도체 기판의 '상' 또는 '위'에 있다라고 기재되는 경우에 상기 어떤 층은 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는 그 사이에 제3의 층이 개재되어 질 수도 있다. 또한 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되거나 생략되거나 또는 개략적으로 도시되었다. 또한 각 구성요소의 크기는 실제 크기를 전적으로 반영하는 것이 아니다.

<17> 도 10은 본 발명에 따른 전자 냉각소자를 도시한 것으로, 본 발명의 전자 냉각소자는 펠티어 효과를 이용한 다수의 P형 반도체와 N형 반도체를 직렬로 연결하여 구성된다.

<18> 도 10에 도시된 바와 같이, 반도체 기판(10)상에 절연막(20)이 형성되어 있다. 상기 절연막(20)은 알루미늄 산화막이며 특히 냉각소자가 이용되는 소자의 발열 열량을 고려하여 10~300 $\mu$ m의 두께로 형성되며 발열이 클수록 두껍게 형성된다.

<19> 상기 절연막(20) 위에는 제1 및 제2 실리사이드(30,31)가 분리되어 형성되어 있다.

<20> 상기 제1 및 제2 실리사이드(30,31)에는 한 쌍의 P형 반도체(41)와 N형 반도체(42)가 각각 형성되어 있다.

<21> 상기 P형 반도체(41)는 P형 불순물이 이온주입에 의해 형성된 것이고, 상기 N형 반도체(42)는 N형 불순물이 이온주입에 의해 형성된 것이다.

<22> 상기 제1 실리사이드(30)에 형성된 P형 및 N형 반도체(41,42)와 제2 실리사이드(31)에 형성된 P형 및 N형 반도체(41,42)는 제1 층간절연막(50)에 의해 각각 분리되어 있다. 여기서, 상기 제1 층간절연막(50)은 산화막이다.

<23> 그리고, 서로 이웃하는 상기 제1 실리사이드(30)에 형성된 N형 반도체(42)와 상기 제2 실리사이드(31)에 형성된 P형 반도체(41)의 상부 표면에는 제3 실리사이드(60)가 형성되어 상기 제1 실리사이드(30)에 형성된 N형 반도체(42)와 상기 제2 실리사이드(31)에 형성된 P형 반도체(41)는 전기적으로 직렬로 연결된 상태가 된다.

<24> 상기 제3 실리사이드(60)의 상부에는 제2 층간절연막(70)이 형성되어 있으며, 상기 제2 층간절연막(70)은 산화막이다.

<25> 그리고, 상기 반도체 기판(10)의 가장자리에는 외부전압을 인가하기 위하여 상기 제2 및 제1 층간절연막(70,50)을 식각하여 컨택홀(80)을 형성함으로써 상기 제1 및 제2 실리사이드(30,31)의 가장자리 영역을 노출시킨다.

이때 상기 컨택홀(80)은 적어도 하나 또는 그 이상 형성된다.

- <26> 상기와 같이 형성된 전자 냉각소자는 상기 펠티어(Peltier) 효과를 이용한 것으로, 상기 전자 냉각소자에 공급되는 전류의 크기와 시간을 조절함으로써 소형 전자장치에서 냉각효과를 가질 수 있게 된다.
- <27> 여기서, 상기 펠티어 효과를 간략히 설명하면, 전자가 금속에서 반도체를 흐를 때 금속의 페르미(Fermi) 준위에 있는 전자들이 반도체의 전도대로 움직여야 한다. 따라서, 전도 전자들은 금속에서 반도체로 움직일 때 그들의 평균 운동 에너지가 증가되어야 한다. 이 운동에너지의 변화는 열의 흡수로 생기는 것으로 이러한 열 또는 열적 에너지가 전자의 평균 운동에너지를 증가시키는데 이용된다. 만일 전류가 더 흐르다며 전자의 운동에너지는 감소되고 그와 관련된 열을 발생시킬 것이다. 그래서 전자들이 접합영역을 지나갈 때 그들의 평균 운동에너지가 변화되기 때문에 전류의 방향에 따라서 열이 흡수되거나 발생된다는 것을 알 수 있다.
- <28> 상기와 같이 가역적인 펠티어 효과는 전류가 흐를 때 언제나 생기는 것이다. 상기 펠티어 현상을 응용한 전자 냉각소자는 반도체 소자로서, 두 종류의 다른 금속 즉, P형 반도체(41)와 N형 반도체(42)를 접합하여 전류를 흘렸을 경우, 접합부의 전류에 비례한 열의 발생 또는 흡수가 일어나고 전류의 방향을 바꾸면 열의 발생, 흡수가 반대로 일어나게 된다. 이러한 전자 냉각소자는 크기가 작고 전원공급으로 바로 냉각이 가능하며 단순 극전환 스위치 부착으로 냉각과 발열이 가능한 장점을 갖고 있다.
- <29> 도 2 내지 도 10은 본 발명의 전자 냉각소자의 제조방법을 순차적으로 도시한 단면도이다.
- <30> 도 2에 도시된 바와 같이, 상기 반도체 기판(10) 상에 절연막(20)을 형성한다.
- <31> 여기서 상기 절연막(20)은 알루미늄 산화막이고, 그 두께는 10~300 $\mu$ m 정도로서, 이미지 센서와 같은 소자의 발열량을 고려하여 발열 열량이 높을수록 그 두께는 두껍게 형성된다.
- <32> 상기 절연막(20) 위로 폴리실리콘을 형성하고 사진 식각공정에 의하여 두 부분으로 분리된 폴리실리콘 패턴(미도시)을 형성한다.
- <33> 그 다음, 도 3에 도시된 바와 같이, 상기 폴리실리콘 패턴 상으로 금속막을 증착하여 접촉저항을 낮출 수 있는 제1 및 제2 실리사이드(30,31)를 형성한다.
- <34> 그 다음, 도 4에 도시된 바와 같이, 상기 제 1 및 제2 실리사이드(30,31) 상부로 폴리실리콘(40)을 소정의 두께로 형성한다. 이때, 폴리실리콘(40)은 불순물이 전혀 없는 폴리실리콘(40)을 사용하거나 N형 또는 P형 불순물이 도핑된 폴리실리콘(40)을 사용한다.
- <35> 따라서, 상기 폴리실리콘(40)이 다결정 폴리실리콘이며 N형으로 도핑된 폴리실리콘을 사용할 경우에는 P형 반도체가 형성되는 영역에만 P형 불순물을 주입하고, 또 상기 폴리실리콘(40)이 P형으로 도핑된 폴리실리콘을 사용할 경우에는 N형 반도체가 형성되는 영역에만 N형 불순물을 주입하여 사용하면 된다.
- <36> 그리고, 상기 폴리실리콘(40)이 불순물이 전혀 없는 경우에는 P형 불순물 및 N형 불순물을 각각 이온주입하여 P형 반도체와 P형 반도체를 형성하면 된다.
- <37> 이것은, 상기 폴리실리콘(40) 상에 포토레지스트막을 도포하여 노광 및 현상공정을 실시하여 P형 반도체(41)가 형성되는 영역을 선택적으로 노출시키는 제1 포토레지스트 패턴(100)을 형성한다.
- <38> 상기 제1 포토레지스트 패턴(100)을 이온주입 마스크로 사용하여 상기 폴리실리콘(40)으로 P형 불순물의 이온주입공정을 실시하면 상기 제1 및 제2 실리사이드(30,31)의 상부에는 P형 반도체(41)가 형성된다.
- <39> 상기 제1 포토레지스트 패턴(100)을 제거한 후, 도 5에 도시된 바와 같이, 상기 폴리실리콘(40) 상에 포토레지스트막을 도포하여 노광 및 현상공정을 실시하여 N형 반도체(42)가 형성되는 영역을 선택적으로 노출시키는 제2 포토레지스트 패턴(200)을 형성한다.
- <40> 상기 제2 포토레지스트 패턴(200)을 이온주입 마스크로 사용하여 상기 폴리실리콘(40)으로 N형 불순물의 이온주입공정을 실시하면 상기 제1 및 제2 실리사이드(30,31)의 상부에는 N형 반도체(42)가 형성된다.
- <41> 그리고, 상기 제2 포토레지스트 패턴(200)을 제거하면, 상기 제1 실리사이드(30)의 상부에는 한쌍의 P형 반도체(41)와 N형 반도체(42)가 형성되고, 상기 제2 실리사이드(31)의 상부에도 한쌍의 P형 반도체(41)와 N형 반도체(42)가 형성된다.
- <42> 그 다음, 도 6에 도시된 바와 같이, 상기 P형 및 N형 반도체(42) 상으로 포토레지스트막을 도포하고 상기 P형 및 N형 반도체(42) 이외의 영역을 노출시키는 제3 포토레지스트 패턴(300)을 형성한 후, 상기 제3 포토레지스트

패턴(300)을 식각마스크로 하는 식각공정을 진행하여 상기 P형 및 N형 반도체(42) 사이에 있던 폴리실리콘(40)을 식각한다.

- <43> 그리고, 상기 제3 포토레지스트 패턴(300)을 제거하면, 도 7에 도시된 바와 같이, 상기 제1 및 제2 실리사이드(30,31) 상에 형성된 상기 P형 및 N형 반도체(41,42)가 모두 분리된 상태가 된다.
- <44> 그 다음 도 8에 도시된 바와 같이, 상기 P형 및 N형 반도체(41,42) 상으로 제1 층간절연막(50)을 형성한 후, 상기 P형 및 N형 반도체(41,42)의 상부 표면이 노출되도록 상기 제1 층간절연막(50)을 전면식각 또는 CMP 공정에 의해 평탄화시킨다.
- <45> 그 다음, 상기 P형 및 N형 반도체(41,42) 및 제1 층간절연막(50) 상부로 폴리실리콘(40)을 증착시킨 후 포토리소그래피 공정으로 상기 제1 실리사이드(30)의 N형 반도체(42)와 제2 실리사이드(31)의 P형 반도체(41)의 상부에만 상기 폴리실리콘 패턴(미도시)이 형성되도록 포토레지스트 패턴(미도시)을 형성한 후 식각공정을 진행한다. 그리고, 도 8에 도시된 바와 같이 상기 폴리실리콘 패턴 상으로 금속막을 증착하여 접촉저항을 낮출 수 있는 제3 실리사이드(60)를 형성하면, 상기 N형 반도체(42)와 P형 반도체(41)는 직렬로 연결된 상태가 된다.
- <46> 그 다음, 도 9에 도시된 바와 같이, 상기 제3 실리사이드(60) 상부로 제2 층간절연막(70)을 형성한 후 평탄화공정을 진행한다. 상기 제2 층간절연막(30)은 산화막이 사용된다.
- <47> 그 다음, 도 10에 도시된 바와 같이, 상기 반도체 기판(10) 상에 적층된 제1 및 제2 층간절연막(50,70)의 가장자리에 식각공정을 수행하여 컨택홀(80)을 형성한다. 상기 컨택홀(80)은 외부전압을 인가하기 위한 것으로 상기 제1 실리사이드(30) 또는 제2 실리사이드(31)의 표면이 노출되도록 형성함으로써 전자 냉각소자를 제조한다.
- <48> 이상과 같이 본 발명에 따른 전자 냉각소자 및 그의 제조방법은을 예시한 도면을 참조로 하여 설명하였으나, 본 명세서에 개시된 실시예와 도면에 의해 본 발명이 한정되는 것은 아니며, 본 발명의 기술사상 범위 내에서 당업자에 의해 다양한 변형이 이루어질 수 있음은 물론이다.

**발명의 효과**

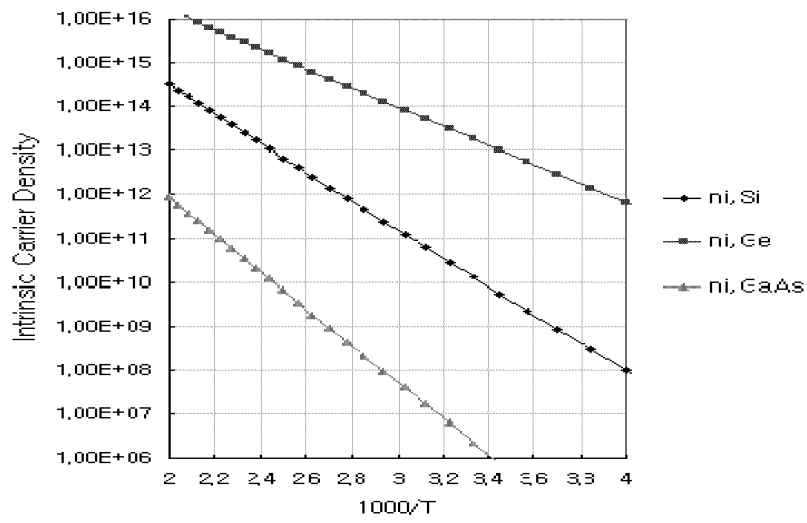
- <49> 이상에서 설명한 바와 같이, 본 발명의 전자 냉각소자 및 그의 제조방법은, 펠티어 효과에 의한 반도체 전자 냉각소자를 형성함으로써, 반도체 집적소자에 적용가능하여 집적회로 내부에서 발생하는 열을 냉각시킬 수 있으며, 특히 고온에서의 이미지 센서의 동작을 가능하게 할 수 있다. 또한, 광전효과에 의한 광전류와 같은 암전류를 제어를 효과적으로 할 수 있게 되어, 이미지의 선명한 구현을 위해 보다 높은 증폭을 가능하게 하여 시모스 이미지 센서의 품질향상을 기대할 수 있다.

**도면의 간단한 설명**

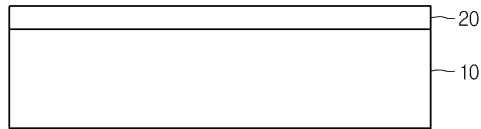
- <1> 도 1은 온도 변화에 따른 전자의 농도변화를 나타낸 그래프,
- <2> 도 2 내지 도 10은 본 발명에 따른 전자냉각소자의 제조방법을 도시한 공정 단면도이다.

도면

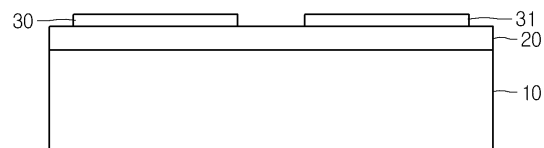
도면1



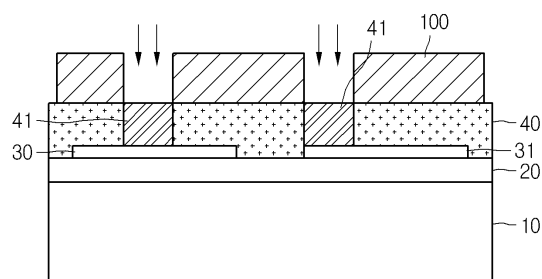
도면2



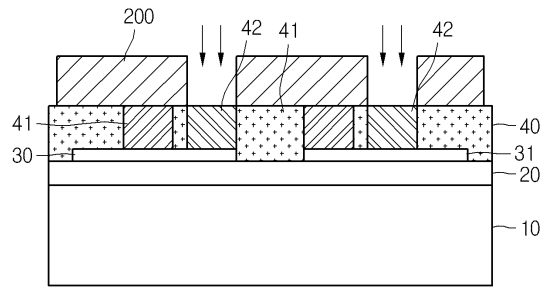
도면3



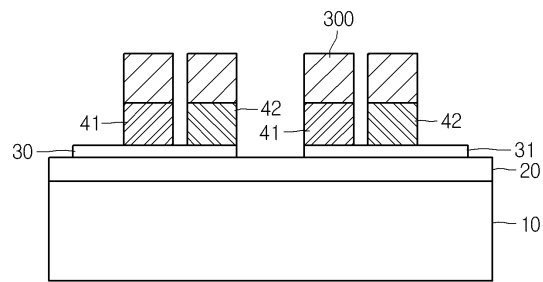
도면4



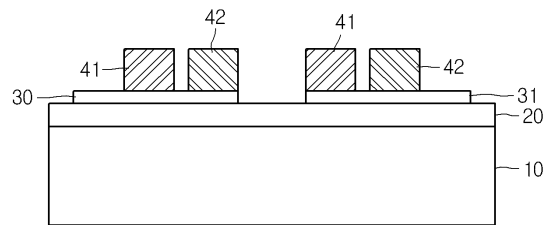
도면5



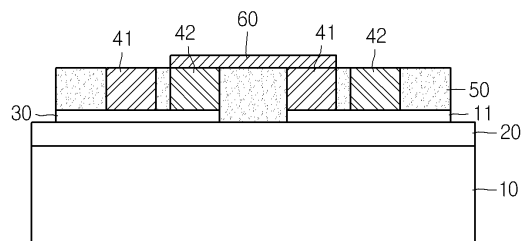
도면6



도면7

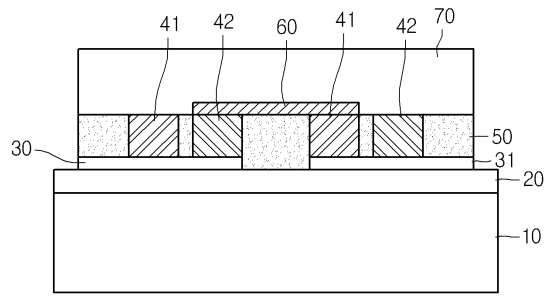


도면8





도면9



도면10

