

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H04N 7/247	(45) 공고일자 2000년11월15일	(11) 등록번호 10-0272120
(21) 출원번호 10-1993-0005249	(24) 등록일자 2000년08월23일	(65) 공개번호 특1993-0022886
(22) 출원일자 1993년03월31일	(43) 공개일자 1993년11월24일	
(30) 우선권주장 92-110858 1992년04월03일 일본(JP)		
(73) 특허권자 소니 가부시킴가이샤	이데이 노부유키	
(72) 발명자 기따우라 다쿠야	일본국 도오교도 시나가와구 기다시나가와 6쵸메 7반 35고	
(74) 대리인 이병호	일본국 도오교도 시나가와구 기다시나가와 6쵸메 7반 35고 소니 가부시킴가이샤나미 무라까미 요시히로 일본국 도오교도 시나가와구 기다시나가와 6쵸메 7반 35고 소니 가부시킴가이샤나미	

심사관 : 조광현

(54) 양자화 컨트롤 회로

요약

[목적]

제1세대는 처음부터 스케일링 팩터의 정보를 받을 수가 없도록 된 더빙시라도 DCT 계수 데이터에서 최적의 스케일링 팩터를 결정할 수 있고 화질의 떨어짐을 방지할 수 있다.

[구성]

양자화 컨트롤부(3)의 제1블럭(20)에는 DCT 계수 데이터 DCTCOEF가 공급된다. 이 제1블럭(20)은 이분목 탐색법에 의해 비트레이트를 목표치 이하로 하기 위한 스케일링 팩터 F_n 을 구한다. 제2블럭(30)에서는 이 스케일링 팩터 F_n 에 기인한 복수의 후보에 관해 에러를 최소로 하는 것이 검출된다. 이 검출에서 이전의 스케일링 팩터 정보가 보정치로서 생성되고 이 보정치가 스케일링 팩터 F_n 에 대해 가산되어 스케일링 팩터 SF가 생성된다. 이 스케일링 팩터 SF에서 등장화를 위한 양자화가 이루어진다.

대표도

도2

명세서

[발명의 명칭]

양자화 컨트롤 회로

[도면의 간단한 설명]

제1도는 본 발명을 적용할 수 있는 디지털 VTR의 기록계 블럭도.

제2도는 본 발명이 적용된 양자화 컨트롤부의 기본적인 구성을 나타내는 블럭도.

제3도는 양자화 컨트롤부의 제1블럭의 일례인 블럭도.

제4도는 제1블럭중의 하나인 컨트롤러의 일례인 블럭도.

제5도는 스케일링 팩터와 에러의 관계의 일례를 나타내는 약선도.

제6도는 양자화 컨트롤부의 제2블럭의 일례인 블럭도.

제7(a), 7(b)도 및, 제7(c)도는 제1블럭의 변형된 구성의 몇가지 예인 블럭도.

제8도는 제2블럭의 변형예인 블럭도.

제9도는 스케일링 팩터와 비트 레이트의 관계의 일례를 나타내는 약선도.

* 도면의 주요부분에 대한 부호의 설명

2 : DCT회로	3 : 양자화 컨트롤부
4 : 양자화기	5 : 가변장부호화기
20 : 제1블럭	30 : 제2블럭
20 _n 내지 20 _n : 컨트롤러	37 : 최소치 검출회로

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 디지털 비디오 신호 기록 장치에 있어서 디지털 비디오 신호의 비트레이트를 저감하는 비트 리덕션과 관련하는 양자화 컨트롤 회로에 관한 것이다.

[종래의 기술]

디지털 비디오 신호를 예를들면 회전 헤드에 의해 자기 테이프에 기록되는 디지털 VTR이 알려져 있다. 디지털 비디오 신호의 정보량이 많기 때문에 그 전송 데이터량을 압축하기 위한 고능률 부호화가 채용되는 경우가 많다. 여러가지의 고능률 부호화중에서도 DCT(Discrete Cosine Transform)의 실용화가 진행되고 있다.

DCT 는 1 필름의 화상을 예를들면(4 × 4)의 블럭구조로 변환해 이 블럭을 직교변환의 일종인 코사인 변환처리하는 것이다. 그 결과, (4 × 4)의 계수 데이터가 발생한다. 이와같은 계수 데이터는 런길이 부호, 허프만 부호등의 가변장 부호화의 처리를 받고나서 기록된다. 기록시에는 재생측에서의 데이터 처리를 용이하게 하기 위해서, 부호화 출력인 코드 신호를 일정 길이의 싱크블럭의 데이터 영역내에 삽입하고, 코드 신호에 대해 동기신호, ID 신호가 부가된 싱크블럭을 구성하는 프레임화가 이루어진다.

자기 테이프를 사용하는 디지털 VTR, 디스크 모양의 기록 매체를 사용하는 디스크 기록 장치등에서는, 1 필드 또는 1 프레임의 비디오 데이터가 복수개의 트랙에 기록되는 것이 보통이다. 그렇지만, 상술한 DCT와 같이, 가변장 출력이 형성될 때에는, 이들의 소정기간의 데이터량이 변동한다. 이때문에, 소정 기간의 데이터량을 목표치 이하로 하기 위한 등장화 처리(버퍼링이라고도 불린다)가 필요하게 된다.

등장화 처리의 일례로서, 1 필드 또는 1 프레임 보다 짧은 소정기간(등장화 단위라고 칭한다)의 데이터량을 제어하고, 1 필드 또는 1 프레임 기간의 전체에서도, 데이터량을 목표치 이하로 하는 등장화 처리가 제안되고 있다. 등장화 처리는, DCT에서 발생한 교류분의 계수 데이터를 적절한 양자화 스텝으로 재양자화해서, 전송 데이터량을 목표치 이하로 억제하는 처리이다. 이하, 이 양자화 스텝을 스케일링 팩터라고 부른다. 전송 데이터내에는, 스케일링 팩터 자체 또는 이것을 특정하는 ID 코드가 부호화 데이터와 함께 삽입된다.

양자화에 있어서는, 각 등장화 단위에 최적한 스케일링 팩터를 결정하는 것이 필요하다. 스케일링 팩터는 값이 클수록 보다 강력한 데이터 압축이 가능하나, 그 반면 화질이 떨어진다. 따라서, 비트레이트가 허용하는 범위에서 스케일링 팩터의 값을 최소화 할 필요가 있다. 그리고, 디지털 VTR이 예를들면 비리오 카메라로부터의 원화상 신호를 DCT에 의해 부호화해서 테이프상에 기록하고, 이 제1세대 테이프로부터의 재생 데이터를 복호화해서 제1세대 화상을 얻는 프로세스에서는, 기록/재생 데이터중의 스케일링 팩터 또는 이것을 나타내는 ID 코드를 참조하는 것으로 부호화와 복호화의 사이에서 동일한 스케일링 팩터를 사용할 수가 있다.

[발명의 해결하고자 하는 과제]

그러나, 재생 VTR 로부터의 제1세대 화상을 인터페이스를 개입시켜 기록 VTR에 전송하고, 기록 VTR에 의해 제2세대 테이프를 작성하는 더빙시에 있어서는, 최소의 값으로 하기보다는 원화상에서 제1세대 화상을 만들때에 사용한 스케일링 팩터와 동일한 것을 사용할 필요가 있다.

제1세대 화상을 스위치, 특수효과 발생장치를 개입시켜 처리하고, 처리된 화상을 기록할 경우도 마찬가지이다. 그 이유는, 스케일링 팩터가 이 값보다 크거나 작거나 하더라도 화질이 제1세대 화상과 비교해서 떨어져 버리기 때문이다.

가정용 VTR과 통신계에 있어서는 이 스케일링 팩터를 별도로 전송할 수도 있지만, CCIR 601 등의 디지털 인터페이스가 일반화되어 있는 업무용, 방송용 VTR에서는, 그 포맷의 점에서 이 스케일링 팩터 또는 ID 코드를 전송하는 것은 곤란하기 때문에, 최적한 스케일링 팩터를 기록 VTR 측에서 결정할 필요가 있다.

이와 같이 기록 VTR 측에서 스케일링 팩터를 결정한 경우, 스케일링 팩터와 비트레이트의 관계는, 원화상에서 제1세대 화상을 만들때와, 그 이후의 멀티 제네레이션 때에 다르다는 것이 분명해졌다. 제9도는 이 실험의 결과를 도시한 것이다. 즉, 원화상에서 제1세대를 만들때의 어떤 것(실선으로 나타낸다)에 대해서, 또 제1세대에서 제2세대를 만들 때의 것(점선으로 나타낸다)에 대해서, 스케일링 팩터(가로축)와 비트레이트(세로축)의 관계를 도시한 것이다.

제9도의 예에서는, 목표로 하는 비트레이트를 4.0 비트/화소로 했을 경우, 원화상으로부터 제1세대 테이프를 만들때의 스케일링 팩터가 73 이다. 다음에, 그 값으로 양자화한 제1세대 화상을 더빙하는 것에 의해 제2세대 화상을 만들 때에는, 68의 스케일링 팩터라도 비트 레이트를 범위내에 넣을 수가 있다. 따라서, 원화상으로부터 제1세대 화상을 만들때의 값(=73)과 더빙으로 제2세대 화상을 만들때의 값(=68)과는 다르다. 다시말해, 비트 레이트 제한의 관점에서만 보면, 이전의 스케일링 팩터가 재현할 수 없어 더빙시에 화질이 떨어져 버리게 되고, 특히, 더빙을 거듭하면 화질의 떨어짐이 증대한다는 문제가 있었다.

따라서, 본 발명의 목적은 제1세대 화상 또는 멀티제네레이션을 따지지 않고, 계수 데이터에 의거해서 최적한 스케일링 팩터를 결정할 수 있는 양자화 컨트롤 회로를 제공하는 데에 있다.

[과제를 해결하기 위한 수단]

청구범위 제1항의 발명은, 디지털 비디오 신호를 코사인 변환 및 가변장 부호화하는 것과 함께, 등장화 단위의 부호화 출력의 데이터량을 목표치 이하로 제어하고, 이 제어된 디지털 신호를 기록매체상의 복수의 트랙에 기록하도록 한 디지털 비디오 신호 기록 장치에 있어서의 양자화 컨트롤 회로로서,

코사인 변환으로 발생한 계수 데이터가 공급되어, 등장화 단위의 부호화 출력 데이터량을 목표치 이하로 하는 스케일링 팩터를 결정하기 위한 제1블럭과; 계수 데이터 및 제1블럭으로부터의 스케일링 팩터가 공급되어, 계수 데이터에 존재하는 이전의 스케일링 정보를 추출해, 제1블럭으로부터의 스케일링 팩터를 보정하기 위한 제2블럭으로 이루어진 것을 특징으로 하는 양자화 컨트롤 회로이다.

또한, 본 발명은, 이 제1블럭은, 스케일링 팩터의 증대에 따라 데이터량이 단조 감소(대체로 일정한 감소)하도록 선택할 수 있는 복수의 스케일링 팩터가 준비되고, 이분목탐색법(binary tree searching method)에 의해 복수의 스케일링 팩터중에서 등장화 단위의 부호화 출력 데이터량을 목표치 이하로 하는 스케일링 팩터를 결정하는 것이다.

[작용]

등장화 기간내에서, DCT 및 가변장 부호화에서 발생하는 데이터량을 목표치 이하로 제어하는 제1블럭만으로는, 더빙시에 이전의 스케일링 팩터를 얻을 수 없다. 제2블럭에 있어서, 제1블럭으로부터의 스케일링 팩터에서 규정되는 복수의 후보중에서 이전의 스케일링 정보를 추출할 수 있다. 이 제1블럭 및 제2블럭의 2단 구성은, 더빙시 뿐만 아니라 원화상에서 제1세대 화상을 얻을 때에도 오동작을 하지 않는 이점을 갖는다.

[실시예]

이하, 본 발명을 디지털 VTR에 적용한 한 실시예에 대해 도면을 참조해서 설명한다. 제1도는 DCT를 사용한 비트리덕션에 의한 디지털 VTR의 기록계 구성을 전체적으로 나타낸다. 제1도는 디지털 비디오 신호의 처리와 PCM 오디오 신호의 처리를 포함한다.

비디오계의 구성을 설명하면, 우선 비디오 신호가 블럭화, 샤프링 회로(1)에 의해 블럭화와 샤프링의 처리가 이루어진다. 블럭화에 의해, 래스터 주사 순서의 비디오 데이터가 예컨대(4×4)의 DCT 블럭 구조의 데이터로 변환된다. 샤프링은 테이프상의 손상, 헤드의 크러그등 때문에, 예러가 집중해서, 수정이 불가능해지고 그 결과 화질의 떨어짐이 눈에 띠는 것을 방지하기 위해 예를들면 1 프레임내에서 DCT 블럭을 단위로 해, 배열을 변경하는 것이다.

블럭화 샤프링 회로(1)의 출력이 DCT(코사인 변환) 회로(2)에 공급되어 DCT에 의해 직교변환된다. DCT 회로(2)에서는, 하나의 직류분 데이터, 15개의 교류분 데이터를 포함한 DCT 계수 데이터가 발생한다. 이 DCT 계수 데이터를 등장화 단위로 분할해, 그 각 등장화 단위의 최적의 스케일링 팩터를 양자화 컨트롤부(3)에서 결정한다. 양자화기(4)에서는 컨트롤부(3)에서 결정된 스케일링 팩터를 사용해 DCT 계수 데이터를 양자화 한다. 즉 다시말해, 적절한 스케일링 팩터에 의해 교류분의 계수 데이터가 나누어지고 그 몫이 정수화된다. 뒤에 서술한 것과 같이, 이 발명에 의한 양자화 컨트롤부(3)는 제1블럭 및 제2블럭으로 이루어진 것이지만 제1도에서는 제1블럭만이 개략적으로 그려져 있다.

DCT 및 가변장 부호화에서 발생하는 DCT 계수 데이터의 비트수는 부호화의 대상의 화상 패턴에 의해 변화하므로, 1 필드 내지는 1 프레임 기간 보다 짧은 등장화 단위의 발생 비트수를 목표치 이하로 하기 위한 양자화가 행해진다. 여기서는, 40개의 DCT 블럭의 계수 데이터를 목표치 이하로 하는 양자화가 이루어진다. 등장화 단위를 1 트랙, 1 필드, 1 프레임보다 짧게 하는 것은 회로를 간략화하기 위한 것이다.

이 양자화된 DCT 계수 데이터가 가변장 부호화기(5)에 공급되어 런길이 부호화, 허프만 부호화등이 이루어진다. 그후, 버퍼 메모리(6), 외부호 인코더(7) 및 내부호 인코더(8)에 의해 여러 정정 부호화된다. 내부호 인코더(8)은 기록 데이터에 부가되는 ID 신호도 발생한다. 도시되지는 않았지만, 프레임화에 의해 기록 데이터가 형성되고 이 기록 데이터가 채널 부호화 회로, 기록 앰프를 거쳐 예컨대 2개의 회전 헤드에 공급되어, 자기 테이프상에 기록된다.

여러 정정 부호화로서, 적부호(product code)가 사용되고 그 수평방향 및 수직방향의 데이터에 대해 리이드-솔로몬 부호의 부호화가 각기 행해진다. 버퍼 메모리(6)는 적부호를 구성하는 2차원 배열을 얻기 위한 메모리이다. 외부호 인코더(7)와 관련해서 외부호 패리티 메모리(9)가 설치되어 있다.

외부호 인코더(7)와 내부호 인코더(8)와의 사이에 가산 회로(10)가 설치되어, 여기서 기록처리된 오디오 정보가 가산된다. PCM 오디오 신호는 샤프링 회로(11)와 외부호 인코더(12)와를 거쳐 가산회로(10)에 공급된다.

본 발명은, 위에 서술한 디지털 VTR의 기록계에 있어서 양자화 컨트롤부(3)에 대한 것이다. 양자화 컨트롤부(3)의 역할은, 각 등장화 단위에 최적의 스케일링 팩터를 결정하는 것이다. 본 발명에 의한 양자화 컨트롤부(3)의 전체적인 구성을 제2도에 나타낸다. 이 양자화 컨트롤부(3)는, 이분목 탐색법에 의해, 목표 비트레이트내에서 최소의 스케일링 팩터 F_n 을 결정하는 제1블럭(20)과, DCT 계수 데이터에 존재하는 이전의 스케일링 팩터 정보를 추출하는 것에 의해 더빙시에 그 스케일링 팩터에 보정을 행하는 것을 가능하게 하는 제2블럭(30)으로 크게 나눌 수 있다. 각 블럭에 대해서 아래에 서술한다.

제1블럭(20)은, 목표 비트레이트내에서, 최소의 스케일링 팩터를 결정하는 처리를 하고 있다. 제1블럭(20)은, 제3도에 나타나듯이 제1 부터 제n 까지의 n 단계 양자화 컨트롤러(20₁ 내지 20_n)가 직렬접속된 것이다. 각 컨트롤러에는, DCT 계수 데이터(DCT COEF)가 공급되고, 그곳에서 결정된 스케일링 팩터가 다음 단계로 보내진다. 최후의 컨트롤러(20_n)에서 제2블럭(30)을 위한 스케일링 팩터 F_n 이 꺼내어진다.

여기서 스케일링 팩터가 n 비트의 코드 신호이고, 선택할 수 있는 스케일링 팩터의 총수를 2_n 이라고 한다. 비트레이트는 스케일링 팩터의 증가에 대해 단조감소로 되어 있기 때문에 이 성질을 이용해서 이분

목 탐색법에 기초해 스케일링 팩터를 결정하는 것이 가능해진다. 다시 말해서 제3도의 구성에 있어서, 1 단계째의 컨트롤러(20₁)에서 스케일링 팩터의 최상위 비트를 결정하고, 2 단계째에서는 그 다음 비트를, 3 단계째에서는 그 다음이라는 식으로 해서, n 단계의 양자화 컨트롤러에서 결정해 가는 것이다. 각각의 단계 양자화 컨트롤러는 제4도에서 나타내는 구성을 지니고 있다.

제4도에 있어서, (21)이 전단계에서의 DCT 계수 데이터를 전단계에서의 스케일링 팩터 F_{k-1} 에 의해 양자화 하는 양자화기이다. 양자화기(21)의 출력이 코드장 콘버터(22)에 공급된다. 콘버터(22)는, 제1도 면중의 가변장 부호화기(5)와 동일한 가변장 부호화를 각 계수 데이터에 대해 행한 때에, 발생하는 가변장 코드의 코드장을 발생한다. 실제로는 콘버터(22)가 ROM으로 구성된다. 이 코드장이 누산기(23)에 공급된다.

누산기(23)는 가산회로(24)와 래치(25)로 구성된다. 가산회로(24)에는 코드장과 래치(25)의 피드백된 출력이 공급된다. 누산기(23)에 의해, 등장화 기간의 누산치 B_k 가 연산된다. 이 누산치 B_k 가 비교기(26)에 공급되어 목표 비트 레이트 B_t 와 비교된다. 비교기(26)의 출력이 로직 회로(27)에 공급된다. 로직회로(27)에는 전단계의 스케일링 팩터 F_{k-1} 이 공급된다. 로직회로(27)에서 스케일링 팩터 F_k 가 얻어진다. 게다가, DCT 계수 데이터는 동기용(SYNC) 메모리(28)을 거쳐 다음 단계로 보내진다.

제4도에 나타난 제K단계째의 처리에 대해 생각해 본다.

전단계에서 스케일링 팩터 F_{k-1} 을 받아 양자화기(21)가 등장화 단위의 DCT 계수를 양자화 한다. 이것을 가변장 부호화한 때의 부호장을 콘버터(22)에 의해 찾아 누산기(23)에 의해 등장화 단위로 부호장의 총화 B_k 를 구한다. 이 총화 B_k 와 목표 비트 레이트를 실현하기 위한 등장화 단위의 부호의 총화 B_t 와 비교기(26)에서 비교한다. 로직회로(27)에 의해 다음과 같이 스케일링 팩터 F_k 를 구할 수가 있다. SYNC 메모리(28)은, 처리에 필요한 시간만큼만, 계수 데이터를 지연한다.

$$F_k = F_{k-1} + 2^{n-k} - 2^{n-k-1} \quad (B_k > B_t)$$

$$F_k = F_{k-1} - 2^{n-k-1} \quad (B_k \leq B_t)$$

여기서, 최초의 단계의 컨트롤러(20₁)에 공급되는 스케일링 팩터 F_0 를 $F_0 = 2^n - 1 - 2^{n-1}$ 으로 하면, 제3도에도 시된 n 단계의 구성으로 비트 레이트를 목표 값 내에 넣을 수 있는 스케일링 팩터 F_n 이 얻어진다. 간단하게 말하면, 선택할 수 있는 스케일링 팩터의 범위를 2 분하고, B_k 와 B_t 의 비교를 하지 않고, 차례로 거기다 2 분해서, B_k 와 B_t 의 비교를 했던 처리에 의해, 스케일링 팩터의 값을 그 최상위 비트에서 최하위 비트로 향하여 순서대로 결정하고, B_k 와 B_t 가 될 때의 값을 F_n 으로 하는 것이다.

계속해서 제2블럭(30)에 대해 설명한다. 이 블럭에서는, 위에서 서술한 것과 같이, 제1블럭(20)에서 얻어진 스케일링 팩터 F_n 에 더빙시의 보정을 행한다. 더빙을 한 경우, 제1블럭(20)에서 결정되는 스케일링 팩터 F_n 은, 제9도의 실험결과를 이용해 설명한 것과 같이 원화상에서 제1세대 화상을 만들었을 때의 값보다도 작아져 버린다. 그러나, 양자화가 DCT 계수를 스케일링 팩터로 나누는 것이고, 역양자화가 양자화된 계수에 스케일링 팩터를 곱하는 것이라는 점을 생각하면, 원화상을 DCT 한때의 DCT 계수가 비교적 랜덤인데 비해, 더빙한 화상을 DCT 한 때의 DCT 계수는 이전의 스케일링 팩터의 배수에 가까운 관계라는 것이 예상된다. 이것을 실험한 결과를 제5도에 나타낸다.

이 제5도는 하나의 DCT 블럭에서 발생한 DCT 계수 데이터를 스케일링 팩터로 나누고, 그 나머지를 등장화 단위(예를들어 40개의 DCT 블럭)로 총화를 구하고 정규화한 것(다시말해 에러)을 모든 스케일링 팩터에 대해 도시한 것이다. 실선으로 나타낸 것과 같이 원화상을 DCT 한 것에 관해서는, 이 에러가 스케일링 팩터에 대해 단조증가이다. 그렇지만 스케일링 팩터(=73)으로 원화상을 양자화해서 만든 제1세대 화상을 더빙할시에, 이것을 DCT 한 때의 에러는 점선으로 나타내듯이 몇개의 극소치를 갖고 있다. 이들 극소치는 스케일링 팩터가(73)인 점 및 그 약수의 관계가 되는 점이다.

따라서, 제1블럭(20)의 수법에 의해 스케일링 팩터를 어느정도 정해, 이 스케일링 팩터 F_n 보다 커지는 방향의 근방에서 나머지의 총화(에러)의 최소치가 존재하는가를 찾아내, 그것을 최종적인 스케일링 팩터 SF로서 채용하면 좋다. 여기서, 커지는 방향이라고 했던 것은 위에서 서술한 것과 같이 비트레이트만을 고려해서 스케일링 팩터를 결정할 때에는, 본래의 스케일링 팩터보다 작은 값이 구해지는 것에 기초한 것이다. 게다가, 제1블럭(20)에서 구해진 스케일링 팩터 F_n 은 약수까지 작아지지 않고, 약수를 잘못해서 스케일링 팩터로 하는 일이 없다.

이러한 점에 주목해서, 제2블럭(30)은 제6도에서 나타내는 구성으로 이 극소치를 갖는 스케일링 팩터 SF를 찾는 것이다. 다시말해 이 제2블럭(30)에는, 제1블럭(20)에서 DCT 계수 데이터 및 스케일링 팩터 F_n 이 공급되어, 이하와 같이 결정된 보정값(0, 1, 2, ..., 또는 n)이 가산회로(38)에서 부가되어 스케일링 팩터 SF가 얻어진다.

제6도에서는 에러를 구하기 위해 DCT 계수 데이터가 입력되는 n 개의 섹션이 병렬적으로 설치되어 있다. 각 섹션에는 양자화기(31₀ 내지 31_n), 역양자화기(32₀ 내지 32_n), 감산기(33₀ 내지 33_n), 절대치화 회로(34₀ 내지 34_n) 및 누산기(35₀ 내지 35_n)이 만들어져 있다. 도면중에서, 가장 위의 섹션에 대해 설명하면, 그곳의 양자화기(31₀) 및 역 양자화기(32₀)에는 제1블럭(20)으로부터의 스케일링 팩터 F_n 이 그대로 공급된다.

이 스케일링 팩터 F_n 에 의해, DCT 계수 데이터가 양자화기(31₀)에서 양자화되고, 다음에 역양자화기(32₀)에서 역양자화되며, 이것과 원래의 계수와의 차이가 감산기(33₀)에서 구해지고, 이 차이의 절대치가 절

대치화 회로(34₀)에서 구해지며, 누산기(35₀)에 의해 이 절대치의 등장화 단위에 관한 총화(에러)가 구해진다. 이 에러가 최소치 검출 회로(37)에 공급된다.

다른 섹션에 의해서도 마찬가지로 스케일링 팩터의 후보에 대한 에러가 구해지고 이 에러가 최소치 검출 회로(37)에 공급된다. 스케일링 팩터의 후보로서는 F_n 에 더하여(F_{n+1} , F_{n+2} , \dots , F_{n+tn})이 사용되고 이들의 후보가 가산회로(36₁, 36₂, \dots , 36_n)에서 생성되어 대응하는 섹션에 공급된다. 최소치 검출회로(37)은, 각 섹션에서 구해진 에러 안에서 최소의 것을 검출해, 검출된 것과 대응하는 보정치(0, 1, 2, \dots 또는 n)을 발생시키고, 이 보정치를 가산회로(38)에 출력한다. SYNC 메모리(39)는 시간을 맞추기 위한 것이다.

위에서 서술한 것과 같이, 더빙시에 DCT 계수 데이터에서만 스케일링 팩터의 정보를 얻을 수가 있고, 원화상에서 제1세대 화상을 작성할 때의 것과 동일한 스케일링 팩터에 의해 제2세대 데이프를 얻을 수가 있다. 예를들면 제1블럭(20)에 의해 구해진 스케일링 팩터 F_n 이 68일때에는, 제2블럭(30)에 있어서 보정치 5가 가산되어 올바른 스케일링 팩터(SF=73)이 구해진다.

그리고 상술한 양자화 컨트롤부(3)은, 더빙시 뿐만 아니라, 원화상에서 제1세대 데이프를 작성할 때에도 잘못된 동작의 우려가 없고, 동작을 바꿀 필요가 없다. 제5도에 나타난 것과 같이 원화상에서의 경우는, 나머지 총화인 에러가 스케일링 팩터에 대해 단조증과 관계에 있기 때문이다. 예를들면 73의 스케일링 팩터 F_n 이 제1블럭(20)에서 구해진 경우에는 제2블럭(30)에서 상술한 처리를 행해도 73의 스케일링 팩터에 대한 에러가 최소이고 이 값이 스케일링 팩터 SF 로서 출력된다.

이 발명은, 위에서 서술한 한 실시예에 한정되지 않고 여러가지 회로 구성을 얻을 수가 있다. 양자화 컨트롤부(3)의 제1블럭(20)은 스케일링 팩터의 총 수가 2_n 인 경우, 제3도에 나타난 것처럼 전부 n 단계의 컨트롤러(20₁ 내지 20_n)이 필요해진다. IC화 등을 고려한 경우, 제4도의 컨트롤러의 SYNC 메모리(28) (그 크기를 A 라고 한다)과 그 이외의 부분 (그 크기를 B 라 한다)의 크기의 비에 따라서는 다른 구성으로 하는 편이 바람직할 수도 있다.

예를들어 $n=3$ 인 경우는, A 와 B 의 비에 의해 제7도에 나타난 것과 같은 변화가 생각될 수 있다. 다시말해, $A > B$ 의 경우에는 제7(a)도에 나타난 것처럼 직렬 3단 구성이 최소면적으로 실현된다. 또, $A < B < 3A$ 의 경우에는, 제7(b)도에 나타난 것처럼 3개의 컨트롤러를 병렬로 사용해 1 단계에서 2 비트 결정되도록 한 것과 통상인 1 단계를 서로 짜맞추어서 되는 2단의 구성으로 할 수도 있다. 제7(a)도가 3개의 SYNC 메모리를 필요로 한 것에 대해 제7(b)도에서는 이것이 2개로 끝난다. 게다가 $B > 3A$ 의 경우에는, 제7(c)도에서 처럼 7개의 컨트롤러를 병렬로 배열해 1 단에서 처리가 끝나 SYNC 메모리가 1 개가 된다. 이들 변화의 선택은 면적 뿐만 아니라, SYNC 메모리에 의한 늦음등도 조건으로서 고려해도 좋다. 위에서 서술한 것과 같이 제1블럭(20)에 관해서는 스케일링 팩터의 수와 실현할 때의 조건에 대응해 여러가지 구성이 가능하다.

그리고 양자화 컨트롤부의 제2블럭(30)의 변화에 대해 설명한다. 제6도에 예시한 구성중 각 섹션은 나머지를 구하기 위해 양자화기, 역양자화기 및 가산기를 사용하고 있는데, IC 등에서는 비용면에서 불리한 경우가 많다. 그래서 제8도에 나타난 것과 같은 구성이 생각되어진다. 이 구성은, 제2블럭(30)의 처리가 리얼타임(실시간)으로 연산할 필요는 없는 점에 착안해 파이프라인 처리로 하는 것이다.

이 처리에 대해 간단하게 설명하면, 우선 절대치화 회로(41)에 의해 구해진 DCT 계수의 절대치를 시프트 회로(42)에 보내주어 이 절대치와 스케일링 팩터의 형(자리수)을 맞춰준다. 그리고 서브블럭(43)에서 DCT 계수의 절대치 a 부터 스케일링 팩터 b 를 감산해 감산출력이 마이너스가 되는 경우는 빼지 않고 그대로 한다. 즉 서브블럭(43)은 a 및 b 를 비교해($a \geq b$)가 되면 a-b 를 출력하고, ($a < b$)라면 a를 출력한다.

이 서브블럭(43)의 출력을 시프트 회로(44), 서브블럭(45)에서 같은 처리를 행해 이 조작을 반복해서 나머지를 계산한다. 이 제8도에 나타난 구성을 제6도의 양자화기(31₀ 내지 31_n), 역양자화기(32₀ 내지 32_n), 가산기(33₀ 내지 33_n)와 바꿔놓고, 스케일링 팩터의 후보와 동등한 개수 병렬로 늘어놓아 제2블럭(30)의 위에서 서술한 기능을 실현할 수가 있다. 이 제8도의 구성은 IC 화의 경우에 제6도의 그대로의 구성과 비교해서 거의 절반의 면적으로 제2블럭(30)을 실현할 수 있다.

[발명의 효과]

이 발명은 제1세대는 처음부터 스케일링 팩터의 정보를 받을 수가 없는 멀티제네레이션에 있어서도 DCT 계수 데이터에서 최적의 스케일링 팩터를 결정할 수 있고 화질의 떨어짐을 막을 수가 있다.

(57) 청구의 범위

청구항 1

디지털 비디오 신호를 코사인 변환 및 가변장 부호화할 시에, 등장화 단위의 부호화 출력의 데이터량을 목표치 이하로 제어하고, 이 제어된 디지털 신호를 기록매체상의 복수의 트랙에 기록하게 한 디지털 비디오 신호 기록 장치에 있어서의 양자화 컨트롤 회로로서, 상기 코사인 변환에서 발생한 계수 데이터가 공급되어, 등장화 단위의 부호화 출력의 데이터량을 목표치 이하로 하는 스케일링 팩터를 결정하기 위한 제1블럭과, 상기 계수 데이터 및 상기 제1블럭에서 스케일링 팩터가 공급되어, 상기 계수 데이터에 존재하는 이전의 스케일링 정보를 추출하고, 상기 제1블럭으로부터의 스케일링 팩터를 보정하기 위한 제2블럭으로 구성된 것을 특징으로 하는 양자화 컨트롤 회로.

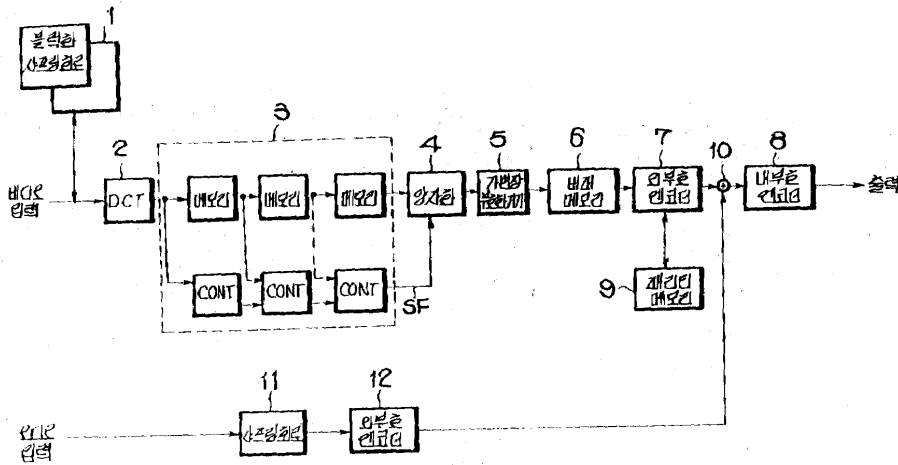
청구항 2

디지털 비디오 신호를 코사인 변환 및 가변장 부호화할 시에, 등장화 단위의 부호화 출력의 데이터량을 목표치 이하로 제어하고 이 제어된 디지털 신호를 기록매체상의 복수의 트랙에 기록하게 한 디지털 비디오

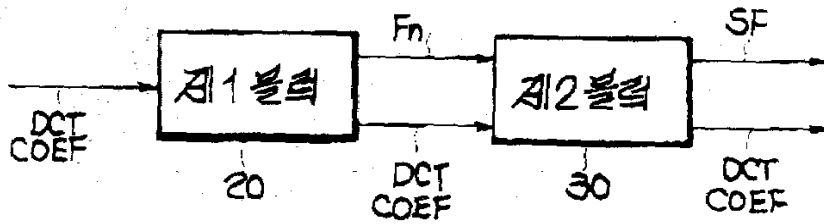
오 신호 기록 장치에 있어서의 양자화 컨트를 회로로서, 스케일링 팩터의 증대에 대응하여 상기 데이터량이 단조감소하도록 선택할 수 있는 복수의 스케일링 팩터가 준비되고 이분목 탐색법에 의해, 상기 복수의 스케일링 팩터중에서 등장화 단위의 부호호 출력의 데이터량을 목표치 이하로 하는 스케일링 팩터를 결정하기 위한 제1블록과, 상기 계수 데이터 및 상기 제1블록으로부터의 스케일링 팩터가 공급되며, 상기 계수 데이터에 존재하는 이전의 스케일링 정보를 추출하므로써 상기 제1블록으로부터의 스케일링 팩터를 보정하기 위한 제2블록으로 구성된 것을 특징으로 하는 양자화 컨트를 회로.

도면

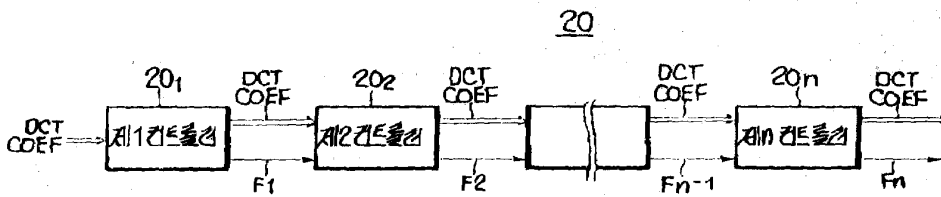
도면1



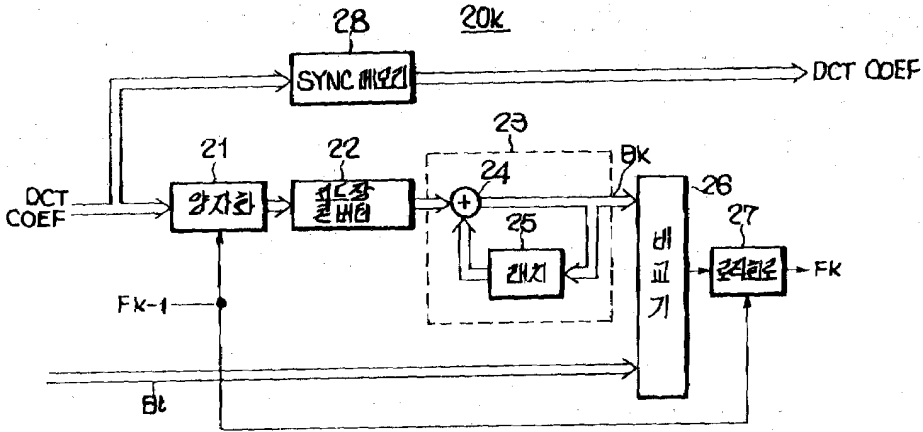
도면2



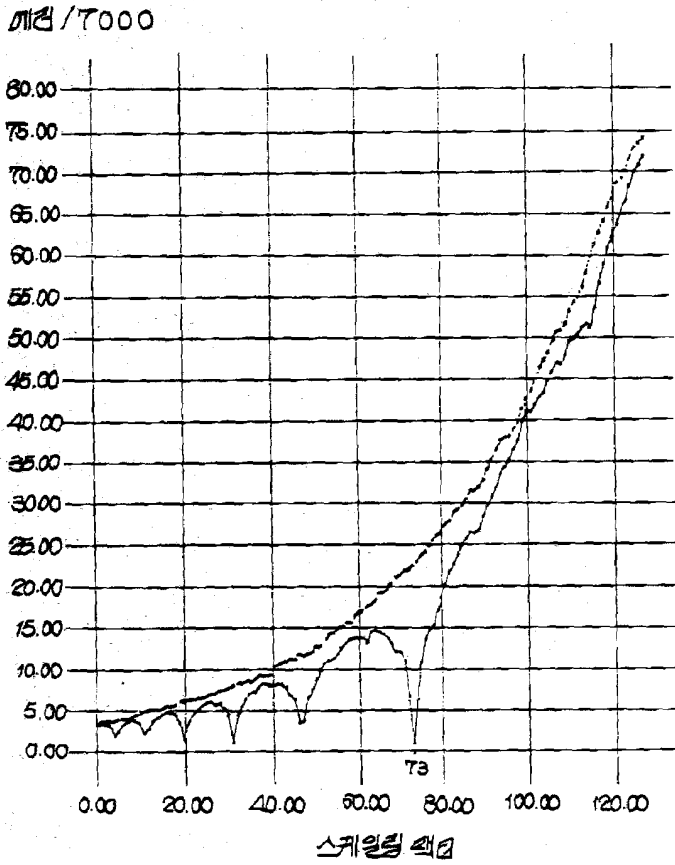
도면3



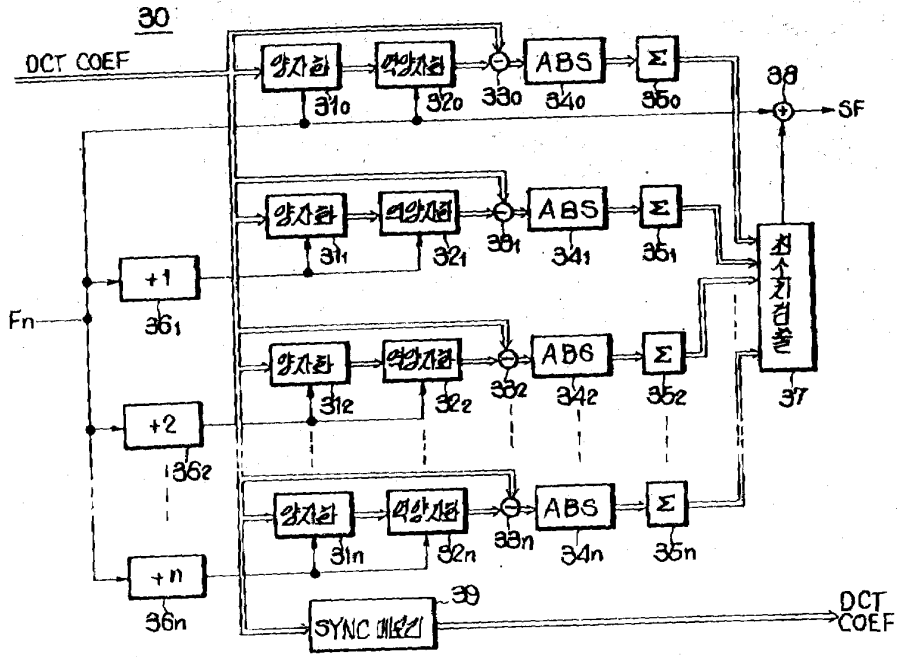
도면4



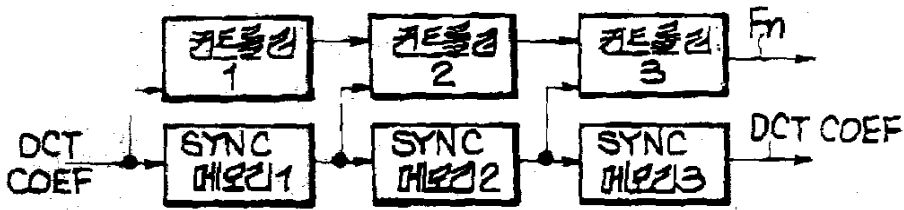
도면5



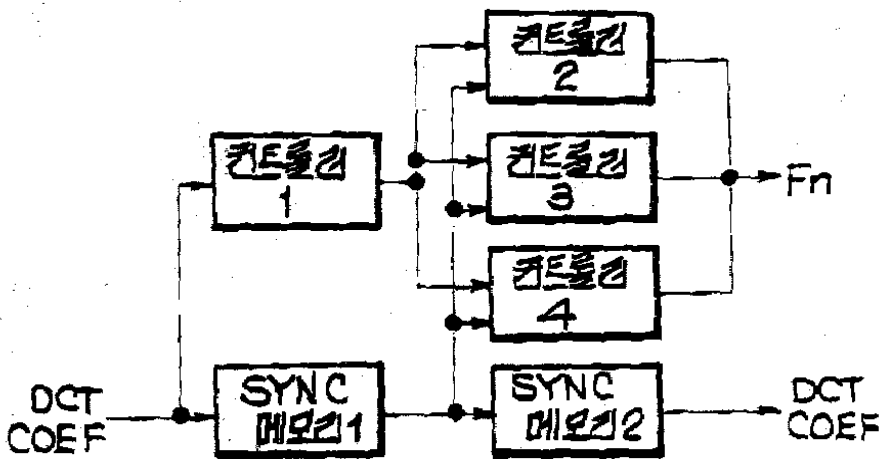
도면6



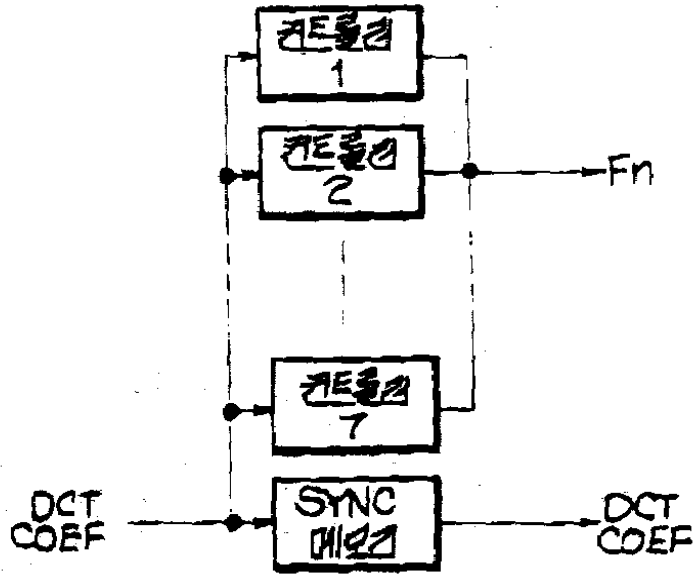
도면7a



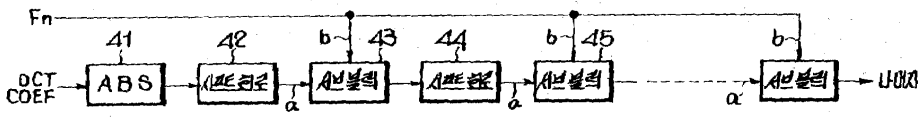
도면7b



도면7c



도면8



도면9

바트 라인트

