

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3636345号

(P3636345)

(45) 発行日 平成17年4月6日(2005.4.6)

(24) 登録日 平成17年1月14日(2005.1.14)

(51) Int. Cl.<sup>7</sup>

F I

H O 1 L 29/78

H O 1 L 29/78 6 5 2 H

H O 1 L 21/336

H O 1 L 29/78 6 5 2 D

H O 1 L 29/78 6 5 2 F

H O 1 L 29/78 6 5 2 S

H O 1 L 29/78 6 5 8 A

請求項の数 7 (全 14 頁)

(21) 出願番号 特願2000-76691(P2000-76691)  
 (22) 出願日 平成12年3月17日(2000.3.17)  
 (65) 公開番号 特開2001-267568(P2001-267568A)  
 (43) 公開日 平成13年9月28日(2001.9.28)  
 審査請求日 平成15年10月10日(2003.10.10)

(73) 特許権者 503361248  
 富士電機デバイステクノロジー株式会社  
 東京都品川区大崎一丁目11番2号  
 (74) 代理人 100101856  
 弁理士 赤澤 日出夫  
 (74) 代理人 100101111  
 弁理士 ▲橋▼場 満枝  
 (74) 代理人 100097250  
 弁理士 石戸 久子  
 (74) 代理人 100103573  
 弁理士 山口 栄一  
 (72) 発明者 岩本 進  
 神奈川県川崎市川崎区田辺新田1番1号  
 富士電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体素子および半導体素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

第一と第二の主面間に、低抵抗層と、第一導電型領域と第二導電型領域とを平面的に見て交互に配置したp n層とを備える半導体素子において、前記p n層の第一導電型領域と第二導電型領域の配置間隔が部分的に異なっていることを特徴とする半導体素子。

【請求項2】

請求項1に記載の半導体素子において、前記p n層の前記配置間隔が異なる部分の境界面は、第一の主面に対して平行な面を有することを特徴とする半導体素子。

【請求項3】

請求項1または請求項2に記載の半導体素子において、前記p n層は配置間隔が広い第一の部分と、配置間隔が第一の部分より狭い第二の部分とを有し、第一の部分を第一の主面側に配置したことを特徴とする半導体素子。

【請求項4】

請求項1に記載の半導体素子において、前記p n層の前記配置間隔が異なる部分の境界面は、第一の主面に対して垂直な面を有することを特徴とする半導体素子。

【請求項5】

請求項1乃至請求項3のいずれかに記載の半導体素子において、前記p n層の前記配置間隔が異なる部分の境界においては、互いに同一の導電型領域が接続されていることを特徴とする半導体素子。

【請求項6】

10

20

請求項 1 乃至請求項 5 のいずれかに記載の半導体素子において、前記配置間隔が異なるそれぞれの部分においては、各導電型領域の配置形状が平面的に見て異なることを特徴とする半導体素子。

【請求項 7】

第一と第二の主面間に、低抵抗層と、第一導電型領域と第二導電型領域とを平面的に見て交互に配置した p n 層とを備える半導体素子の製造方法において、エピタキシャル層を形成する第 1 工程と、該エピタキシャル層に選択的に、且つ交互に第一導電型不純物イオン、および第二導電型不純物イオンを注入する第 2 工程とを所定回数繰り返す工程を含むことにより、第一導電型領域と第二導電型領域とを平面的に見て交互に配置すると共に第一導電型領域と第二導電型領域の配置間隔が部分的に異なる前記 p n 層を形成するようにしたことを特徴とする半導体素子の製造方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、第一と第二の主面間に、低抵抗層と、第一導電型領域と第二導電型領域とを交互に配置した p n 層とを備える半導体素子およびその製造方法に関し、特に、M O S F E T (絶縁ゲート型電界効果トランジスタ)、I G B T (絶縁ゲート型バイポーラトランジスタ)、バイポーラトランジスタ、ダイオード等に適用可能な高耐圧化と大電流容量化を両立させるための縦型半導体素子およびその製造方法に関するものである。

【0002】

20

【従来の技術】

一般に半導体素子は片面に電極部を持つ横型半導体素子と両面に電極部を持つ縦型半導体素子に大別できる。縦型半導体素子は、オン時にドリフト電流が流れる方向と、オフ時の逆バイアス電圧による空乏層の伸びる方向とが同じである。例えば、図 11 は通常のプレーナー型の n チャネル縦型 M O S F E T の断面図である。この縦型 M O S F E T はドレイン電極 18 が導電接触した低抵抗の n<sup>+</sup>ドレイン層 11 の上に形成された高抵抗の n<sup>-</sup>ドリフト層 12 と、n<sup>-</sup>ドリフト層 12 の表面層に選択的に形成された p ベース領域 13 と、その p ベース領域 13 内に選択的に形成された高不純物濃度の n<sup>+</sup>ソース領域 14 と、n<sup>+</sup>ソース領域 14 と n<sup>-</sup>ドリフト層 12 とに挟まれた p ベース領域 13 の表面上にゲート絶縁膜 15 を介して設けられたゲート電極層 16 と、n<sup>+</sup>ソース領域 14 と p ベース領域 13 との表面に共通に接触して設けられたソース電極 17 と、n<sup>+</sup>ドレイン層 11 の裏面側に設けられたドレイン電極 18 とを有する。

30

【0003】

このような縦型半導体素子において、高抵抗の n - ドリフト層 12 の部分は M O S F E T がオン状態のときは縦方向にドリフト電流を流す領域として働き、オフ状態のときには空乏化して耐圧を高める。この高抵抗の n - ドリフト層 12 の電流経路を短くすることは、ドリフト抵抗が低くなるので M O S F E T の実質的なオン抵抗 (ドレイン - ソース抵抗) を下げる効果に繋がるものの、逆に p ベース領域 13 と n - ドリフト層 12 との間の p n 接合から進行するドレイン - ベース間の空乏層が広がる幅を狭くすることとなり、シリコンの最大 (臨界) 電界強度に速く達する構造とすることとなり、耐圧 (ドレイン - ソース電圧) を低下させることとなる。逆に耐圧の高い半導体装置では、n - ドリフト層 12 が厚くなるため必然的にオン抵抗が大きくなり、損失が増すことになる。すなわちオン抵抗 (電流容量) と耐圧間にはトレードオフ関係がある。

40

【0004】

このトレードオフ関係は I G B T、バイポーラトランジスタ、ダイオード等の半導体素子においても同様に成立することが知られている。また、この問題は、オン時にドリフト電流が流れる方向と、オフ時の逆バイアスによる空乏層の伸びる方向とが異なる横型半導体についても共通である。

【0005】

この問題に対する解決策として、ドリフト層を、不純物濃度を高めた n 型の領域と p 型の

50

領域とを交互に積層した並列 p n 層で構成し、オフ状態のときは、空乏化して耐圧を負担するようにした構造の半導体装置が E P 0 0 5 3 8 5 4、U S P 5 2 1 6 2 7 5、U S P 5 4 3 8 2 1 5 および特開平 9 - 2 6 6 8 1 1 号公報に開示されている。

【 0 0 0 6 】

図 1 2 は U S P 5 2 1 6 2 7 5 に開示された半導体装置の一例である縦型 M O S F E T の部分断面図である。図 1 1 との違いはドリフト層 2 2 が単一層ではなく、n ドリフト領域 2 2 a と p ドリフト領域 2 2 b とからなる並列 p n 層とされている点である。なお、2 3 は p ベース領域、2 4 は n<sup>+</sup> ソース領域、2 6 はゲート電極、2 7 はソース電極、2 8 はドレン電極である。

【 0 0 0 7 】

このドリフト層 2 2 は n<sup>+</sup> ドレイン層 2 1 を基板としてエピタキシャル法により高抵抗の n 型層を成長させた後、選択的に n<sup>+</sup> ドレイン層 2 1 に達するトレンチをエッチングし、n ドリフト領域 2 2 a を形成した後、さらにトレンチ内にエピタキシャル法により p 型層を成長させて、p ドリフト領域 2 2 b を形成してなるものである。なお、本発明者らは、オン状態では電流を流すとともに、オフ状態では空乏化する並列 p n 層からなるドリフト層を備える半導体素子を超接合半導体素子と称することとしているので、以下、このような半導体素子を本明細書において超接合半導体素子ということとする。

【 0 0 0 8 】

【 発明が解決しようとする課題 】

U S P 5 2 1 6 2 7 5 におけるディメンジョンの具体的な記述としては、降伏電圧を  $V_B$  とするとき、ドリフト層 2 2 の厚さとして  $0.024 V_B^{1.2}$  [  $\mu\text{m}$  ]、n ドリフト領域 2 2 a と p ドリフト領域 2 2 b とが同じ幅  $b$  をもち、同じ不純物濃度であると仮定すると、不純物濃度が  $7.2 \times 10^{16} V_B^{-0.2} / b$  [  $\text{cm}^{-3}$  ] としている。仮に  $V_B = 800 \text{V}$ 、 $b = 5 \mu\text{m}$  と仮定すると、ドリフト層 2 2 の厚さは  $73 \mu\text{m}$ 、不純物濃度は  $1.9 \times 10^{16} \text{cm}^{-3}$  となる。単一層の場合では、不純物濃度は  $2 \times 10^{14}$  [  $\text{cm}^{-3}$  ] 程度であるから、確かにオン抵抗は低減されるが、このような幅が狭く、深さの深い（すなわちアスペクト比の大きい）トレンチ内に良質の半導体層を埋め込むエピタキシャル技術は現在のところ極めて困難である。

【 0 0 0 9 】

オン抵抗と耐圧とのトレードオフの問題は、横型半導体素子についても共通である。上に挙げたほかの公報、E P 0 0 5 3 5 8 5 4、U S P 5 4 3 8 2 1 5 および特開平 9 - 2 6 6 3 1 1 号公報においては、横型の超接合半導体素子も記載されており、横型、縦型共通の製造方法として、選択的なエッチングおよびエピタキシャル法による埋め込みによる方法が開示されている。横型の超接合半導体素子の場合には、薄いエピタキシャル層を積層していくので、選択的なエッチングおよびエピタキシャル法による埋め込みはそれほど困難ではない。

【 0 0 1 0 】

しかし、縦型の超接合半導体素子に関して、選択的なエッチングおよびエピタキシャル法による埋め込みは U S P 5 2 1 6 2 7 5 と同じ困難を抱えている。特開平 9 - 2 6 6 3 1 1 号公報においてはまた、中性子線等による核変換法が記載されているが、装置が大がかりになり手軽に適用するわけにはいかない。

【 0 0 1 1 】

また、従来の超接合半導体素子では超接合半導体基体の微細化に伴って、表面構造も微細化しなければならない。しかしながら、超接合半導体基体の微細化に伴う表面構造の微細化を行った場合、表面構造が非常に微細になり量産性が低下する。また、表面構造の変更にはコストがかかる。

【 0 0 1 2 】

本発明は、以上のような状況に鑑みてなされたものであり、本発明の目的は、オン抵抗と耐圧とのトレードオフ関係を大幅に緩和させて、高耐圧でありながらオン抵抗の低減による電流容量の増大が可能な半導体素子であって、簡易で量産性良く製造することができる

10

20

30

40

50

半導体素子およびその製造方法を提供することにある。

【0013】

【課題を解決するための手段】

上述した課題を解決するため、本発明は、第一と第二の主面間に、低抵抗層と、第一導電型領域と第二導電型領域とを平面的に見て交互に配置したpn層とを備える半導体素子において、前記pn層の第一導電型領域と第二導電型領域の配置間隔が部分的に異なっていることを特徴とするものである。

【0014】

また、本発明に係る半導体素子において、前記pn層の前記配置間隔が異なる部分の境界は第一の主面に対して平行な面を有することを特徴とするものである。

10

【0015】

さらに、本発明に係る半導体素子において、前記pn層は配置間隔が広い第一の部分と、配置間隔が第一の部分より狭い第二の部分とを有し、第一の部分を第一の主面側に配置したことを特徴とするものである。

【0016】

また、本発明に係る半導体素子において、前記pn層の前記配置間隔が異なる部分の境界は第一の主面に対して垂直な面を有することを特徴とするものである。

【0017】

さらに、本発明に係る半導体素子において、前記pn層の前記配置間隔が異なる部分の境界においては、互いに同一の導電型領域が接続されていることを特徴とするものである。

20

【0018】

また、本発明に係る半導体素子において、前記配置間隔が異なるそれぞれの部分においては、各導電型領域の配置形状が平面的に見て異なることを特徴とするものである。

【0019】

以上のような構成によれば、pn層の第一主面側の第一導電型領域と第二導電型領域の配置間隔を、pn層の第二主面側における第一導電型領域と第二導電型領域の配置間隔と変えることによって、表面構造は微細化を伴うことなく低オン抵抗化が図れる。なお、配置間隔が異なる境界は第一主面に対して垂直でも表面構造は微細化を伴うことなく低オン抵抗化が図れる。従って、上述したような超接合半導体素子におけるpn層を有する半導体基体の微細化のみで低オン抵抗化が実現できるため、量産時のコスト削減が実現できる。

30

【0020】

また、本発明に係る半導体素子の製造方法は、第一と第二の主面間に、低抵抗層と、第一導電型領域と第二導電型領域とを平面的に見て交互に配置したpn層とを備える半導体素子の製造方法において、エピタキシャル層を形成する第1工程と、該エピタキシャル層に選択的に、且つ交互に第一導電型不純物イオン、および第二導電型不純物イオンを注入する第2工程とを所定回数繰り返す工程を含むことにより、第一導電型領域と第二導電型領域とを平面的に見て交互に配置すると共に第一導電型領域と第二導電型領域の配置間隔が部分的に異なる前記pn層を形成するようにしたことを特徴とするものである。なお、実施の形態においてはエピタキシャル層の形成を3回以上行う製造方法を示している。

【0021】

40

このような構成によれば、pn層の第一主面側の第一導電型領域と第二導電型領域の配置間隔を、pn層の第二主面側における第一導電型領域と第二導電型領域の配置間隔と変えることが容易にでき、表面構造は微細化を伴うことなく低オン抵抗化が図れる。従って、上述したような超接合半導体素子のpn層を有する半導体基体の微細化のみで低オン抵抗化が実現できるため、量産時のコスト削減が実現できる。

【0022】

【発明の実施形態】

以下、本発明の実施の形態を、第一と第二の主面に設けられた電極と、第一と第二の主面間に低抵抗層とオン状態では電流が流れ、オフ状態では空乏化する第一導電型領域と第二導電型領域とを交互に配置したpn層からなる半導体基体とを備える超接合半導体素子に

50

ついて説明する。

【0023】

実施の形態1.

図1、図2に第一導電型領域と第二導電型領域の配置間隔が、第一主面側で広がるストライプ状超接合半導体基体をもつ超接合半導体素子について、イオン注入により作製する場合の作製工程を示す。

【0024】

まず、n型の低抵抗基体1上にn<sup>-</sup>高抵抗エピタキシャル層2Aを積層する(図1(a))。本実施の形態ではn<sup>-</sup>高抵抗エピタキシャル層2Aの厚さを4μmとしている。続いて、フォトリソグラフィによりレジストマスク5Aを形成した後、ボロンイオン6を注入し、p型不純物であるボロン原子7を $2 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で所定の領域に導入する(図1(b))。なお、レジストマスク幅は6μm、イオン注入用レジスト窓の幅は2μmとしている。

10

【0025】

続いて、レジストマスク5Aの除去後、(図1(b))で示されたレジストマスク5Aを位置的にずらしてなるレジストマスク5Bを形成し、レジストマスク5Aの各幅方向中央部にレジストマスク5Bのイオン注入用レジスト窓の幅方向中央部が位置するように設ける。この場合も、レジストマスク幅は6μm、イオン注入用レジスト窓の幅は2μmとする。そして、リンイオン3を注入し、n型不純物であるリン原子4を $2 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入用レジスト窓から導入する(図1(c))。そして、上記の図1(a)に示したエピタキシャル成長から図1(c)の工程を所定の回数繰り返す(図1(d))。

20

【0026】

続いて、レジストマスク5Bを除去し、n<sup>-</sup>高抵抗エピタキシャル層2Bを6μm積層した後、フォトリソグラフィによりレジストマスク5Cを形成して、ボロンイオン6を注入し、p型不純物であるボロン原子7を $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で所定の領域に導入する(図1(e))。このときレジストマスク5Cを形成する幅およびイオン注入用レジスト窓の幅は、共に図1(b)で示した間隔よりも広がっており、レジストマスク幅は12μm、イオン注入用レジスト窓の幅は4μmである。なお、レジストマスク5Cのイオン注入窓の幅方向中央部は、レジストマスク5Aの1個おきに形成されているイオン注入窓の幅方向中央部に一致している。

30

【0027】

続いて、レジストマスク5Cの除去後、フォトリソグラフィによりレジストマスク5Dを形成して、リンイオン3を注入し、n型不純物であるリン原子4を $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で所定の領域に導入する(図1(f))。この時レジストマスク5Dを形成する幅およびイオン注入用レジスト窓の幅は、共に図1(e)で示した間隔と同じであり、レジストマスク幅が12μm、イオン注入用レジスト窓の幅が4μmである。なお、レジストマスク5Dはレジストマスク5Cを位置的にずらしてなるパターンに形成され、レジストマスク5Cの各幅方向中央部にレジストマスク5Dのイオン注入用レジスト窓の幅方向中央部が位置するように設けられる。

40

【0028】

続いて、レジストマスク5Dを除去し、n<sup>-</sup>高抵抗エピタキシャル層2Cを8μm積層した後(図2(g))、1150℃、20時間の熱処理によってそれぞれの不純物を同時に拡散させて、n型ドリフト領域8aとp型仕切り領域8bを有するpn層を形成する(図2(h))。

【0029】

最後に、このn型ドリフト領域8aとp型仕切り領域8bの表面にnドレイン領域29を形成後、通常のMOSFET作製工程で表面のMOSFETを形成する(図2(i))。即ち、不純物イオンの選択的な注入および熱処理により、表面層にnドレイン領域29を形成し、その後、熱酸化によりゲート絶縁膜25を形成し、減圧CVD法などにより多結

50

晶シリコン膜を堆積し、フォトリソグラフィによりゲート電極層 26 とする。続けて、選択的なイオン注入および熱処理によって、p ベース領域 23、 $n^+$  ソース領域 24、 $p^+$  コンタクト領域 30 を形成する。更に絶縁膜 31 を堆積し、フォトリソグラフィにより窓開けを行い、アルミニウム合金の堆積、パターン形成によりソース電極 27、ドレイン電極 28 および図示されないゲート電極の形成を経て MOSFET を形成する。

#### 【0030】

実施の形態 2 .

図 3、図 4 に第一導電型領域と第二導電型領域の配置間隔が、第一主面側で広がるストライプ状超接合半導体基体をもつ超接合半導体素子について、配置間隔が広がった第一導電型領域と第二導電型領域を第一主面側に 1 層もち、かつ第二主面側に配置された超接

10

#### 【0031】

実施の形態 1 と同様に、 $n$  型の低抵抗基体上に  $n$ -高抵抗エピタキシャル層 21A (図 3 (c) 参照) を積層する。本実施の形態では  $n$ -高抵抗エピタキシャル層の厚さを  $4 \mu\text{m}$  としている。まず、フォトリソグラフィによりレジストマスク 51A を形成した後、ボロンイオンを注入し、 $p$  型不純物であるボロン原子 7 を  $2 \times 10^{13} \text{cm}^{-2}$  のドーズ量で所定の領域に導入する (図 3 (a))。なお、レジストマスク幅は  $6 \mu\text{m}$ 、イオン注入用レジスト窓の幅は  $2 \mu\text{m}$  としている。

#### 【0032】

続いて、レジストマスク 51A の除去後、レジストマスク 51A を位置的にずらしてなる

20

#### 【0033】

レジストマスク 51B を形成し、レジストマスク 51A の各幅方向中央部にレジストマスク 51B のイオン注入用レジスト窓の幅方向中央部が位置するように設ける。そして、リンイオンを注入し、 $n$  型不純物であるリン原子 4 を  $2 \times 10^{13} \text{cm}^{-2}$  のドーズ量で所定の領域に導入する (図 3 (b))。この場合も、レジストマスク幅は  $6 \mu\text{m}$ 、イオン注入用レジスト窓の幅は  $2 \mu\text{m}$  としている。そして、上記の様に、エピタキシャル成長、ボロンイオン注入 (図 3 (a))、リンイオン注入 (図 3 (b)) の工程を所定の回数繰り返す (図 3 (c))。

30

#### 【0034】

続いて、レジストマスク 51B を除去し、 $n^+$  高抵抗エピタキシャル層 21B (図 4 (f) 参照) を  $6 \mu\text{m}$  積層した後、フォトリソグラフィによりレジストマスク 51C を形成して、ボロンイオンを注入し、 $p$  型不純物であるボロン原子 7 を  $1 \times 10^{13} \text{cm}^{-2}$  のドーズ量で所定の領域に導入する (図 3 (d))。このとき、レジストマスク 51C は下層のイオン注入領域に対して直交している。また、レジストマスク 51C を形成する幅およびイオン注入用レジスト窓の幅は、共に図 3 (a) および (b) で示した間隔よりも広がっており、レジストマスク幅は  $12 \mu\text{m}$ 、イオン注入用レジスト窓の幅は  $4 \mu\text{m}$  としている。

40

#### 【0035】

続いて、レジストマスク 51C の除去後、フォトリソグラフィによりレジストマスク 51D を形成して、リンイオンを注入し、 $n$  型不純物であるリン原子 4 を  $1 \times 10^{13} \text{cm}^{-2}$  のドーズ量で所定の領域に導入する (図 3 (e))。このレジストマスク 51D についても、下層のイオン注入領域に対して直交している。また、この時レジストマスク 51D を形成する幅およびイオン注入用レジスト窓の幅は、共に図 3 (a) および (b) で示した間隔よりも広がっており、レジストマスクを形成する幅は  $12 \mu\text{m}$  であり、イオン注入用レジスト窓の幅は  $4 \mu\text{m}$  となっている。なお、レジストマスク 51D はレジストマスク 51C を位置的にずらしてなるパターンに形成され、レジストマスク 51C の各幅方向中央部にレジストマスク 51D のイオン注入用レジスト窓の幅方向中央部が位置するように設けられる。

50

時に拡散させて、 $n$ 型ドリフト領域 8 a と  $p$ 型仕切り領域 8 b を有する  $pn$ 層を形成する (図 4 (g))。その後、 $n$ 型ドリフト領域 8 a と  $p$ 型仕切り領域 8 b が広がった領域に実施の形態 1 で説明したと同様に、通常の MOSFET 作製工程で表面の MOSFET を形成する。

#### 【0036】

実施の形態 3 .

図 5、図 6 にセル型配置となる超接合半導体基体において、第一導電型領域と第二導電型領域のセル配置間隔が、第一主面側で異なる超接合半導体素子について、配置間隔の広がった領域を第一主面側に 1 層もつ超接合半導体素子の作製工程図を示す。

#### 【0037】

まず、実施の形態 1 と同様に、 $n$ 型の低抵抗基体上に  $n^-$ 高抵抗エピタキシャル層を積層する。本実施の形態では  $n^-$ 高抵抗エピタキシャル層を  $4 \mu\text{m}$ としている。そして、フォトリソグラフィによりレジストマスク 5 2 A を所定の位置に所定の大きさに形成した後、ボロンイオンを注入し、 $p$ 型不純物であるボロン原子 7 を  $1.2 \times 10^{14} \text{cm}^{-2}$  のドーズ量で所定の領域に導入する (図 5 (a))。なお、イオン注入用レジスト窓の大きさは  $2 \mu\text{m}$ 角とし、また、イオン注入用レジスト窓の配置間隔は  $4 \mu\text{m}$ としている。

#### 【0038】

続いて、レジストマスク 5 2 A を除去し、再度フォトリソグラフィにより図 5 (a) の工程でボロンを導入した領域にレジストマスク 5 2 B を形成した後、リンイオンを注入し、 $n$ 型不純物であるリン原子 4 を  $4 \times 10^{13} \text{cm}^{-2}$  のドーズ量で導入する (図 5 (b))。そして、上記に述べたエピタキシャル成長、ボロンイオン注入、リンイオン注入の工程 (図 5 (a)、図 5 (b)) を所定の回数繰り返す (図 5 (c))。

#### 【0039】

続いて、レジストマスク 5 2 B を除去し、 $n^-$ 高抵抗エピタキシャル層を  $6 \mu\text{m}$ 積層した後、フォトリソグラフィによりレジストマスク 5 2 C を形成して、ボロンイオンを注入し、 $p$ 型不純物であるボロン原子 7 を  $3 \times 10^{13} \text{cm}^{-2}$  のドーズ量で所定の領域に導入する (図 5 (d))。このとき、イオン注入用レジスト窓の大きさは  $4 \mu\text{m}$ 角とし、また、イオン注入用レジスト窓の配置間隔は  $8 \mu\text{m}$ としている。また、イオン注入用レジスト窓は後に述べる拡散時において下層の  $p$ 領域と接続するように配置される。

#### 【0040】

続いて、レジストマスク 5 2 C の除去後、フォトリソグラフィによりレジストマスク 5 2 D を形成して、リンイオンを注入し、 $n$ 型不純物であるリン原子 4 を  $1 \times 10^{13} \text{cm}^{-2}$  のドーズ量で所定の領域に導入する (図 5 (e))。このとき、レジストマスク 5 2 D は、先の工程 (図 5 (d)) でボロン原子 7 を導入した領域に形成される。

#### 【0041】

続いて、レジストマスク 5 2 D を除去し、 $n^-$ 高抵抗エピタキシャル層を  $8 \mu\text{m}$ 積層した後、 $1150^\circ\text{C}$ 、 $20$ 時間の熱処理によってそれぞれの不純物を同時に拡散させて、 $n$ 型ドリフト領域 8 a と  $p$ 型仕切り領域 8 b を有する  $pn$ 層を形成する (図 6 (f))。なお、直線 A - A' の断面を図 6 (g) に示す。その後、配置間隔の広がった表面領域に実施の形態 1 で説明したと同様に、通常の MOSFET 作製工程で表面の MOSFET を形成する。

#### 【0042】

実施の形態 4 .

図 7、図 8 に実施の形態 3 において、第一主面側で配置間隔を広くした領域の形状を格子状からストライプ状にした場合の超接合半導体素子の作製工程図を示す。

まず、実施の形態 1 と同様に、 $n$ 型の低抵抗基体上に  $n^-$ 高抵抗エピタキシャル層を積層する。本実施の形態では  $n^-$ 高抵抗エピタキシャル層を  $4 \mu\text{m}$ としている。続いて、フォトリソグラフィによりレジストマスク 5 3 A を所定の位置に所定の大きさに形成した後、ボロンイオンを注入し、 $p$ 型不純物であるボロン原子 7 を  $1.2 \times 10^{14} \text{cm}^{-2}$  のドーズ量で所定の領域に導入する (図 7 (a))。なお、イオン注入用レジスト窓の大きさは  $4$

10

20

30

40

50

$\mu\text{m}$ 角とし、また、イオン注入用レジスト窓の配置間隔は $8\ \mu\text{m}$ としている。

【0043】

続いて、レジストマスク53Aを除去し、再度フォトリソグラフィにより、先の工程(図7(a))においてボロン原子7を導入した領域にレジストマスク53Bを形成した後、リンイオンを注入し、 $n$ 型不純物であるリン原子4を $4 \times 10^{13}\ \text{cm}^{-2}$ のドーズ量で導入する(図7(b))。そして、上記に述べたエピタキシャル成長、ボロンイオン注入、リンイオン注入の工程を所定の回数繰り返す(図7(c))。

【0044】

続いて、レジストマスク53Bを除去し、 $n^-$ 高抵抗エピタキシャル層を $6\ \mu\text{m}$ 積層した後、フォトリソグラフィによりレジストマスク53Cを形成して、ボロンイオンを注入し、 $p$ 型不純物であるボロン原子7を $2 \times 10^{13}\ \text{cm}^{-2}$ のドーズ量で所定の領域に導入する(図7(d))。このとき、レジストマスク53Cの形状は実施の形態3のものと異なり、ストライプ状である。また、イオン注入用レジスト窓の幅は $8\ \mu\text{m}$ とし、イオン注入用レジスト窓の配置間隔は $16\ \mu\text{m}$ としている。さらに、イオン注入用レジスト窓は後に述べる拡散時において下層の $p$ 領域と接続するように配置される。

10

【0045】

続いて、レジストマスク53Cを除去し、再度フォトリソグラフィによりレジストマスク53Dを形成した後、リンイオンを注入し、 $n$ 型不純物であるリン原子4を $2 \times 10^{13}\ \text{cm}^{-2}$ のドーズ量で所定の領域に導入する(図7(e))。このレジストマスク53Dについても、形状は実施の形態3と異なり、ストライプ状である。そして、イオン注入用レジスト窓の幅は $8\ \mu\text{m}$ とし、イオン注入用レジスト窓の配置間隔は $16\ \mu\text{m}$ としている。この場合、レジストマスク53Dは、レジストマスク53Cのマスク幅部分の位置がレジストマスク53Dのイオン注入用レジスト窓の位置に一致するよう設けられる。また、このレジストマスク53Dは、そのイオン注入用レジスト窓が後に述べる拡散時において下層の $n$ 領域と接続するように配置される。

20

【0046】

続いて、レジストマスク53Dを除去し、 $n^-$ 高抵抗エピタキシャル層を $8\ \mu\text{m}$ 積層した後、 $1150^\circ\text{C}$ 、 $20$ 時間の熱処理によってそれぞれの不純物を同時に拡散させて、 $n$ 型ドリフト領域8aと $p$ 型仕切り領域8bを形成する(図8(f))。なお、直線B-B'の断面を図8(g)に示す。その後、配置間隔の広がった表面領域に通常のMOSFET作製工程で表面のMOSFETを形成する。

30

【0047】

実施の形態5。

図9、図10に本発明の実施の形態5を示す。本実施の形態は図10にその部分断面が示されるように、配置間隔が異なる $pn$ 層の境界面が第一の主面に対して概ね垂直である場合の超接合半導体素子について説明する。もちろん配置間隔が異なる $pn$ 層の境界面が第一の主面に対して垂直と平行の両方を合わせ持つことも可能である。

【0048】

図9に実施の形態5における超接合半導体基体の作製工程図を示す。

まず、 $n$ 型の低抵抗基体上に $n^-$ エピタキシャル層を積層する。本実施の形態では $n^-$ 高抵抗エピタキシャル層を $4\ \mu\text{m}$ としている。続いて、フォトリソグラフィによりレジストマスク54Aを所定の位置に所定の大きさに形成した後、ボロンイオン6を注入し、 $p$ 型不純物であるボロン原子7を $2 \times 10^{13}\ \text{cm}^{-2}$ のドーズ量で所定の領域に導入する(図9(a))。なお、イオン注入用レジスト窓の大きさは $2\ \mu\text{m}$ とし、また、イオン注入用レジスト窓の配置間隔は $8\ \mu\text{m}$ としている。

40

【0049】

続いて、レジストマスク54Aを除去し、フォトリソグラフィによりレジストマスク54Bを所定の位置に所定の大きさに形成した後、ボロンイオン6を注入し、 $p$ 型不純物であるボロン原子7を $1 \times 10^{13}\ \text{cm}^{-2}$ のドーズ量で導入する(図9(b))。なお、本実施の形態では、イオン注入用レジスト窓の大きさは $4\ \mu\text{m}$ とし、また、イオン注入用レジ

50



ト窓の配置間隔は $16\ \mu\text{m}$ としている。また、複数のイオン注入用レジスト窓が設けられる領域はレジストマスク54Aに設けられた複数のイオン注入用レジスト窓が設けられた領域とは異なる領域に設けられる。

【0050】

続いて、レジストマスク54Bを除去し、フォトリソグラフィによりレジストマスク54Cを所定の位置に所定の大きさを形成した後、リンイオン3を注入し、 $n$ 型不純物であるリン原子4を $2 \times 10^{13}\ \text{cm}^{-2}$ のドーズ量で導入する(図9(c))。なお、イオン注入用レジスト窓の大きさは $2\ \mu\text{m}$ とし、また、イオン注入用レジスト窓の配置間隔は $8\ \mu\text{m}$ としている。また、このレジストマスク54Cにより設けられる複数のイオン注入用レジスト窓の領域はレジストマスク54Aに設けられた複数のイオン注入用レジスト窓の領域と重なるが、各レジスト窓の位置はレジストマスク54Aのレジスト窓の位置と異なった位置に設けられる。

10

【0051】

続いて、レジストマスク54Cを除去し、フォトリソグラフィによりレジストマスク54Dを所定の位置に所定の大きさを形成した後、リンイオンを注入し、 $n$ 型不純物であるリン原子4を $1 \times 10^{13}\ \text{cm}^{-2}$ のドーズ量で導入する(図9(d))。なお、イオン注入用レジスタ窓の大きさは $4\ \mu\text{m}$ とし、また、イオン注入用レジスト窓の配置間隔は $16\ \mu\text{m}$ としている。また、レジストマスク54Dにより設けられる複数のイオン注入用レジスト窓の領域はレジストマスク54Bに設けられた複数のイオン注入用レジスト窓の領域と重なるが、各レジスト窓の位置はレジストマスク54Bのレジスト窓の位置と異なった位置に設けられる。そして、上記に述べたエピタキシャル成長、ボロンイオン注入、リンイオン注入の工程を所定の回数繰り返す(図9(e))。

20

【0052】

続いて、レジストマスク54Dを除去し、 $n$ 高抵抗エピタキシャル層2Aを $4\ \mu\text{m}$ 積層した後、 $1150^\circ\text{C}$ 、20時間の熱処理によってそれぞれの不純物を同時に拡散させて、 $n$ 型ドリフト領域8aと $p$ 型仕切り領域8bを有する $pn$ 層を形成する(図9(f))。その後、表面領域に通常のMOSFET作製工程で表面のMOSFETを形成する。

【0053】

以上、本発明の実施の形態において説明した半導体素子の作製工程では、 $n$ チャネル超接合MOSFETの作製工程について述べたが、 $p$ チャネル超接合MOSFETについても導電型を適切に変えることによって、同様の工程で作製可能であることは明白である。また、配置間隔を広げた領域を1層のみとしたが、もちろん多層になってもよい。なお、ボロンおよびリンの導入量は、 $n$ 型ドリフト領域8aと $p$ 型仕切り領域8bが空乏化できる条件であればよい。

30

【0054】

【発明の効果】

以上に詳述したように、本発明によれば、超接合半導体基体の微細化を行っても、表面側の $pn$ 層の接合配置間隔を広く保った状態とすることができるので、コスト高となる表面構造の微細化を行う必要が無く、従って、高耐圧でありながら、オン抵抗を低減できる半導体素子を低コストに量産することができるという効果を奏する。

40

【図面の簡単な説明】

【図1】本発明の実施の形態1の作製工程図である。

【図2】本発明の実施の形態1の作製工程図である。

【図3】本発明の実施の形態2の作製工程図である。

【図4】本発明の実施の形態2の作製工程図である。

【図5】本発明の実施の形態3の作製工程図である。

【図6】本発明の実施の形態3の作製工程図である。

【図7】本発明の実施の形態4の作製工程図である。

【図8】本発明の実施の形態4の作製工程図である。

【図9】本発明の実施の形態5の作製工程図である。

50

【図10】本発明の実施の形態5に係るnチャネル縦型MOSFETを示す断面図である。

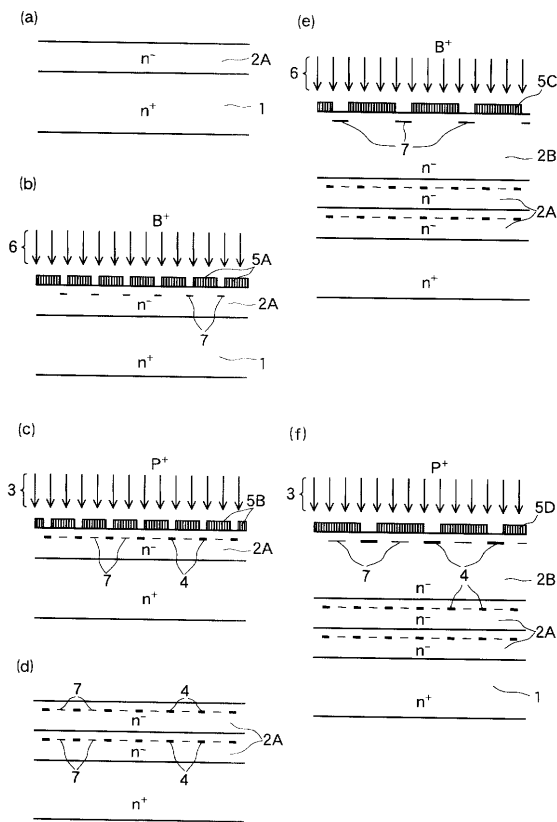
【図11】従来のnチャネル縦型MOSFETを示す断面図である。

【図12】USP5216275号公報に開示された縦型MOSFETの部分断面図である。

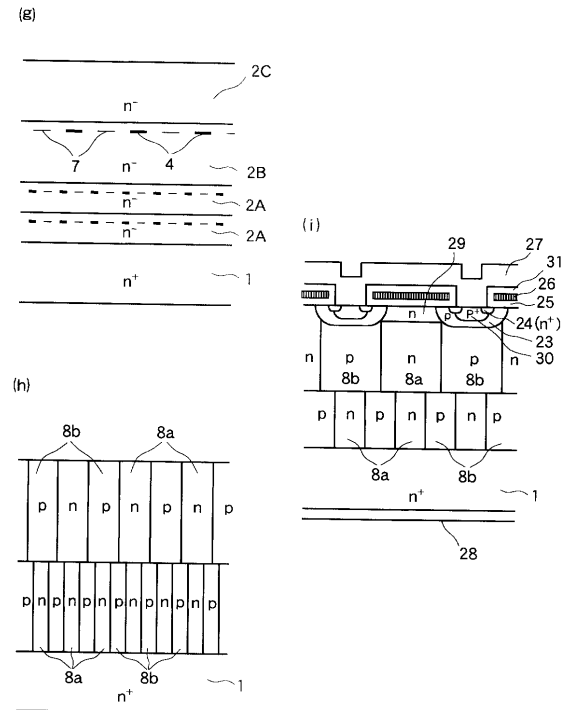
【符号の説明】

- 1 低抵抗基体
- 2A, 2B, 2C, 21A, 21B n<sup>-</sup>高抵抗エピタキシャル層
- 3 リンイオン
- 4 リン原子
- 5A, 5B, 5C, 5D, 51A, 51B, 51C, 51D, 52A, 52B, 52C, 52D, 53A, 53B, 53C, 53D レジストマスク
- 6 ボロンイオン
- 7 ボロン原子
- 8a n型ドリフト層
- 8b p型仕切り領域

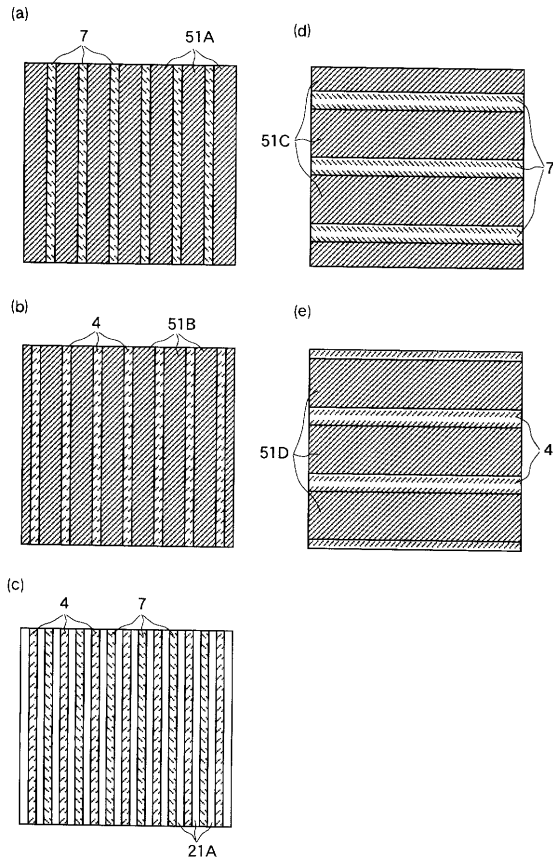
【図1】



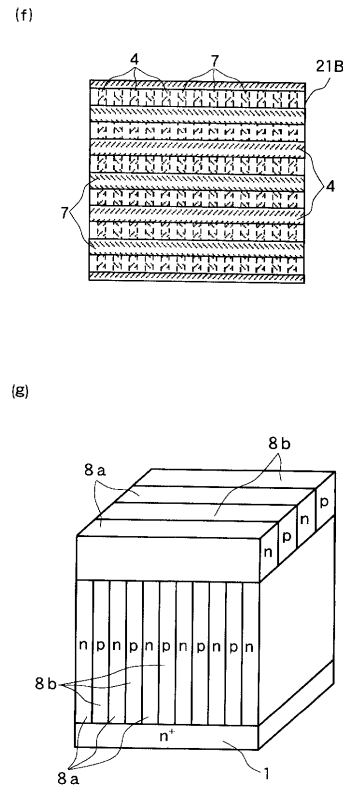
【図2】



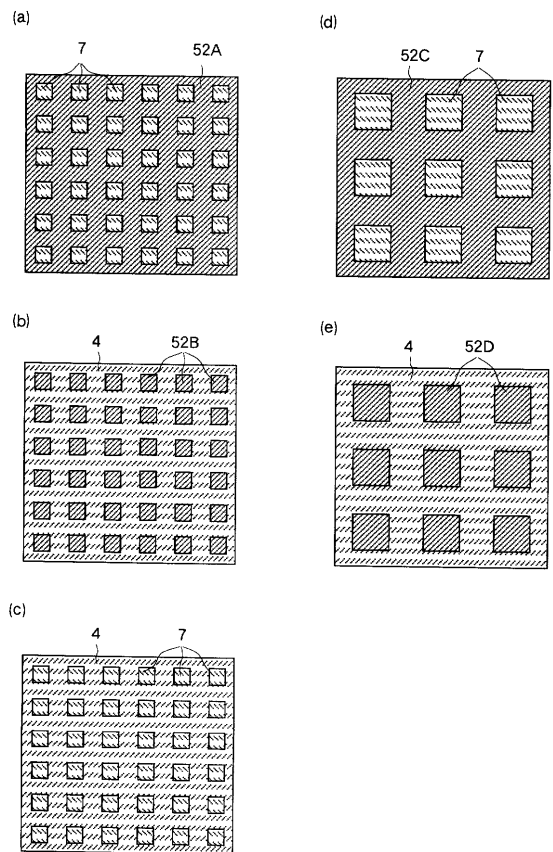
【 図 3 】



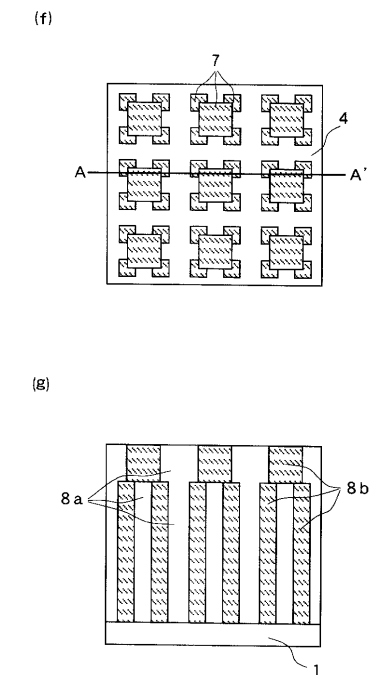
【 図 4 】



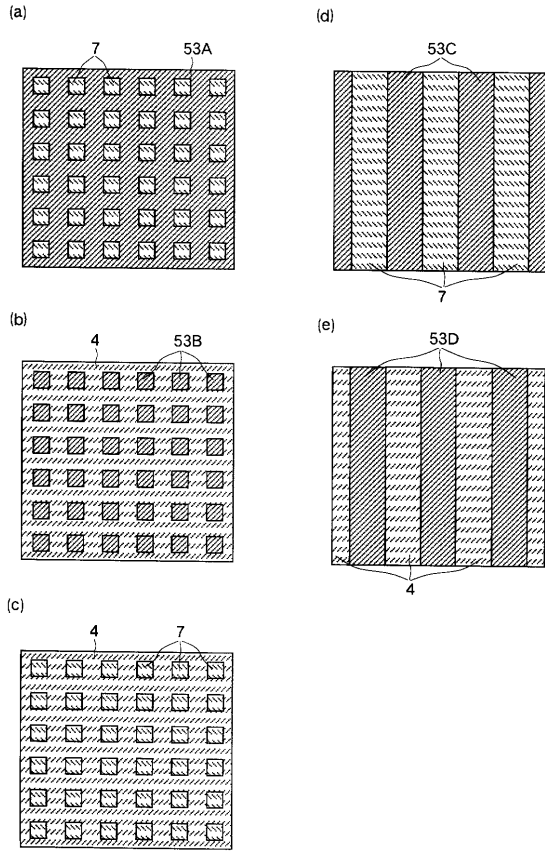
【 図 5 】



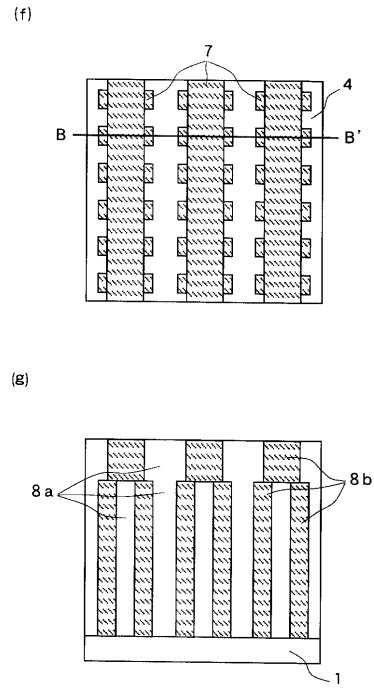
【 図 6 】



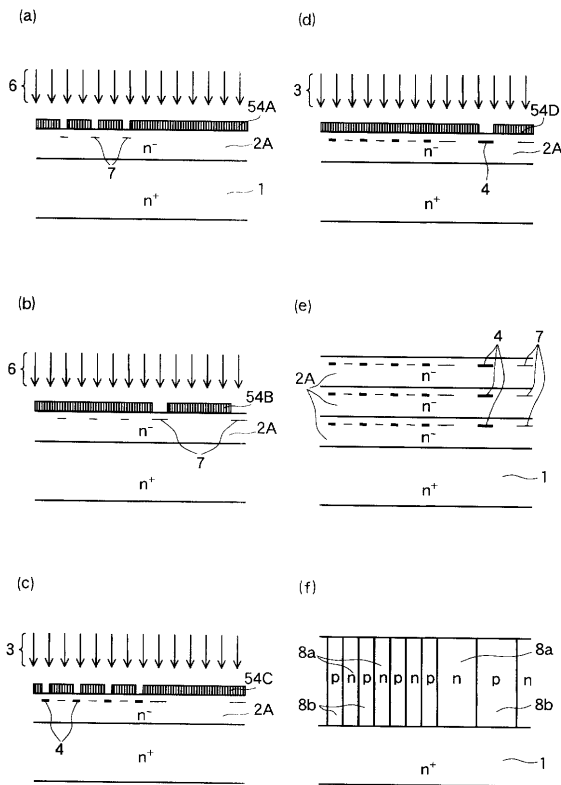
【 図 7 】



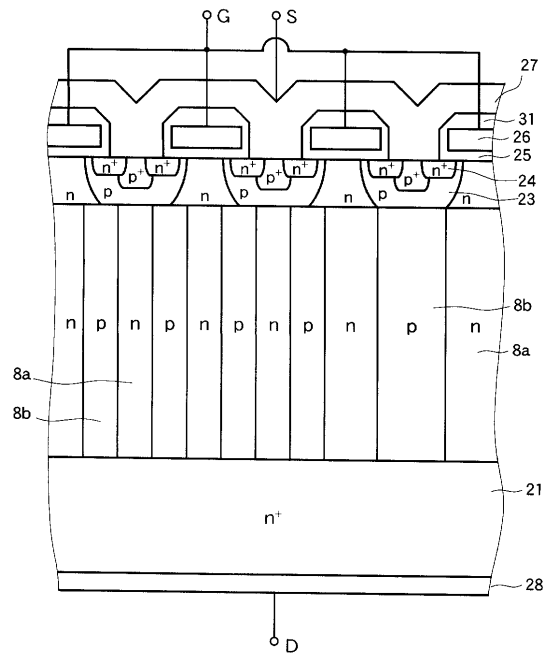
【 図 8 】



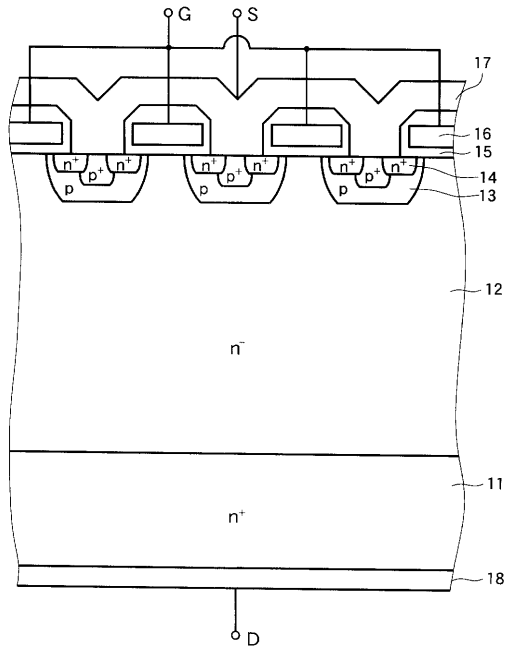
【 図 9 】



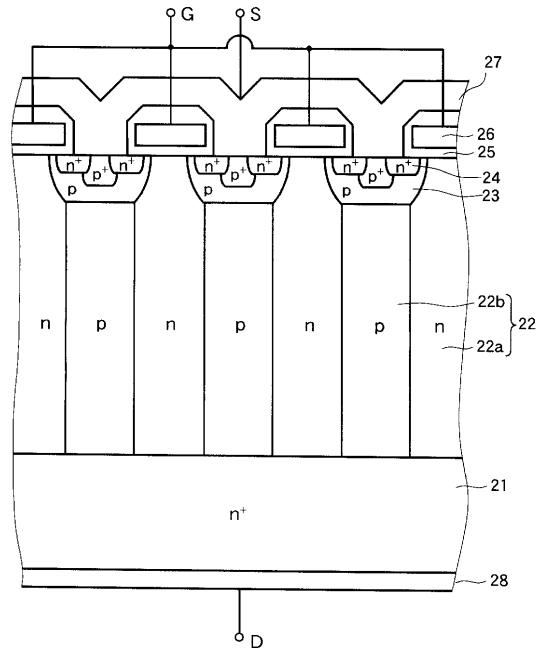
【 図 10 】



【 図 1 1 】



【 図 1 2 】



---

フロントページの続き

- (72)発明者 藤平 龍彦  
神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
- (72)発明者 上野 勝典  
神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
- (72)発明者 大西 泰彦  
神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
- (72)発明者 佐藤 高広  
神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

審査官 小野田 誠

(58)調査した分野(Int.Cl.<sup>7</sup>, D B名)

H01L 29/78

H01L 21/336