



(12) 发明专利申请

(10) 申请公布号 CN 105988965 A

(43) 申请公布日 2016. 10. 05

(21) 申请号 201510093985. 1

(22) 申请日 2015. 03. 03

(30) 优先权数据

103134683 2014. 10. 03 TW

(71) 申请人 创惟科技股份有限公司

地址 中国台湾新北市新店区北新路三段
205 号 12 楼

(72) 发明人 陈秋健

(74) 专利代理机构 上海翼胜专利商标事务所
(普通合伙) 31218

代理人 翟羽

(51) Int. Cl.

G06F 13/40(2006. 01)

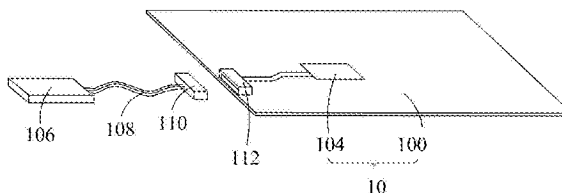
权利要求书3页 说明书7页 附图4页

(54) 发明名称

通用串行总线控制器、通用串行总线主机及
线路基板

(57) 摘要

本发明一种通用串行总线控制器及主机，适用于连接通用串行总线装置，所述通用串行总线主机包括：一线路基板，具有多个第一基板接点以及多个第二基板接点；一通用串行总线连接端口经由第一基板接点设置于线路基板上；以及所述通用串行总线控制器具有多个引脚，经由第二基板接点与线路基板电性连接。本发明能降低信号间的干扰，同时能避免线路基板的线路配置过于复杂问题。



1. 一种通用串行总线控制器,适用于连接一通用串行总线连接端口,其特征在于,所述通用串行总线连接端口包括一平板与一第一群连接端口信号接点及一第二群连接端口信号接点分别设于所述平板的一第一侧及一第二侧,所述第一群连接端口信号接点包括一第一组传送信号接点、一第一组接送信号接点及一第一组差分信号接点,所述第二群连接端口信号接点包括一第二组传送信号接点、一第二组接送信号接点及一第二组差分信号接点,所述通用串行总线控制器包括:

一通用串行总线控制芯片,具有多个芯片接点;以及

一基材,承载所述通用串行总线控制芯片,具有多个引脚与所述多个芯片接点电性连接,所述多个引脚包括:

一第一群引脚,包括:

一第一组引脚对应于所述第一组传送信号接点;

一第二组引脚对应于所述第一组接送信号接点;以及

一第三组引脚对应于所述第一组差分信号接点;以及

一第二群引脚,包括:

一第四组引脚对应于所述第二组传送信号接点;

一第五组引脚对应于所述第二组接收信号接点;以及

一第六组引脚对应于所述第二组差分信号接点,

其中所述多个引脚为单排式引脚排列设置,且所述第一群引脚及所述第二群引脚系以群为单位相邻配置,每一群引脚中,以组为单位相邻配置,相邻的两组引脚分别对应于所述平板的所述第一侧及所述第二侧的多个连接端口信号接点。

2. 根据权利要求1所述的通用串行总线控制器,其特征在于,所述多个引脚以单排式排列设置于所述通用串行总线控制器的一边。

3. 根据权利要求1所述的通用串行总线控制器,其特征在于,所述多个引脚以单排式排列围绕设置于所述通用串行总线控制器的四边。

4. 根据权利要求1所述的通用串行总线控制器,其特征在于,每组引脚包括两个控制信号引脚及两个非控制信号引脚,且相邻两组引脚的两相邻引脚均为非控制信号引脚。

5. 根据权利要求1所述的通用串行总线控制器,其特征在于,六组引脚的排列顺序依序为所述第一组引脚、所述第二组引脚、所述第三组引脚、所述第四组引脚、所述第五组引脚及所述第六组引脚。

6. 根据权利要求1所述的通用串行总线控制器,其特征在于,六组引脚的排列顺序依序为所述第三组引脚、所述第二组引脚、所述第一组引脚、所述第六组引脚、所述第五组引脚及所述第四组引脚。

7. 根据权利要求1所述的通用串行总线控制器,其特征在于,所述基材为导线架或线路基板。

8. 一种通用串行总线控制器,适用于连接一通用串行总线连接端口,其特征在于,所述通用串行总线连接端口包括一平板与一第一群连接端口信号接点及一第二群连接端口信号接点分别设于所述平板的一第一侧及一第二侧,所述第一群连接端口信号接点包括一第一组传送信号接点、一第一组接送信号接点及一第一组差分信号接点,所述第二群连接端口信号接点包括一第二组传送信号接点、一第二组接送信号接点及一第二组差分信号接

点,所述通用串行总线控制器包括:

一通用串行总线控制芯片,具有多个芯片接点;以及

一基材,承载所述通用串行总线控制芯片,具有多个引脚与所述多个芯片接点电性连接,所述多个引脚包括:

一第一群引脚,包括:

一第一组引脚对应于所述第一组传送信号接点;以及

一第二组引脚对应于所述第一组接收信号接点;

一第三组引脚对应于所述第一组差分信号接点及所述第二组差分信号接点;以及

一第二群引脚,包括:

一第四组引脚对应于所述第二组传送信号接点;以及

一第五组引脚对应于所述第二组接收信号接点;

其中所述第三组引脚设置于所述第一群引脚与所述第二群引脚间以分隔所述第一群引脚以及所述第二群引脚。

9. 根据权利要求8所述通用串行总线控制器,其特征在于,每组引脚包括两个控制信号引脚及两个非控制信号引脚,所述两个控制信号引脚及所述两个非控制信号引脚以双排式排列设置于所述通用串行总线控制器的一边。

10. 根据权利要求8所述通用串行总线控制器,其特征在于,所述多个引脚包括多个控制信号引脚及多个非控制信号引脚,所述多个控制信号引脚及所述多个非控制信号引脚以三排式排列设置于所述通用串行总线控制器的一边,且最靠近所述通用串行总线控制器中心的一排为所述多个非控制信号引脚。

11. 根据权利要求8所述通用串行总线控制器,其特征在于,所述基材为导线架或线路基板。

12. 一种通用串行总线主机,适用于连接一通用串行总线装置,其特征在于,所述通用总线主机包括:

一线路基板,具有多个第一基板接点及多个第二基板接点;

一通用串行总线连接端口,具有一平板及多个连接端口信号接点设置于所述平板的第一侧及一第二侧上,所述通用串行总线连接端口经由所述多个第一基板接点设置于所述线路基板上并与所述线路基板电性连接,所述多个连接端口信号接点具有一第一组传送信号接点、一第一组接收信号接点、一第一组差分信号接点、一第二组传送信号接点、一第二组接收信号接点以及一第二组差分信号接点;以及

一通用串行总线控制器,具有多个引脚,经由所述多个第二基板接点设置于所述线路基板上并与所述线路基板及所述通用串行总线连接端口电性连接;

其中所述多个第一基板接点以单排式排列设置并包括:

一第一组基板接点对应于所述第一组传送信号接点;

一第二组基板接点对应于所述第一组接收信号接点;

一第三组基板接点对应于所述第一组差分信号接点;

一第四组基板接点对应于所述第二组传送信号接点;

一第五组基板接点对应于所述第二组接收信号接点;以及

一第六组基板接点对应于所述第二组差分信号接点;

其中每一组基板接点以组为单位相邻配置,相邻的两组基板接点分别对应于所述平板的所述第一侧及所述第二侧的多个连接端口信号接点。

13. 根据权利要求 12 所述的通用串行总线主机,其特征在于,所述第三组基板接点与所述第六组基板接点电性连接。

14. 根据权利要求 12 所述的通用串行总线主机,其特征在于,所述六组基板接点的排列顺序依序为所述第一组基板接点、所述第二组基板接点、所述第三组基板接点、所述第六组基板接点、所述第五组接点及所述第四组基板接点。

15. 根据权利要求 12 所述的通用串行总线主机,其特征在于,所述第一组基板接点、所述第二组基板接点、所述第三组基板接点为一第一群基板接点,所述第四组基板接点、所述第五组接点及所述第五组基板接点为一第二群基板接点,所述第一基板接点以单排式排列设置且所述第一群基板接点与所述第二群基板接点相邻设置。

16. 一种线路基板,适用于与一通用串行总线连接端口及一通用串行总线控制器连接,其特征在于,所述通用串行总线连接端口具有一平板及多个连接端口信号接点设置于所述平板的一第一侧及一第二侧上,所述线路基板具有:

多个第一基板接点,用于连接所述通用串行总线连接端口,以单排式排列设置并包括一第一组基板接点、一第二组基板接点、一第三组基板接点、一第四组基板接点、一第五组基板接点以及一第六组基板接点,其中相邻的两组基板接点分别对应于所述平板的所述第一侧及所述第二侧的所述多个连接端口信号接点;以及

多个第二基板接点,用于连接所述通用串行总线控制器,对应于所述第一组基板接点、所述第二组基板接点、所述第三组基板接点及所述第四组基板接点、所述第五组基板接点及所述第六组基板接点。

17. 根据权利要求 16 所述线路基板,其特征在于,所述第三组基板接点与所述第六组基板接点电性连接。

18. 根据权利要求 16 所述线路基板,其特征在于,所述第二基板接点为双排式排列设置。

19. 根据权利要求 16 所述线路基板,其特征在于,所述多个第二基板接点为三排式排列设置。

20. 根据权利要求 16 所述线路基板,其特征在于,所述通用串行总线连接端口包括一第一组差分信号接点及一第二组差分信号接点,所述第三组基板接点对应于所述第一组差分信号接点,所述第六组基板接点对应于所述第二组差分信号接点,所述多个第二基板接点包括一组差分信号基板接点同时对应于所述第三组基板接点及所述第六组基板接点。

通用串行总线控制器、通用串行总线主机及线路基板

技术领域

[0001] 本发明关于通用串行总线领域,特别是关于一种根据通用串行总线规范所设计而具有特殊引脚配置的通用串行总线控制器及通用串行总线主机。

背景技术

[0002] 通用串行总线(Universal Serial Bus ;USB,以下称 USB)是目前应用广泛的接口,目前已经发展到 USB 3.0 标准,USB 3.0 标准的信号传输率可以达 5Gbps (Gigabit per second)。

[0003] 此外,USB 开发者论坛(USB Implementers Forum ;USB-IF)已提出 USB 3.1 标准的连接接口,USB 3.1 标准的 Type C 接口具有 10Gbps 的信号传输率,且 Type C 的连接器在使用时正反面皆可插入对应的装置。

[0004] 一般而言,一个 USB 连接系统包含一 USB 装置经由一 USB 传输线连结至一 USB 主机,USB 主机内包含有一线路基板、一 USB 连接端口与一 USB 控制器设置于所述线路基板上,USB 装置经由所述 USB 传输线末端的 USB 连接器连接到所述 USB 连接端口以与线路基板上的 USB 控制器电性连接。由于 USB 3.0 标准及 USB 3.1 标准具有高信号传输率,因此需要高操作频率,然而在目前 USB 开发者论坛公开的 USB Type C 接口标准中,为满足使用者可以将连接器的正反面均可插入连接端口的需求,Type C 型的 USB 连接器与 USB 连接端口内同时设有一第一群连接端口信号接点及一第二群连接端口信号接点,当 USB 连接器与 USB 连接端口连接时,第一群连接端口信号接点及第二群连接端口信号接点其中之一可提供信号传输,每一群连接端口信号接点至少包含一组传送信号接点、一组接收信号接点及一组差分信号接点。如图 1 所示,Type C 的 USB 连接端口 112 内配置有一平板 1120,平板 1120 两侧分别为 A 侧接点 A1~A12 及 B 侧接点 B1~B12,其中 A2、A3、A6、A7、B11、B10 为第一群连接端口信号接点的传送信号接点、差分信号接点及接收信号接点,A1 及 B12 为第一群连接端口信号接点的接地接点,A4 及 B9 为第一群连接端口信号接点的电源接点 ;A10、A11、B2、B3、B6 及 B7 为第二群连接端口信号接点的接收信号接点、传送信号接点及差分信号接点,B1 及 A12 为第二群连接端口信号接点的接地接点,B4 及 A9 为第二群连接端口信号接点的电源接点。

[0005] 然而,USB 3.0/3.1 已发展至 5Gbps/10Gbps 的高速信号传输率,在高速信号传输过程中,信号干扰会对系统的传输效能产生相当大的影响,尤其当 USB 装置与 USB 控制器进行交握(Handshaking)程序时,更可能因为干扰而使状态机(State Machine)误判造成交握程序失败,即 USB 装置与 USB 控制器连接失败,再者,在 Type C 型 USB 连接端口的标准接点定义中,因信号传送接点与信号接收接点过于靠近而容易产生信号干扰,有鉴于此,对于 USB 装置与 USB 控制器间信号的传输路径必须解决信号相互干扰的问题。

发明内容

[0006] 本发明提供一种通用串行总线控制器,其能解决现有技术中信号干扰的问题。

[0007] 本发明提供一种通用串行总线主机,其能有效解决通用串行总线内信号相互干扰的问题,同时能降低线路基板之设计复杂度。

[0008] 为实现上述目的,本发明采用以下技术方案。

[0009] 本发明所述通用串行总线控制器适用于连接一通用串行总线连接端口,所述通用串行总线连接端口包括一平板与一第一群连接端口信号接点及一第二群连接端口信号接点分别设于所述平板的一第一侧及一第二侧,所述第一群连接端口信号接点包括一第一组传送信号接点、一第一组接收信号接点以及一第一组差分信号接点,所述第二群连接端口信号接点包括一第二组传送信号接点、一第二组接收信号接点以及一第二组差分信号接点,所述通用串行总线控制器包括:一通用串行总线控制芯片,具有多个芯片接点;以及一基材,承载所述通用串行总线控制芯片,具有多个引脚与所述多个芯片接点电性连接,所述多个引脚包括:一第一群引脚以及一第二群引脚,所述第一群引脚包括一第一组引脚对应于所述第一组传送信号接点、一第二组引脚对应于所述第一组接收信号接点以及一第三组引脚对应于所述第一组差分信号接点,所述第二群引脚包括一第四组引脚对应于所述第二组传送信号接点、一第五组引脚对应于所述第二组接收信号接点以及一第六组引脚对应于所述第二组差分信号接点,其中所述多个引脚以单排式引脚排列配置,且所述第一群引脚及所述第二群引脚以群为单位相邻配置,每一群引脚中,以组为单位相邻配置,相邻的两组引脚分别对应至所述平板第一侧及第二侧的连接端口信号接点。

[0010] 本发明所述通用串行总线控制器适用于连接一通用串行总线连接端口,所述通用串行总线连接端口包括一平板与一第一群连接端口信号接点及一第二群连接端口信号接点分别设于所述平板之一第一侧及一第二侧,所述第一群连接端口信号接点包括一第一组传送信号接点、一第一组接收信号接点以及一第一组差分信号接点,所述第二群连接端口信号接点包括一第二组传送信号接点、一第二组接收信号接点以及一第二组差分信号接点,所述通用串行总线控制器包括:一通用串行总线控制芯片,具有多个芯片接点;以及一基材,承载所述通用串行总线控制芯片,具有多个引脚与所述多个芯片接点电性连接,所述多个引脚包括:一第一群引脚、一第三组引脚以及一第二群引脚,所述第一群引脚包括一第一组引脚对应于所述第一组传送信号接点以及一第二组引脚对应于所述第一组接收信号接点,所述第三组引脚对应于所述第一组差分信号接点及所述第二组差分信号接点,所述第二群引脚包括一第四组引脚对应于所述第二组传送信号接点以及一第五组引脚对应于所述第二组接收信号接点,其中所述第三组引脚设置于所述第一群引脚与所述第二群引脚间以分隔所述第一群引脚以及所述第二群引脚。

[0011] 本发明所述通用串行总线主机适用于连接一通用串行总线装置,所述通用串行总线主机包括:一线路基板,具有多个第一基板接点以及多个第二基板接点;一通用串行总线连接端口,具有一平板及多个连接端口信号接点设置于所述平板的一第一侧及一第二侧上,所述通用串行总线连接端口经由所述多个第一基板接点设置于所述线路基板上并与所述线路基板电性连接,所述多个连接端口信号接点具有一第一组传送信号接点、一第一组接收信号接点、一第一组差分信号接点、一第二组传送信号接点、一第二组接收信号接点以及一第二组差分信号接点;以及一通用串行总线控制器,具有多个引脚,经由所述多个第二基板接点与所述线路基板电性连接;其中所述多个第一基板接点为单排式接点配置于所述线路基板上并包括一第一组基板接点对应于所述第一组传送信号接点、一第二组基板接点

对应于所述第一组接收信号接点、一第三组基板接点对应于所述第一组差分信号接点、一第四组基板接点对应于所述第二组传送信号接点、一第五组基板接点对应所述第二组接收信号接点以及一第六组基板接点对应所述第二组差分信号接点,每一组基板接点以组为单位相邻配置,相邻的两组基板接点分别对应至所述平板的第一侧及第二侧的连接端口信号接点。

[0012] 本发明所述线路基板适用于与一通用串行总线连接端口及一通用串行总线控制器连接,所述通用串行总线连接端口具有一平板及多个连接端口信号接点设置于所述平板的一第一侧及一第二侧上,所述线路基板具有:多个第一基板接点,用于连接所述通用串行总线连接端口,以单排式排列设置并包括一第一组基板接点、一第二组基板接点、一第三组基板接点、一第四组基板接点、一第五组基板接点以及一第六组基板接点,其中相邻的两组基板接点分别对应于所述平板的所述第一侧及所述第二侧的所述多个连接端口信号接点;以及多个第二基板接点,用于连接所述通用串行总线控制器,对应于所述第一组基板接点、所述第二组基板接点、所述第三组基板接点及所述第四组基板接点、所述第五组基板接点及所述第六组基板接点。

[0013] 本发明所述通用串行总线主机能使通用串行总线控制器与通用串行总线连接端口使用时降低其信号干扰,同时能避免线路基板的线路配置过于复杂问题,降低其制造成本。

附图说明

[0014] 图 1 是 USB 3.1 标准的 Type C 连接端口信号接点定义;

图 2 是根据本发明的通用串行总线主机及装置连接系统示意图;

图 3A 是根据本发明第一实施例的通用串行总线控制器为单排引脚的示意图;

图 3B 是 USB 控制芯片及基材的示意图;

图 4 是根据本发明第二实施例的通用串行总线控制器为双排引脚的示意图;以及

图 5 是根据本发明第三实施例的通用串行总线主机及通用串行总线控制器为三排引脚的示意图。

[0015] 图中的标号分别表示:

10、USB 主机;

100、120、线路基板;

104、104'、104''、USB 控制器;

106、USB 装置;

108、连接线;

110、USB 连接器;

112、USB 连接端口;

130、第一基板接点;

140、第二基板接点;

1040、USB 控制芯片;

1042、基材;

1044、芯片接点;

1120、平板；
A1~A12、A 侧接点；
B1~B12、B 侧接点；
C1、最内排；
C2、C3、外侧排；
P1、P1'、第一组引脚；
P2、P2'、第二组引脚；
P3、P3'、第三组引脚；
P4、P4'、第四组引脚；
P5、P5'、第五组引脚；
P6、P6'、第六组引脚；
X1、第一组基板接点；
X2、第二组基板接点；
X3、第三组基板接点；
X4、第四组基板接点；
X5、第五组基板接点；
X6、第六组基板接点。

具体实施方式

[0016] 下面结合附图对本发明提供的通用串行总线控制器、通用串行总线主机及线路基板的具体实施方式做详细说明。

[0017] 请同时参阅图 2 及图 3A,图 2 为根据本发明的通用串行总线装置(以下称 USB 装置) 106 与通用串行总线主机(以下称 USB 主机) 10 连接系统示意图,其中通用串行总线主机 10 包括一通用串行总线控制器(以下称 USB 控制器)104 设置于一线路基板 100 上、一通用串行总线连接端口(以下称 USB 连接端口) 112 设置于所述线路基板 100 上并与所述 USB 控制器 104 电性连接,所述 USB 装置 106 经由一连接线 108 的 USB 连接器 110 连接至所述 USB 连接端口 112,USB 主机 10 即与 USB 装置 106 形成一 USB 连接系统。图 3A 为根据本发明第一实施例的 USB 控制器 104,本实施例的 USB 控制器 104 适用于设置于图 2 的线路基板 100 上并电性连接至图 2 的 USB 连接端口 112,更明确地说,其适用于图 1 的 USB 3.1 标准的 Type C 接口。

[0018] 请参阅第 1 图,Type C 型的 USB 连接端口 112 内设有一平板 1120,所述平板 1120 的第一侧(以下称 A 侧)包括 A 侧接点 A1~A12,第二侧(以下称 B 侧)包括 B 侧接点 B1~B12,所述 USB 连接端口 112 经由多个第一基板接点(如图 5 的 130 所示)设置于线路基板 100 上,USB 控制器 104 经由多个第二基板接点(如图 5 的 140 所示)设置于所述线路基板 100 上,所述 USB 连接端口 112 经由所述线路基板 100 与所述 USB 控制器 104 电性连接,所述 USB 控制器 104 包含有对应于图 1 的 USB 连接端口 112 内 24 个接点(即 A 侧接点 A1~A12 及 B 侧接点 B1~B12)的多个引脚。所述 USB 连接端口 112 内的接点包含一第一群连接端口信号接点及一第二群连接端口信号接点,所述第一群连接端口信号接点包含一第一组传送信号接点、一第一组接收信号接点及一第一组差分信号接点,所述第二群连接端口信号接点包含

一第二组传送信号接点、一第二组接收信号接点及一第二组差分信号接点。此外,要说明的是,为了解决现有技术中USB连接系统中的信号干扰问题,本实施例的USB控制器104通过特殊的引脚排列来改善上述问题,且同时简化连接USB控制器104与USB连接端口112的线路基板100的线路配置(layout),更明确地说,在降低干扰的同时又必须避免线路基板100的线路配置过于复杂。

[0019] 请参阅图3A及图3B,图3A为本实施例的USB控制器104的引脚示意图,其为USB控制芯片经封装后底部裸露出的引脚,封装态样例如可以是QFN(Quad Flat No-lead,即四方扁平无引线)、BGA(Ball Grid Array,即球栅阵列封装)、LGA(Land Grid Array,即平面网格阵列封装)等,但不限于上述的封装态样,图3B为USB控制芯片1040及基材1042的示意图,所述USB控制器104包括USB控制芯片1040设置于基材1042上,所述基材1042例如可以是导线架、线路基板或是陶瓷基板,所述USB控制芯片1040具有多个芯片接点1044,经由导线电性连接至图3A的各引脚,导线例如可以是金线或是铜线等导电材料,封胶体包覆所述USB控制芯片1040、所述导线及部分基材,并裸露出所述多个引脚,电性连接USB控制器104至线路基板100,例如是利用焊接方式,图3A的引脚包含一第一群引脚以及一第二群引脚,第一群引脚包括第一组引脚P1、第二组引脚P2以及第三组引脚P3;第二群引脚包括第四组引脚P4、第五组引脚P5以及第六组引脚P6。要说明的是,图3B仅绘出部分芯片接点1044,实际上图3B的芯片接点1044是对应至图3A的引脚。

[0020] 第一组引脚P1例如对应于图1的USB连接端口112的第一组传送信号接点,即对应于USB连接端口112的A侧接点A1~A4,第二组引脚P2例如对应于USB连接端口112的第一组接收信号接点,即对应于USB连接端口112的B侧接点B9~B12,第三组引脚P3例如对应于USB连接端口112的第一组差分信号接点,即对应于USB连接端口112的A侧接点A5~A8,第四组引脚P4例如对应于USB连接端口112的第二组差分信号接点,即对应于USB连接端口112的B侧接点B5~B8,第五组引脚P5例如对应于USB连接端口112的第二组接收信号接点,即对应于USB连接端口112的A侧接点A9~A12,第六组引脚P6例如对应于USB连接端口112的第二组传送信号接点,即对应于USB连接端口112的B侧接点B1~B4。

[0021] 本实施例的特点在于所述USB控制器104上对应于图1的USB连接端口112的所述多个引脚为单排引脚式的配置方式,且USB控制器104的第一群引脚及第二群引脚较佳是以群为单位相邻配置,如此可避免造成后续上板后布线困难的问题,在每一群引脚中,以组为单位相邻配置,相邻的两组引脚是各自分别对应到USB连接端口112内平板1120不同侧的连接端口信号接点,例如,USB控制器104的引脚排列顺序为第一组引脚P1(第一群引脚)、第二组引脚P2(第一群引脚)、第三组引脚P3(第一群引脚)、第四组引脚P4(第二群引脚)、第五组引脚P5(第二群引脚)及第六组引脚P6(第二群引脚)时,相邻的第二组引脚P2与第三组引脚P3分别对应到该USB连接端口112第二侧(B侧)的B侧接点B9~B12与第一侧(A侧)的A侧接点A5~A8。上述之引脚配置方式较佳是在每两相邻的引脚组中,其相邻的引脚均为非控制信号引脚,例如为接地或电源引脚,如此可产生屏蔽效果,减少各组引脚间的信号干扰。

[0022] 此外,要说明的是,USB控制器104的引脚排列顺序并非限于图3A所示,例如可以是第三组引脚P3(第一群引脚)、第二组引脚P2(第一群引脚)、第一组引脚P1(第一群引脚)、第四组引脚P4(第二群引脚)、第五组引脚P5(第二群引脚)及第六组引脚P6(第二群

引脚)时,只要第一群引脚及第二群引脚是以群为单位相邻配置,且相邻的两组引脚分别对应到 USB 连接端口 112 内的平板 1120 不同侧的连接端口信号接点,即可降低干扰及避免 USB 控制器 104 与图 1 的 USB 连接端口 112 之间的线路配置过于复杂。

[0023] 本发明经不断实验得到 USB 控制器 104 的引脚排列顺序为第一组引脚 P1(第一群引脚)、第二组引脚 P2(第一群引脚)、第三组引脚 P3(第一群引脚)、第四组引脚 P4(第二群引脚)、第五组引脚 P5(第二群引脚)及第六组引脚 P6(第二群引脚)时,其干扰可以达到最低,布线配置可为最简单。

[0024] 请同时参阅图 1 及图 3A,由于第一组引脚 P1 对应于 USB 连接端口 112 的 A 侧接点 A1~A4,故包括 GND、TX1+、TX1- 及 VBUS,第二组引脚 P2 对应于 USB 连接端口 112 的 B 侧接点 B9~B12,故包括 VBUS、RX1-、RX1+ 及 GND,第三组引脚 P3 对应于 USB 连接端口 112 的 A 侧接点 A5~A8,故包括 CC1、D+、D- 及 RFU1,第四组引脚 P4 对应于 USB 连接端口 112 的 B 侧接点 B5~B8,故包括 CC2、D+、D- 及 RFU2,第五组引脚 P5 对应于 USB 连接端口 112 的 A 侧接点 A9~A12,故包括 VBUS、RX2-、RX2+ 及 GND,第六组引脚 P6 对应于 USB 连接端口 112 的 B 侧接点 B1~B4,故包括 GND、TX2+、TX2- 及 VBUS。

[0025] 请同时参阅图 1 及图 4,图 4 是根据本发明第二实施例的 USB 控制器 104' 封装采用的导线架,以说明其引脚配置,本实施例的 USB 控制器 104' 是适用于连接图 1 的 USB 3.1 标准的 Type C 接口的连接端口 112。采用图 4 双排引脚导线架的 USB 控制器 104' 与图 3A 的 USB 控制器 104 的差异在于采用图 4 双排引脚导线架的 USB 控制器 104' 的引脚分为内外两排排列引脚,而图 3A 的 USB 控器 104 仅有一排引脚。

[0026] USB 控制器 104' 具有第一群引脚以及第二群引脚,第一群引脚包括第一组引脚 P1' 对应于 USB 连接端口 112 的第一组传送信号接点、一第二组引脚 P2' 对应于 USB 连接端口 112 的第一组接收信号接点以及一第三组引脚 P3' 对应于 USB 连接端口 112 的第一组差分信号接点,第二群引脚包括一第四组引脚 P4' 对应于 USB 连接端口 112 的第二组差分信号接点、一第五组引脚 P5' 对应于 USB 连接端口 112 的第二组接收信号接点以及一第六组引脚 P6' 对应于 USB 连接端口 112 的第二组传送信号接点。

[0027] 第二实施例的特点在于所述第一群引脚及所述第二群引脚是以群为单位相邻配置,每群引脚中的每组引脚均同时分别配置于内排与外排,且每相邻的两组引脚分别对应到 USB 连接端口 112 的不同侧的接点,举例来说,USB 控制器 104' 例如为一双排引脚之 QFN 封装,即每一边具有两排引脚,其中对应于 USB 连接端口 112 的引脚例如配置于其四边引脚的其中一边,如图 4 所示,所述多个引脚在其边上的排列顺序自下而上为第一群引脚的第一组引脚 P1'、第二组引脚 P2'、第三组引脚 P3',之后为第二群引脚的第四组引脚 P4'、第五组引脚 P5'、第六组引脚 P6' 与第一群引脚相邻,第一组引脚 P1' 同时分别设于内排与外排,例如是 GND 设于外排引脚, TX1+ 设于内排引脚, TX1- 设于外排引脚, VBUS 设于内排引脚,然后第二组引脚 P2' 相邻于第一组引脚 P1', 依续为第三组引脚 P3'、第四组引脚 P4'、第五组引脚 P5'、第六组引脚 P6' 均同时分别设于内排与外排,其中任意相邻的二组引脚,例如第三组引脚 P3' 与第四组引脚 P4' 分别对应到 USB 连接端口的 A 侧接点 A5~A8 与 B 侧接点 B5~B8。

[0028] 请同时参阅图 1 及图 5,图 5 是根据本发明第三实施例的 USB 主机,USB 主机具有一线路基板 120、一 USB 连接端口 112 以及一 USB 控制器 104'', 于本实施例中,USB 控制器

104''为三排引脚且包括一第一群引脚以及一第二群引脚。各群引脚包括多组引脚,每组引脚包含有两个控制信号引脚及两个非控制信号引脚,例如第一组引脚 P1 包括两个控制信号引脚 TX1+ 与 TX1- 以及两个非控制信号引脚 GND 与 VBUS,本实施例的特点为所有非控制信号引脚,例如为接地引脚 GND 或电源引脚 VBUS 集中设置于最靠近 USB 控制器 104''中心的最内排 C3,其余控制信号引脚再依前述实施例排列方式设置于外侧排 C1 及 C2。

[0029] 线路基板 120 具有多个第一基板接点 130 以及多个第二基板接点 140,USB 连接端口 112 经由第一基板接点 130 电性连接于线路基板 120,USB 控制器 104''的引脚经由第二基板接点 140 与线路基板 120 电性连接。第一基板接点 130 为单排式接点配置于线路基板 120 上。第一基板接点 130 包括一第一群基板接点以及一第二群基板接点,第一群基板接点包括一第一组基板接点 X1 对应于一组传送信号接点(即图 1 的 A 侧接点 A1~A4)、一第二组基板接点 X2 对应于一组接收信号接点(即图 1 的 B 侧接点 B9~B12)、以及一第三组基板接点 X3 对应于一组差分信号接点(即图 1 的 A 侧接点 A5~A8),第二群基板接点包括一第四组基板接点 X4 对应于一组传送信号接点(即图 1 的 B 侧接点 B1~B4)、一第五组基板接点 X5 对应于一组接收信号接点(即图 1 的 A 侧接点 A9~A12)以及一第六组基板 X6 接点对应于一组差分信号接点(即图 1 的 B 侧接点 B5~B8),每一组基板接点以组为单位相邻配置,相邻的两组基板接点分别对应至图 1 的平板 1120 的第一侧及第二侧的连接端口信号接点。

[0030] 此外,要说明的是图 3A 及图 4 的实施例中,USB 控制器 104、104'各包括 6 组引脚,而本实施例中,将第三组基板接点 X3 与第六组基板接点 X6 予以短路而达到共享之目的,因此本实施例的 USB 控制器 104''仅需包括 5 组引脚而能对应至 USB 连接端口 112 的 6 组接点,进而降低 USB 控制器 104''的引脚数。

[0031] 本发明所述通用串行总线主机引脚能使通用串行总线主机与通用串行总线连接端口使用时降低其信号的干扰,同时能避免线路基板之线路配置过于复杂,降低其制造成本。

[0032] 虽然本发明已用较佳实施例揭露如上,然其并非用以限定本发明,本发明所属技术领域技术人员在不脱离本发明之精神和范围内,当可作各种的更动与润饰,例如实施例承载 USB 控制芯片的基材可以是导线架,线路基板,陶瓷基板或是其它封装可使用的基材,均属本发明可适用之,因此本发明之保护范围当视申请专利范围所界定者为准。

112

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12
GND	TX1+	TX1-	V _{BUS}	CC1	D+	D-	RFU1	V _{BUS}	RX2-	RX2+	GND
GND	RX1+	RX1-	V _{BUS}	RFU2	D-	D+	CC2	V _{BUS}	TX2-	TX2+	GND
B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1

1120

图 1

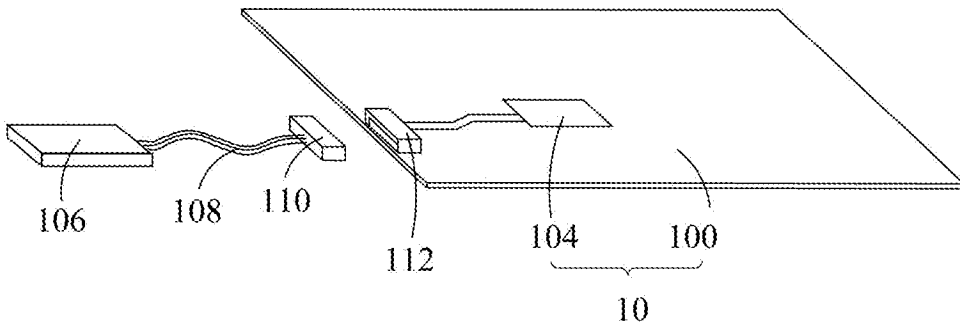


图 2

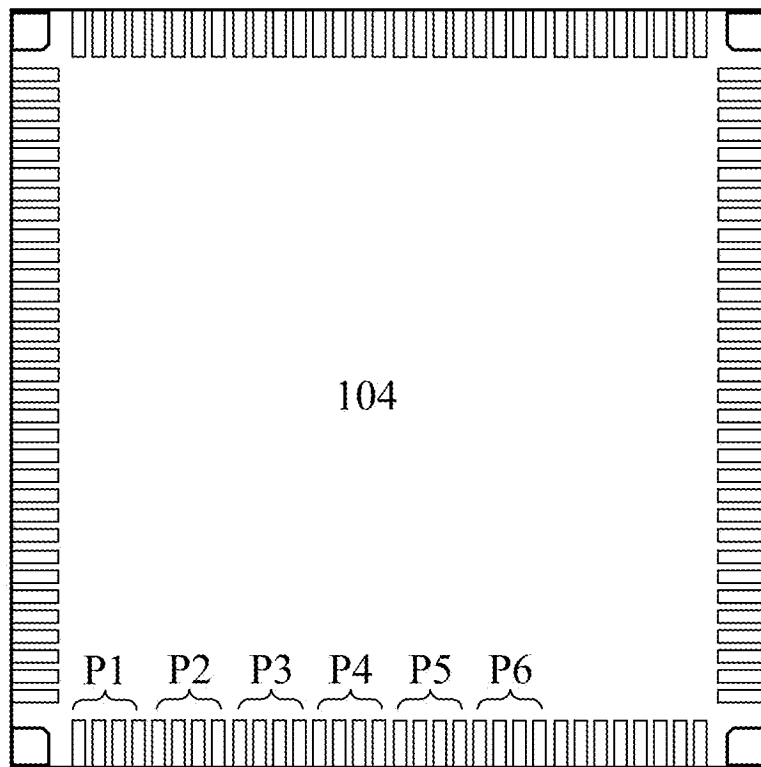


图 3A

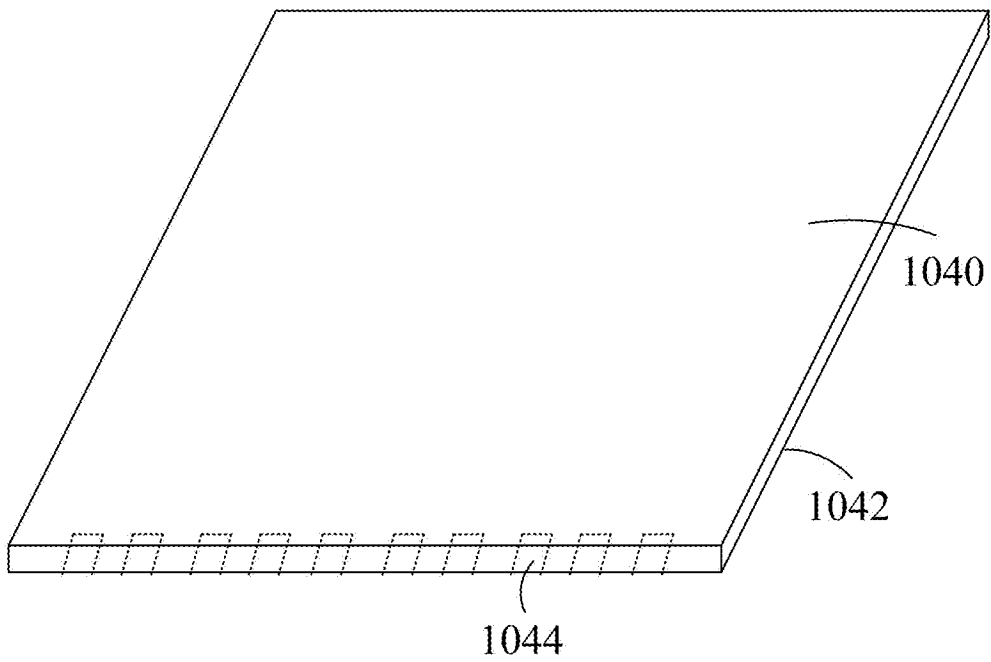


图 3B

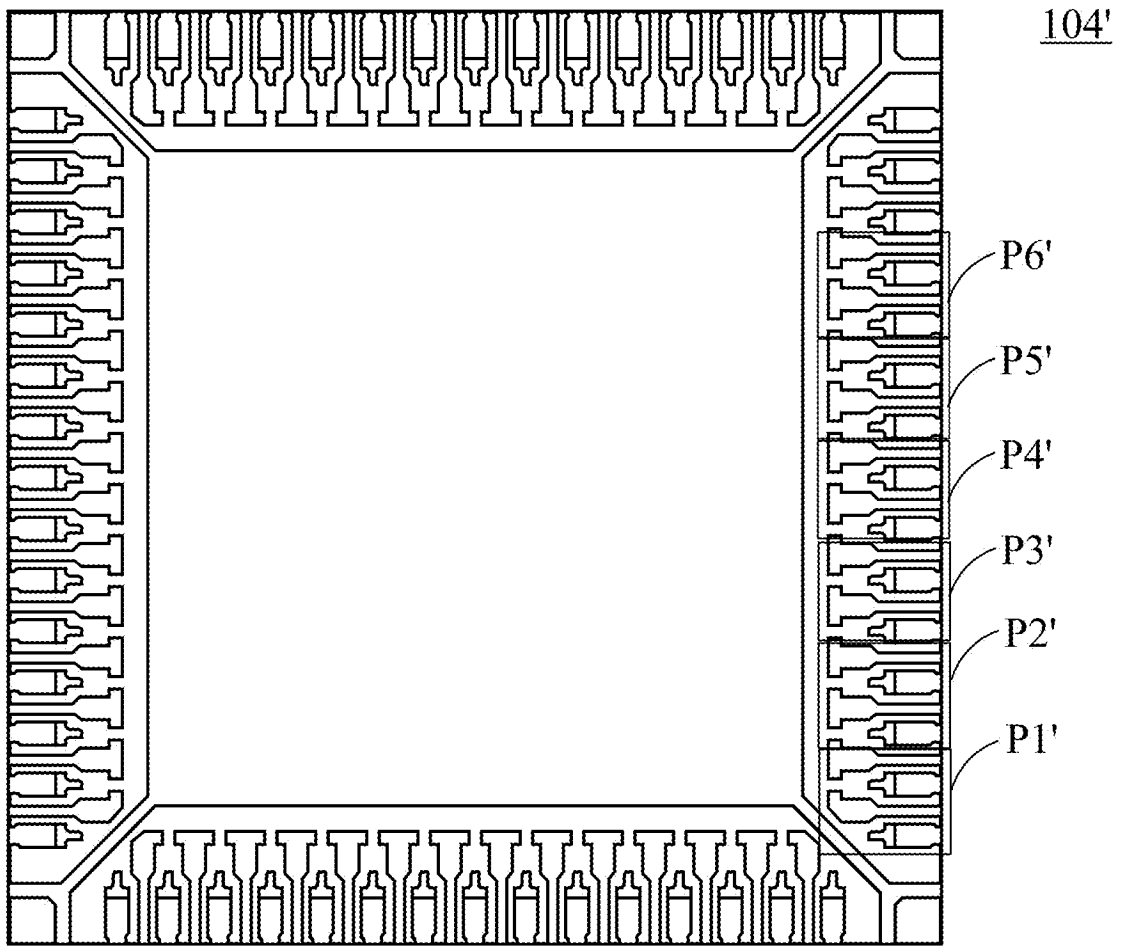


图 4

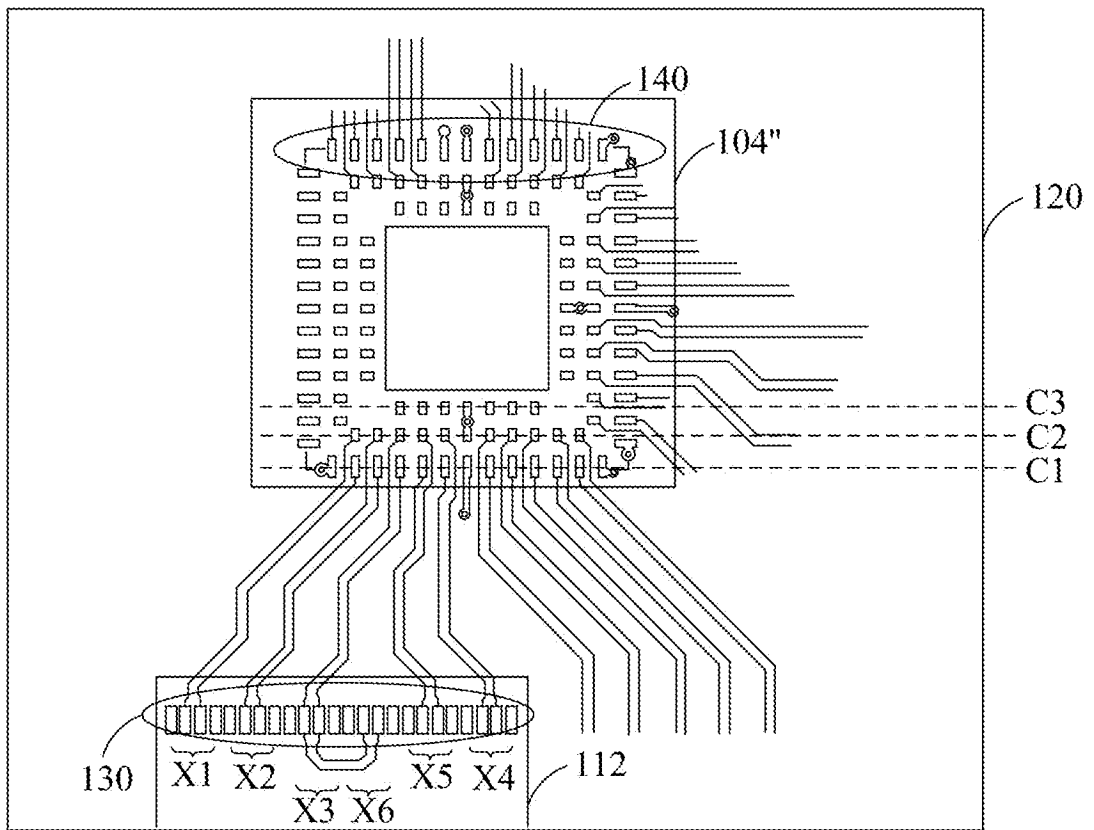


图 5