



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년10월28일
(11) 등록번호 10-1078143
(24) 등록일자 2011년10월24일

(51) Int. Cl.

H01L 29/778 (2006.01) H01L 29/812 (2006.01)

H01L 21/338 (2006.01)

(21) 출원번호 10-2010-0076539

(22) 출원일자 2010년08월09일

심사청구일자 2010년08월09일

(56) 선행기술조사문헌

KR1020030042325 A

KR1020040049744 A

KR1020040074299 A

전체 청구항 수 : 총 16 항

(73) 특허권자

홍익대학교 산학협력단

서울 마포구 상수동 72-1

(72) 발명자

김형탁

서울특별시 강남구 역삼 1동 835-68 롯데캐슬노블 102-304

(74) 대리인

특허법인태평양

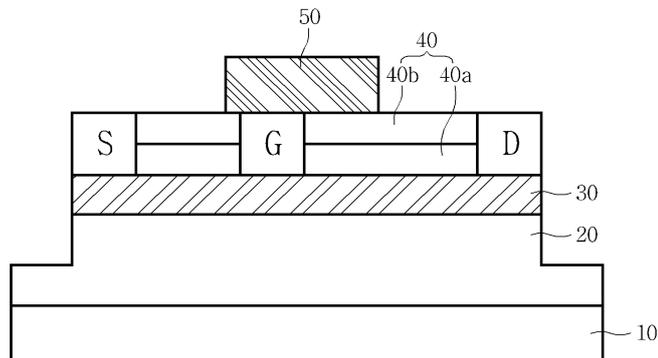
심사관 : 이상호

(54) 복합 패시베이션 유전막을 갖는 이중접합 전계효과 트랜지스터 및 그 제조방법

(57) 요약

본 발명은 이중접합 전계효과 트랜지스터에 관한 것으로서, AlGaIn/GaN 이중접합 박막 구조의 상부에 질화실리콘막 및 질화실리콘막 보다 작은 유전상수의 저 유전막이 적층된 복합 패시베이션 유전막을 형성함으로써 질화실리콘막의 패시베이션 효과와 전계 전극의 전계 분산 효과를 유지하면서 게이트-드레인 기생 커패시턴스에 의한 고주파 특성의 열화를 보상할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

기관상에 형성된 질화갈륨 버퍼층;
 상기 질화갈륨 버퍼층 상에 형성된 질화알루미늄갈륨 배리어층;
 상기 배리어층 상에 서로 이격되게 형성된 소오스 전극 및 드레인 전극;
 상기 소오스 전극과 상기 드레인 전극 사이의 상기 배리어층 상에 형성된 게이트 전극;
 상기 배리어층 상에 증착되며 서로 다른 유전상수를 갖는 유전막들이 적층된 복합 패시베이션 유전막; 및
 상기 게이트 및 상기 드레인 전극 사이의 상기 복합 패시베이션 유전막 상에 형성되며 상기 게이트 전극 또는
 상기 소오스 전극과 연결되는 전계 전극을 포함하는 이중접합 전계효과 트랜지스터.

청구항 2

제 1항에 있어서, 상기 복합 패시베이션 유전막은
 질화실리콘(SiN)막 및 상기 질화실리콘막 보다 유전상수가 낮은 저 유전막이 적층된 구조로 형성된 것을 특징으
 로 하는 이중접합 전계효과 트랜지스터.

청구항 3

제 2항에 있어서, 상기 저 유전막은
 산화실리콘(SiO₂)막인 것을 특징으로 하는 이중접합 전계효과 트랜지스터.

청구항 4

제 2항에 있어서, 상기 저 유전막은
 상기 질화실리콘막 보다 두껍게 형성되는 것을 특징으로 하는 이중접합 전계효과 트랜지스터.

청구항 5

제 1항에 있어서, 상기 소오스 전극 및 상기 드레인 전극은
 Ti/Al/Ta/Au 금속 박막 또는 Ti/Al/Ti/Au 금속 박막이 열처리된 합금으로 형성된 것을 특징으로 하는 이중접합
 전계효과 트랜지스터.

청구항 6

제 1항에 있어서, 상기 게이트 전극은
 Ni/Ir/Au 금속 박막이 증착된 것을 특징으로 하는 이중접합 전계효과 트랜지스터.

청구항 7

제 1항에 있어서, 상기 전계 전극은
 상기 게이트 전극의 상부면에서부터 상기 드레인 전극 측으로 수평 방향으로 연장되게 형성되는 것을 특징으로
 하는 이중접합 전계효과 트랜지스터.

청구항 8

기관 상부에 질화갈륨/질화알루미늄갈륨의 이중접합 박막을 형성하는 단계;
 상기 이중접합 박막 상부에 서로 다른 유전상수를 갖는 유전막들이 적층된 복합 패시베이션 유전막을 형성하는
 단계;

상기 복합패시베이션 유전막 및 상기 이중접합 박막을 이중접합 계면 아래까지 식각하여 단위 소자별로 분리시키는 단계;

상기 이중접합 박막 양단부 상의 상기 복합패시베이션 유전막을 제거하여 소오스 전극 및 드레인 전극을 형성하는 단계; 및

상기 소오스 전극과 상기 드레인 전극 사이의 상기 복합패시베이션 유전막을 선택적으로 제거하여 게이트 전극 및 전계 전극을 형성하는 단계를 포함하는 이중접합 전계효과 트랜지스터 제조 방법.

청구항 9

제 8항에 있어서, 상기 복합 패시베이션 유전막을 형성하는 단계는

상기 이중접합 박막 상에 질화실리콘막을 형성하는 단계; 및

상기 질화실리콘막 상에 상기 질화실리콘막 보다 유전상수가 낮은 저 유전막을 형성하는 단계를 포함하는 것을 특징으로 하는 이중접합 전계효과 트랜지스터 제조 방법.

청구항 10

제 9항에 있어서, 상기 질화실리콘막을 형성하는 단계는

PECVD(Plasma-enhanced Chemical Vapor Deposition) 공정을 이용하여 질화실리콘을 상기 이중접합 박막 상에 증착하는 것을 특징으로 하는 이중접합 전계효과 트랜지스터 제조 방법.

청구항 11

제 9항에 있어서, 상기 저 유전막은

산화실리콘(SiO₂)으로 형성되는 것을 특징으로 하는 이중접합 전계효과 트랜지스터 제조 방법.

청구항 12

제 11항에 있어서, 상기 저 유전막은

상기 질화실리콘 막 보다 두껍게 형성되는 것을 특징으로 하는 이중접합 전계효과 트랜지스터 제조 방법.

청구항 13

제 8항에 있어서, 상기 소오스 전극 및 상기 드레인 전극을 형성하는 단계는

상기 이중접합 박막 양단부 상의 상기 복합 패시베이션 유전막을 선택식각하는 단계;

상기 식각된 영역에 오믹 콘택 금속을 증착하는 단계; 및

상기 오믹 콘택 금속을 열처리하는 단계를 포함하는 것을 특징으로 하는 이중접합 전계효과 트랜지스터 제조 방법.

청구항 14

제 13항에 있어서, 상기 오믹 콘택 금속을 증착하는 단계는

전자빔 증발법(e-beam evaporation)을 이용하여 Ti/Al/Ta/Au 금속 박막 또는 Ti/Al/Ti/Au 금속 박막을 증착시키는 것을 특징으로 하는 이중접합 전계효과 트랜지스터 제조 방법.

청구항 15

제 8항에 있어서, 상기 게이트 전극 및 전계 전극을 형성하는 단계는

상기 복합 패시베이션 유전막에서 기 정의된 게이트 전극 영역을 선택식각하는 단계;

상기 식각된 영역 및 상기 복합 패시베이션 유전막 상에 쇼트키(Schottky) 금속을 증착하는 단계; 및

상기 쇼트키 금속을 패터닝하는 단계를 포함하는 것을 특징으로 하는 이중접합 전계효과 트랜지스터 제조 방법.

청구항 16

제 15항에 있어서, 상기 쇼트키 금속을 증착하는 단계는

전자빔 증발법(e-beam evaporation)을 이용하여 Ni/Ir/Au 금속 박막을 증착시키는 것을 특징으로 하는 이종접합 전계효과 트랜지스터 제조 방법.

명세서

기술분야

[0001] 본 발명은 이종접합 전계효과 트랜지스터에 관한 것으로서, 보다 상세하게는 고전압 고주파 동작을 위한 복합 유전막을 갖는 질화갈륨 전계 전극 이종접합 전계효과 트랜지스터에 관한 것이다.

배경기술

[0002] 최근의 이종접합 전계효과 트랜지스터(hetero-junction field effect transistor: HFET)는 고주파수, 고출력 전기소자로서의 요구를 만족시키기 위해 질화물계 화합물 반도체로 제조되고 있다. 일반적으로, 질화물 반도체는 Si 또는 GaAs와 같은 통상의 반도체 재료에 비해 넓은 에너지 밴드갭, 높은 열적/화학적 안정도 및 높은 전자포화속도를 가지기 때문에 광소자뿐만 아니라 고주파 고출력 전기소자로 널리 적용되고 있다.

[0003] 질화물계 이종접합 전계효과 트랜지스터는 높은 항복전계(약 $\sim 3 \times 10^6 \text{V/cm}$), 높은 전자포화속도(약 $\sim 3 \times 10^7 \text{cm/sec}$) 및 높은 열적/화학적 안정도 등의 다양한 장점을 갖는다. 또한 질화물계 전계효과 트랜지스터에 구현되는 AlGaIn/GaN의 이종접합구조는 이종접합시 발생하는 2차원 전자 채널의 높은 이동도를 이용하여 고전압 및 고주파 동작이 가능하다.

[0004] 이러한 종래의 질화물계(질화갈륨) 이종접합 전계효과 트랜지스터에서는 고주파 동작시 직류 동작 대비 전류가 하락하는 현상을 방지하기 위해 표면 트랩을 중화시키기 위한 질화실리콘 패시베이션 유전막이 도입됨으로써 고주파 특성을 향상시키고 있다. 또한, 종래의 질화갈륨 이종접합 전계효과 트랜지스터에서는 게이트 상에 전계 전극을 형성하여 전계 분포를 분산시킴으로써 항복전압을 증가시켜 높은 동작 전압의 인가가 가능하도록 하고 있다. 더욱이 전계 분포를 분산시킴으로써 채널에서 발생하는 핫캐리어 효과도 감소시켜 트랜지스터의 신뢰성을 향상시킬 수 있게 된다.

[0005] 그러나 게이트 상에 형성된 전계 전극은 게이트와 드레인 또는 게이트와 소오스 사이의 기생 커패시턴스를 증가시킴으로써 고주파 특성을 열화시키는 다른 문제를 야기시키고 있다. 더욱이 전계 전극이 질화실리콘 패시베이션 유전막과 함께 이종접합 전계효과 트랜지스터에 적용되는 경우, 질화실리콘의 높은 유전 상수로 인하여 게이트와 드레인 또는 게이트와 소오스 사이의 기생 커패시턴스를 더욱 증가시켜 고주파 특성을 열화시키는 단점이 있다.

발명의 내용

해결하려는 과제

[0006] 따라서 상술한 문제를 해결하기 위한 본 발명의 목적은 전계 전극 및 질화실리콘 패시베이션 유전막을 사용하면 서로 게이트와 드레인 또는 게이트와 소오스 사이의 기생 커패시턴스를 최소화시켜 고주파 특성을 향상시킬 수 있는 새로운 구조의 이종접합 전계효과 트랜지스터를 제공하는데 있다.

과제의 해결 수단

[0007] 본 발명의 일 실시 예에 따른 이종접합 전계효과 트랜지스터는 기판상에 형성된 질화갈륨 버퍼층, 상기 질화갈륨 버퍼층 상에 형성된 질화알루미늄갈륨 배리어층, 상기 배리어층 상에 서로 이격되게 형성된 소오스 전극 및 드레인 전극, 상기 소오스 전극과 상기 드레인 전극 사이의 상기 배리어층 상에 형성된 게이트 전극, 상기 배리어층 상에 증착되며 서로 다른 유전상수를 갖는 유전막들이 적층된 복합 패시베이션 유전막 및 상기 게이트 및 상기 드레인 전극 사이의 상기 복합 패시베이션 유전막 상에 형성되며 상기 게이트 전극 또는 상기 소오스 전극과 연결되는 전계 전극을 포함한다.

[0008] 본 발명의 이종접합 전계효과 트랜지스터에서 상기 복합 패시베이션 유전막은 질화실리콘(SiN)막 및 상기 질화

실리콘막 보다 유전상수가 낮은 저 유전막이 적층된 구조로 형성된다. 이때 상기 저 유전막은 산화실리콘(SiO₂)막으로 형성될 수 있으며, 바람직하게는 상기 질화실리콘막 보다 두껍게 형성된다.

[0009] 본 발명의 이중접합 전계효과 트랜지스터에서 상기 소오스 전극 및 상기 드레인 전극은 Ti/Al/Ta/Au 금속박막 또는 Ti/Al/Ti/Au 금속박막이 열처리된 합금으로 형성될 수 있으며, 상기 게이트 전극은 Ni/Ir/Au 금속 박막이 증착되어 형성될 수 있다.

[0010] 본 발명의 이중접합 전계효과 트랜지스터에서 상기 전계 전극은 상기 게이트 전극과 연결되며 상기 게이트 전극의 상부에서부터 상기 드레인 전극 측으로 수평 방향으로 연장되게 형성될 수 있으며, 그 선포는 상기 게이트 전극의 선포 보다 크게 형성된다.

[0011] 본 발명의 일 실시 예에 따른 이중접합 전계효과 트랜지스터 제조 방법은 기판 상부에 질화갈륨/질화알루미늄갈륨의 이중접합 박막을 형성하는 단계, 상기 이중접합 박막 상부에 서로 다른 유전상수를 갖는 유전막들이 적층된 복합 패시베이션 유전막을 형성하는 단계, 상기 복합패시베이션 유전막 및 상기 이중접합 박막을 이중접합 계면 아래까지 식각하여 단위 소자별로 분리시키는 단계, 상기 이중접합 박막 양단부 상의 상기 복합패시베이션 유전막을 제거하여 소오스 전극 및 드레인 전극을 형성하는 단계 및 상기 소오스 전극과 상기 드레인 전극 사이의 상기 복합패시베이션 유전막을 선택적으로 제거하여 게이트 전극 및 전계 전극을 형성하는 단계를 포함한다.

[0012] 본 발명의 이중접합 전계효과 트랜지스터 제조 방법에서 상기 복합 패시베이션 유전막을 형성하는 단계는 상기 이중접합 박막 상에 질화실리콘막을 형성하는 단계 및 상기 질화실리콘막 상에 상기 질화실리콘막 보다 유전상수가 낮은 저 유전막을 형성하는 단계를 포함한다. 이때, 저 유전막은 산화실리콘(SiO₂)으로 형성될 수 있으며, 바람직하게는 상기 질화실리콘막 보다 두껍게 형성된다.

[0013] 본 발명의 이중접합 전계효과 트랜지스터 제조 방법에서 상기 질화실리콘막을 형성하는 단계는 PECVD(Plasma-enhanced Chemical Vapor Deposition) 공정을 이용하여 질화실리콘을 상기 이중접합 박막 상에 증착할 수 있다.

[0014] 본 발명의 이중접합 전계효과 트랜지스터 제조 방법에서 상기 소오스 전극 및 상기 드레인 전극을 형성하는 단계는 상기 이중접합 박막 양단부 상의 상기 복합 패시베이션 유전막을 선택식각하는 단계, 상기 식각된 영역에 오믹 콘택 금속을 증착하는 단계 및 상기 오믹 콘택 금속을 열처리하는 단계를 포함한다. 이때, 오믹 콘택 금속을 증착하는 단계는 전자빔 증발법(e-beam evaporation)을 이용하여 Ti/Al/Ta/Au 금속 박막 또는 Ti/Al/Ti/Au 금속 박막을 증착시킬 수 있다.

[0015] 본 발명의 이중접합 전계효과 트랜지스터 제조 방법에서 상기 게이트 전극 및 전계 전극을 형성하는 단계는 상기 복합 패시베이션 유전막에서 기 정의된 게이트 전극 영역을 선택식각하는 단계, 상기 식각된 영역 및 상기 복합 패시베이션 유전막 상에 쇼트키(Schottky) 금속을 증착하는 단계 및 상기 쇼트키 금속을 패터닝하는 단계를 포함한다. 이때, 쇼트키 금속을 증착하는 단계는 전자빔 증발법(e-beam evaporation)을 이용하여 Ni/Ir/Au 금속 박막을 증착한다.

발명의 효과

[0016] 본 발명은 AlGaIn/GaN 이중접합 박막 구조의 상부에 질화실리콘막 및 질화실리콘막 보다 작은 유전상수를 갖는 저 유전막이 적층된 복합 패시베이션 유전막을 형성함으로써 질화실리콘막의 패시베이션 효과와 전계 전극의 전계 분산 효과를 유지하면서 게이트-드레인 기생 커패시턴스에 의한 고주파 특성의 열화를 보상할 수 있게 된다.

도면의 간단한 설명

- [0017] 도 1은 본 발명의 일 실시 예에 따른 이중접합 전계효과 트랜지스터의 구조를 개략적으로 나타낸 단면도.
- 도 2는 본 발명에 따른 복합 패시베이션 유전막(40)이 기생 커패시턴스를 감소시켜주는 원리를 설명하기 위한 도면.
- 도 3은 본 발명의 복합 패시베이션 유전막 적용에 따른 기생 커패시턴의 감소 효과를 나타내는 도면.
- 도 4는 본 발명의 복합 패시베이션 유전막 적용에 따른 주파수 특성의 개선 효과를 나타내는 도면.
- 도 5는 본 발명의 복합 패시베이션 유전막 적용에 따른 소오스 전극과 드레인 전극 사이에 존재하는 전계 분산도를 도시한 도면.

도 6은 본 발명의 복합 패시베이션 유전막 적용에 따른 직류 출력 특성 그래프를 도시한 도면.

도 7은 본 발명의 복합 패시베이션 유전막 적용에 따른 항복 전압 특성 그래프를 도시한 도면.

도 8a 내지 8d는 도 1의 이중접합 전계효과 트랜지스터를 형성하는 과정을 설명하기 위한 공정 단면도들.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시 예를 보다 상세하게 설명한다.
- [0019] 도 1은 본 발명의 일 실시 예에 따른 이중접합 전계효과 트랜지스터의 구조를 개략적으로 나타낸 단면도이다.
- [0020] 본 발명의 이중접합 전계효과 트랜지스터는 기판(10) 상부에 질화갈륨(GaN)의 버퍼층(20)과 질화알루미늄갈륨(AlGaN)의 배리어층(30)이 순차적으로 적층되게 형성되어 AlGaN/GaN 이중접합 박막구조를 형성함으로써 그 계면에 분극에 의한 2차원 전자채널이 형성된다. 그리고, 배리어층(30) 상부면 양단에는 소오스 전극(S)과 드레인 전극(D)이 형성된다. 이때, 기판(10)은 예컨대, 사파이어(Al₂O₃) 기판(10)이 사용될 수 있으나, 이에 한정되지 않으며 카바네이트(SiC) 기판과 같은 이중기판 또는 질화물기판과 같은 동종기판 등의 공지된 질화물 성장용 기판이 사용될 수 있다. 그리고, 질화갈륨막(20)은 0.5 μm 정도의 두께로 형성되며, 질화알루미늄갈륨막(30)은 30 nm 정도의 두께로 형성된다.
- [0021] 소오스 전극(S)과 드레인 전극 사이에는 게이트 전극(G)이 형성되며, 게이트 전극(G)과 소오스 전극(S) 사이 및 게이트 전극(G)과 드레인 전극(D) 사이의 배리어층(30) 상부면에는 복합 패시베이션 유전막(40)이 형성된다. 이때, 복합 패시베이션 유전막(40)은 질화실리콘(SiN)막(40a) 및 질화실리콘막(40a) 보다 유전상수가 낮은 저유전막(40b)(예컨대, SiO₂ 막)이 적층된 구조로 형성된다.
- [0022] 그리고, 게이트 전극(G) 전극과 드레인 전극 사이의 복합 패시베이션 유전막(40)의 상부에는 전계 전극(50)이 형성된다. 도 1에서는 전계 전극(50)이 게이트 전극(G) 상부면에서부터 복합 패시베이션 유전막(40)의 상부까지 연장되게 형성됨으로써 게이트 전극(G)과 연결되도록 형성된 모습을 보여주고 있으나, 전계 전극(50)은 게이트 전극(G) 전극과 드레인 전극 사이의 복합 패시베이션 유전막(40)의 상부에만 형성된 후 게이트 전극(G) 또는 소오스 전극(S)과 전기적으로 연결되도록 형성될 수 있다.
- [0023] 이때, 전계 전극(50)의 선포는 게이트 전극(G) 보다 크게 형성된다.
- [0024] 이처럼, 본 발명에서는 AlGaN/GaN 이중접합 박막 구조의 상부에 패시베이션막을 형성하되, 패시베이션막을 질화실리콘막(40a) 및 질화실리콘막(40a) 보다 작은 유전상수를 갖는 저 유전막(40b)이 적층된 복합 패시베이션 유전막(40)을 사용함으로써 질화실리콘막(40a)의 패시베이션 효과와 전계 전극(50)의 전계 분산 효과를 유지하면서 게이트-드레인 기생 커패시턴스(C_{gd})에 의한 고주파 특성의 열화를 보상하게 된다.
- [0025] 도 2는 본 발명에 따른 복합 패시베이션 유전막(40)이 기생 커패시턴스를 감소시켜주는 원리를 설명하기 위한 도면이다.
- [0026] 도 2에서 커패시터 A는 종래와 같이 전계전극과 AlGaN/GaN 이중접합 박막 사이에 단일 패시베이션 유전막이 사용되는 경우를 나타내며, 커패시터 B는 본 발명에 따른 복합 패시베이션 유전막(40)이 사용되는 경우를 나타낸다(여기에서, ε는 유전상수, t는 유전체의 두께를 나타냄).
- [0027] 도 2의 수식에서와 같이, 높은 유전상수(ε₁)를 갖는 단일 유전막을 사용하는 경우의 커패시턴스(C_A)에 비해 높은 유전상수(ε₁)의 유전막과 이보다 낮은 유전상수(ε₂)의 유전막을 적층하여 사용하는 경우의 커패시턴스(C_B)가 훨씬 작음을 알 수 있다.
- [0028] 이중접합 전계효과 트랜지스터에서 고주파 동작시 직류 동작 대비 전류가 하락하는 현상을 방지하기 위해 표면 트랩을 중화시키기 위한 용도로 사용되는 질화실리콘(SiN)은 유전상수가 7.5로 상대적으로 높은 편이다. 따라서, 전계 전극이 질화실리콘 패시베이션 유전막과 함께 사용되는 경우에는 커패시터 A와 같이 큰 커패시턴스(C_A)를 발생시킴으로써 이중접합 전계효과 트랜지스터에서 게이트-드레인 기생 커패시턴스(C_{gd})를 크게 증가시킨다.
- [0029] 그러나 본 발명에서와 같이 패시베이션막으로서 질화실리콘막(40a) 및 질화실리콘막(40a) 보다 작은 유전상수를 갖는 저 유전막(SiO₂)(40b)이 적층된 복합 패시베이션 유전막(40)을 사용하면 커패시터 B와 같이 상대적으로 작

은 커패시턴스(C_B)를 발생시킴으로써 이중접합 전계효과 트랜지스터에서 게이트-드레인 기생 커패시턴스를 감소시켜 기생 커패시턴스에 의한 고주파 특성의 열화를 보상하게 된다.

- [0030] 더욱이, 두 유전막(40a, 40b)의 두께(t_1 , t_2) 비율을 조절함으로써 커패시턴스의 감소 효과를 조절할 수 있다. 따라서 질화실리콘막(40a)의 표면 트랩 패시베이션 효과를 유지할 수 있는 최소 두께를 적용할 경우 가장 우수한 소자 특성을 기대할 수 있다.
- [0031] 도 3은 본 발명의 복합 패시베이션 유전막 적용에 따른 기생 커패시턴의 감소 효과를 나타내는 도면이다.
- [0032] 종래와 같이 패시베이션 유전막으로서 질화실리콘막(SiN) 만이 사용된 경우에 비해 본 발명에서와 같이 질화실리콘막(SiN)(40a)과 실리콘산화막(SiO_2)(40b)이 적층된 복합 패시베이션 유전막(40)이 사용된 경우 기생 커패시턴스가 낮아졌음을 알 수 있다.
- [0033] 특히 질화실리콘막(SiN)과 실리콘산화막(SiO_2)의 두께 비율을 2:1과 1:2로 조절한 경우, 기생 커패시턴스가 각각 기존 대비 11.3%, 17.8% 감소하였다. 즉, 유전상수가 낮은 실리콘산화막(SiO_2)의 두께 비율이 증가할수록 기생 커패시턴스의 감소 효과가 더 커짐을 알 수 있다.
- [0034] 도 4는 본 발명의 복합 패시베이션 유전막 적용에 따른 주파수 특성의 개선 효과를 나타내는 도면이다.
- [0035] 본 발명의 복합 패시베이션 유전막(40)이 적용되었을 때 전류 이득이 2dB 이상 증가함과 함께 그 이득이 0이 되는 차단주파수(f_T)가 19.75 GHz에서 25.25 GHz로 27% 증가 되었음을 알 수 있다. 또한 낮은 유전상수를 갖는 실리콘산화막(SiO_2)의 두께 비율이 증가할 경우 개선 정도가 더 커짐을 알 수 있다.
- [0036] 도 5는 본 발명의 복합 패시베이션 유전막 적용에 따른 소오스 전극과 드레인 전극 사이에 존재하는 전계 분산도를 도시한 도면이다.
- [0037] 복합 패시베이션 유전막을 적용하더라도 종래의 단일 질화실리콘막을 적용한 경우와 유사한 전계 분산 효과를 가짐을 알 수 있다. 따라서 본 발명의 복합 패시베이션 유전막을 적용하더라도 전계 효과에 대한 항복 전압 상승과 신뢰성 향상 효과를 그대로 유지할 수 있음을 알 수 있다.
- [0038] 도 6과 도 7은 각각 본 발명의 복합 패시베이션 유전막 적용에 따른 직류 출력 특성과 항복 전압 특성 그래프를 도시한 도면으로, 복합 패시베이션 유전막을 적용하더라도 직류 특성 열화 및 항복 전압 감소 현상이 발생하지 않음으로써 전계 전극 효과를 그대로 유지하여 200V이상의 높은 항복 전압을 나타내고 있다.
- [0039] 따라서 복합 패시베이션 유전막을 전계 전극을 갖는 트랜지스터에 적용하면 기존의 전계 분산 효과를 그대로 유지하여 높은 항복 전압과 신뢰성을 확보하는 동시에 주파수 응답 특성의 향상을 얻을 수 있음을 알 수 있다.
- [0040] 도 8a 내지 도 8d는 도 1의 이중접합 전계효과 트랜지스터를 형성하는 과정을 설명하기 위한 공정 단면도들이다.
- [0041] 먼저 도 8a를 참조하면, 기판(10)의 상부에 예컨대, MOCVD(Metal Organic Chemical Vapor Deposition)법을 이용하여 불순물(예컨대, Ar, Fe, C) 이온이 도핑된 질화갈륨(GaN) 버퍼층(20)을 형성하고, 질화갈륨 버퍼층(20) 상부에 질화알루미늄갈륨 배리어층(30)을 형성하여 AlGaN/GaN 이중 접합 박막구조를 형성한다. 이러한, AlGaN/GaN 이중 접합 박막구조를 형성하는 방법은 기 공지된 어떠한 방법을 사용하여도 무방하다.
- [0042] 이때, 기판(10)은 사파이어 기판(Al_2O_3) 또는 카바네이트(SiC) 기판이 사용될 수 있다.
- [0043] 이어서, 질화알루미늄갈륨 배리어층(30) 상부에 질화실리콘막(40a) 및 질화실리콘막(40a) 보다 유전상수가 낮은 유전막(SiO_2)(40b)이 적층된 구조의 복합 패시베이션 유전막(40)을 형성한다.
- [0044] 이때, 질화실리콘막(40a)은 PECVD(Plasma-enhanced Chemical Vapor Deposition) 공정을 통해 질화알루미늄갈륨 배리어층(30)의 표면에 증착될 수 있으며, 질화알루미늄갈륨 배리어층(30) 표면의 트랩을 중화시키는 패시베이션 역할을 수행한다.
- [0045] 다음에 도 8b를 참조하면, 소자 분리를 위한 식각 공정을 수행하여 단위 소자들 즉 단위 트랜지스터들을 물리적으로 분리시키는 공정을 진행한다. 예컨대, 리소그래피 공정을 통해 복합 패시베이션 유전막(40) 상부에 소자 분리영역을 정의하는 감광막 패턴(미도시)을 형성한 후 감광막 패턴을 식각 마스크로 사용하여 복합 패시베이션 유전막(40), 질화알루미늄갈륨 배리어층(30) 및 질화갈륨 버퍼층(20)을 순차적으로 식각함으로써 단위 트랜지스

터들에 대한 물리적인 분리(mesa isolation)를 진행한다.

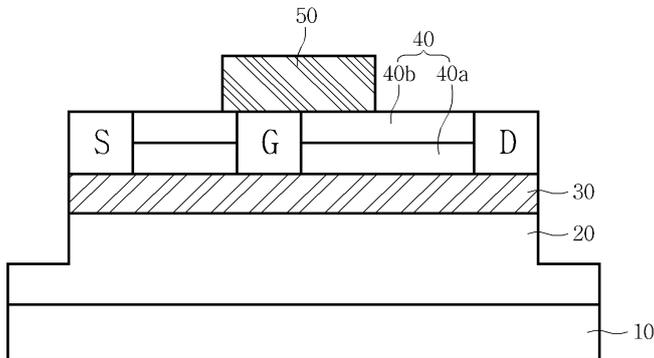
- [0046] 이때, 식각 공정으로는 ICP-RIE(Inductively coupled plasma reactive ion etch) 공정이 이용될 수 있으며, 식각 깊이는 전자 채널이 형성되는 질화갈륨 버퍼층(20)과 질화알루미늄갈륨 배리어층(30)의 계면 아래까지 충분히 깊게 식각되도록 한다.
- [0047] 다음에 도 8c를 참조하면, 질화알루미늄갈륨 배리어층(30) 양단부 상의 복합 패시베이션 유전막(40)을 선택식각하여 소오스와 드레인 오믹 콘택(ohmic contact)을 형성한다.
- [0048] 이를 위해 예컨대, 리소그래피 공정을 통해 복합 패시베이션 유전막(40) 상부에 소오스 전극(S) 영역 및 드레인 전극(D) 영역을 정의하는 감광막 패턴(미도시)을 형성한 후 그 감광막 패턴을 식각 마스크로 질화알루미늄갈륨 배리어층(30)이 노출될 때까지 복합 패시베이션 유전막(40)을 식각하여 트렌치(미도시)를 형성한다. 이때 식각 공정으로는 ICP-RIE 공정이 이용될 수 있다.
- [0049] 이어서, 트렌치가 매립되도록 전자빔 증발법(e-beam evaporation)을 이용하여 오믹 콘택(ohmic contact) 금속(예컨대, Ti/Al/Ta/Au이 적층된 금속막 또는 Ti/Al/Ti/Au이 적층된 금속막)을 증착한 후 850 °C의 질소 분위기에서 30초 동안의 급속열처리(RTA:Rapid Thermal Annealing)를 통해 적층된 금속 박막들을 합금화시킴으로써 질화알루미늄갈륨 배리어층(30)과 오믹 콘택되는 소오스 전극(S)과 드레인 전극(D)을 형성한다.
- [0050] 다음에 도 8d를 참조하면, 리소그래피 공정을 통해 복합 패시베이션 유전막(40) 상부에 게이트 전극(G) 영역을 정의하는 감광막 패턴(미도시)을 형성한 후 그 감광막 패턴을 식각 마스크로 질화알루미늄갈륨 배리어층(30)이 노출될 때까지 복합 패시베이션 유전막(40)을 선택식각하여 트렌치(미도시)를 형성한다. 이때 식각 공정으로는 ICP-RIE 공정이 이용될 수 있다.
- [0051] 이어서, 트렌치가 매립되도록 복합 패시베이션 유전막(40) 상부에 전자빔 증발법(e-beam evaporation)을 이용하여 쇼트키(Schottky) 금속(예컨대, Ni/Ir/Au 이 적층된 금속막)을 증착한다. 다음에 리소그래피 공정을 이용하여 증착된 쇼트키 금속을 패터닝함으로써 쇼트키 게이트(G) 및 전계 전극(50)을 형성한다.
- [0052] 상술한 실시 예는 본 발명의 예시를 목적으로 한 것으로서, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

부호의 설명

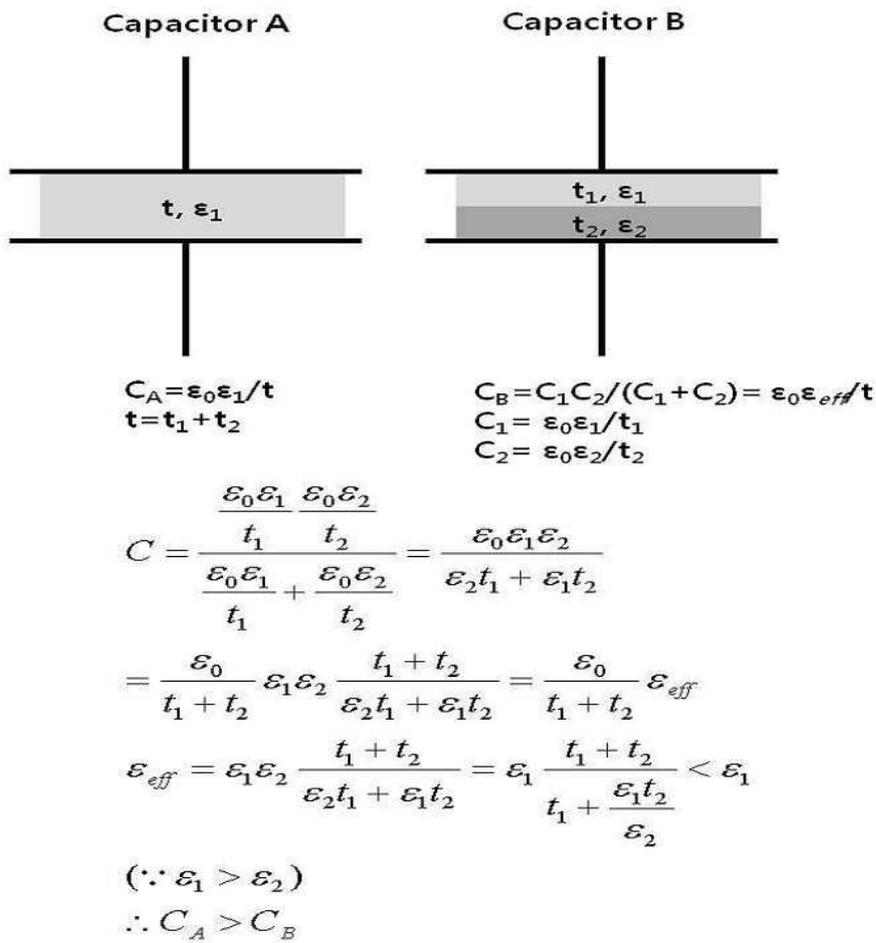
- [0053] 10 : 기판
- 20 : 질화갈륨 버퍼층
- 30 : 질화알루미늄갈륨 배리어층
- 40a : 질화실리콘막
- 40b : 저 유전막
- 50 : 전계 전극
- S : 소오스
- D : 드레인
- G : 게이트

도면

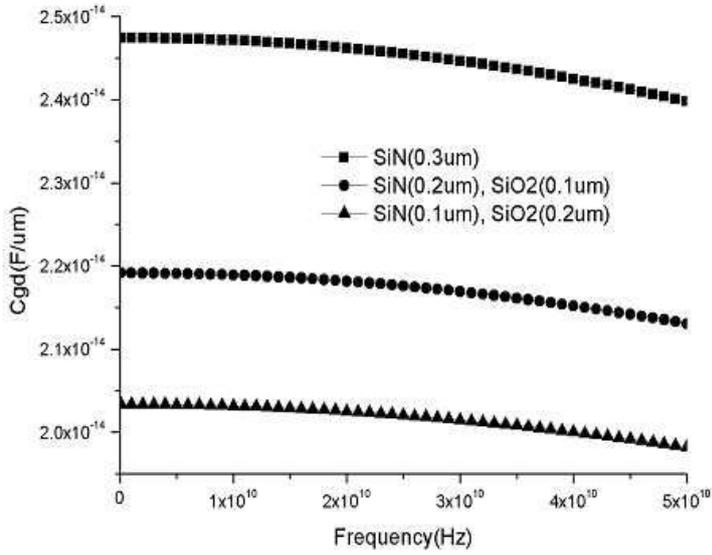
도면1



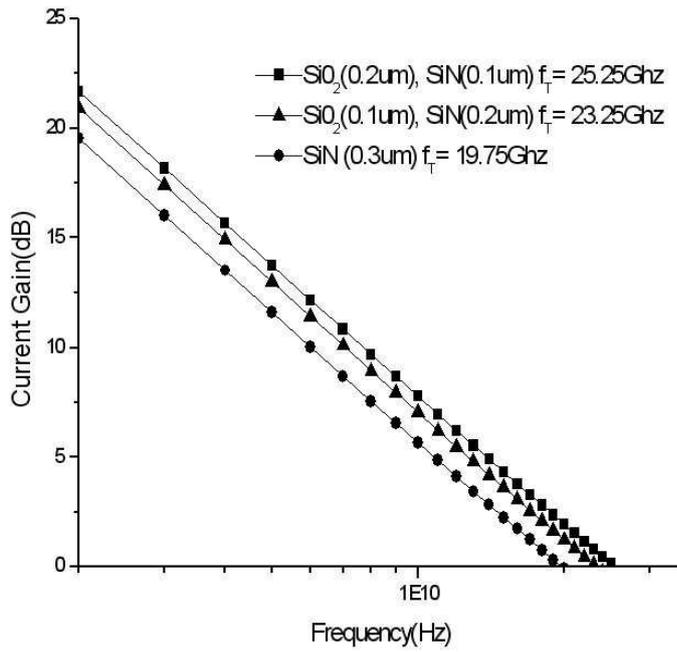
도면2



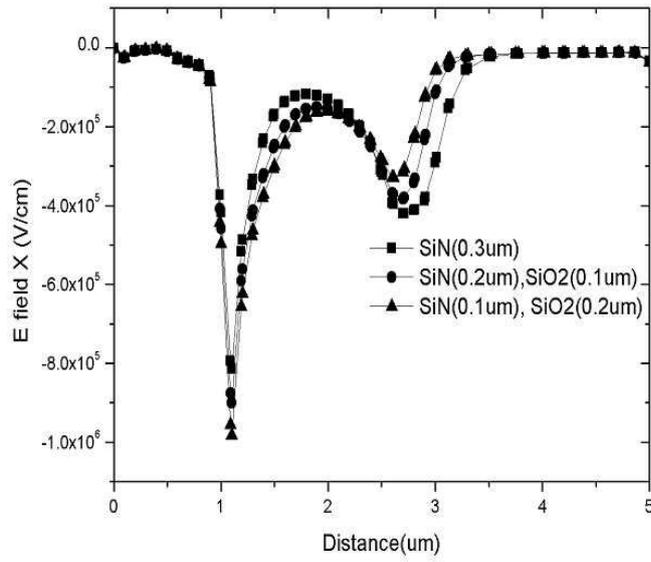
도면3



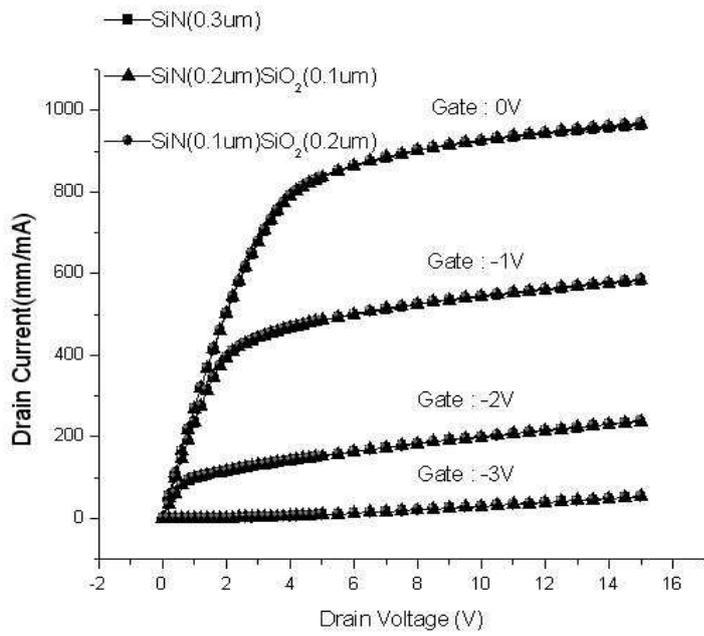
도면4



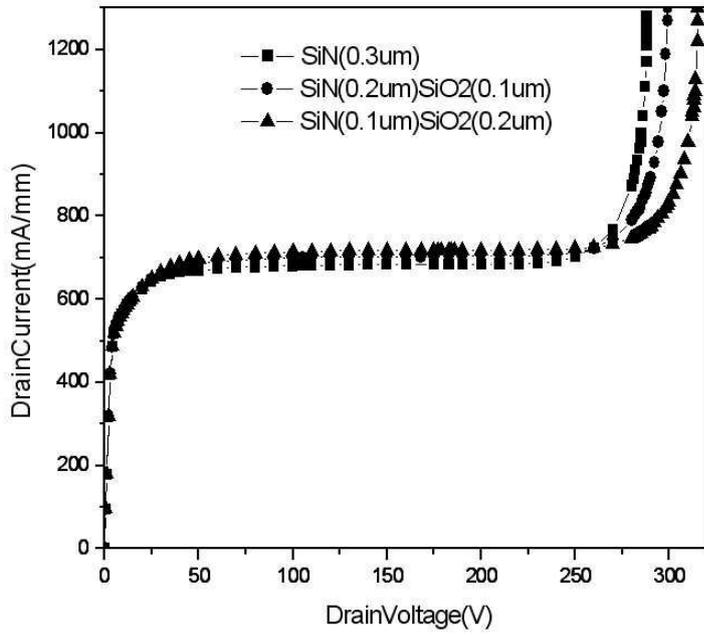
도면5



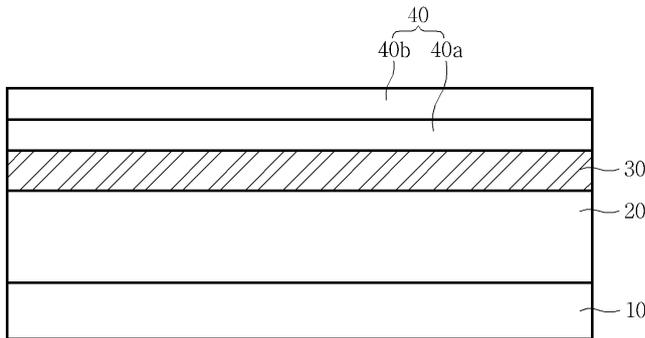
도면6



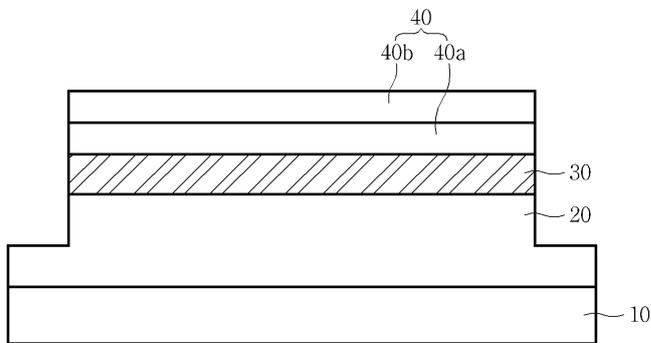
도면7



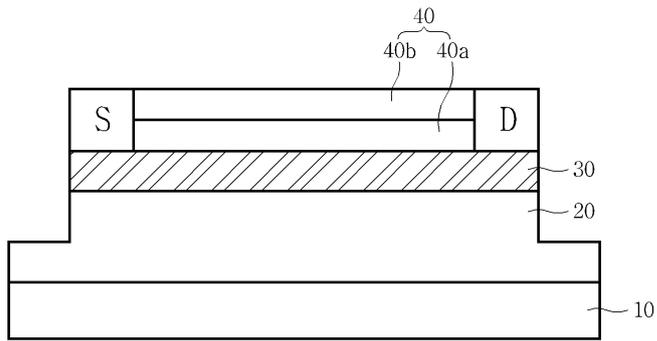
도면8a



도면8b



도면8c



도면8d

