

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5948037号  
(P5948037)

(45) 発行日 平成28年7月6日(2016.7.6)

(24) 登録日 平成28年6月10日(2016.6.10)

(51) Int.Cl.	F I				
HO 1 L 29/786 (2006.01)	HO 1 L	29/78	6 1 2 C		
HO 1 L 21/336 (2006.01)	HO 1 L	29/78	6 1 8 B		
HO 1 L 21/8242 (2006.01)	HO 1 L	29/78	6 1 6 L		
HO 1 L 27/108 (2006.01)	HO 1 L	29/78	6 2 7 A		
HO 1 L 21/8244 (2006.01)	HO 1 L	29/78	6 1 6 S		
請求項の数 2 (全 42 頁) 最終頁に続く					

(21) 出願番号 特願2011-226164 (P2011-226164)  
 (22) 出願日 平成23年10月13日(2011.10.13)  
 (65) 公開番号 特開2013-89646 (P2013-89646A)  
 (43) 公開日 平成25年5月13日(2013.5.13)  
 審査請求日 平成26年7月17日(2014.7.17)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 齋藤 利彦  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 磯部 敦生  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 花岡 一哉  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 永松 翔  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

第1の電極層と第2の電極層とを間隔をあけて形成し、  
 前記第1の電極層と重なる第1の領域と、前記第2の電極層と重なる第2の領域と、前記第1の電極層と前記第2の電極層との間の領域と重なる第3の領域と、を有するように、酸化物半導体層を形成し、  
 前記酸化物半導体層上に、ゲート絶縁層を形成し、  
 前記第3の領域と重なる領域を有するように、前記ゲート絶縁層上に、ゲート電極層を形成し、  
 前記ゲート電極層上に、絶縁層を形成し、  
 第1のマスクを用いて、前記絶縁層及び前記ゲート絶縁層をエッチングして、前記第1の領域に達する第1の開口を形成し、  
 第2のマスクを用いて、前記絶縁層及び前記ゲート絶縁層をエッチングして、前記第2の領域に達する第2の開口を形成し、  
 前記第1の開口及び前記第2の開口を埋め込むように、前記絶縁層上に、導電膜を形成し、  
 前記導電膜に研磨処理を行うことにより、前記絶縁層上に設けられた前記導電膜を除去して、前記第1の開口に第3の電極層を形成し、前記第2の開口に第4の電極層を形成し、  
 前記第3の電極層上にソース配線層を形成し、前記第4の電極層上にドレイン配線層を

形成する半導体装置の作製方法であって、

トランジスタのチャンネル長方向において、前記第3の導電層と前記第4の導電層との距離は、前記ソース配線層と前記ドレイン配線層との距離よりも小さい半導体装置の作製方法。

【請求項2】

請求項1において、

前記第1の電極層及び前記第2の電極層は、酸化物半導体材料を用いて形成される半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

開示する発明は、半導体装置及びその作製方法に関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、発光表示装置、半導体回路及び電子機器は全て半導体装置である。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路(IC)や画像表示装置(単に表示装置とも表記する)のような半導体電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

20

【0004】

例えば、酸化物半導体として、酸化亜鉛、In-Ga-Zn-O系酸化物を用いてトランジスタを作製し、表示装置の画素のスイッチング素子などに用いる技術が特許文献1及び特許文献2で開示されている。

【先行技術文献】

【特許文献】

【0005】

30

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、トランジスタの動作の高速化、トランジスタの低消費電力化、高集積化等を達成するためにはトランジスタの微細化が必須である。

【0007】

より高性能な半導体装置を実現するため、微細化されたトランジスタのオン特性(例えば、オン電流や電界効果移動度)を向上させて、半導体装置の高速応答、高速駆動を実現する構成およびその作製方法を提供することを目的の一とする。

40

【0008】

また、トランジスタの微細化に伴って作製工程における歩留まりの低下が懸念される。

【0009】

また、微細な構造であっても高い電気特性を有するトランジスタを歩留まりよく提供することを目的の一とする。

【0010】

また、該トランジスタを含む半導体装置においても、高性能化、高信頼性化、及び高生産化を達成することを目的の一とする。

【課題を解決するための手段】

50

## 【0011】

開示する発明の一態様では、酸化物半導体層と電氣的に接続するソース電極層及びドレイン電極層が、酸化物半導体層上のゲート絶縁層及び絶縁層の開口を埋め込むように設けられており、ソース電極層を設けるための開口とドレイン電極層を設けるための開口は、それぞれ異なるマスクを用いた個別のエッチング処理によって形成される。これにより、ソース電極層（またはドレイン電極層）と酸化物半導体層が接する領域と、ゲート電極層との距離を十分に縮小することができる。また、ソース電極層またはドレイン電極層は、開口を埋め込むように絶縁層上に導電膜を形成し、絶縁層上の導電膜を研磨（切削、研削）して除去することで形成される。研磨（切削、研削）方法としては化学的機械研磨（Chemical Mechanical Polishing：CMP）処理を好適に用いることができる。

10

## 【0012】

また、開示する発明の一態様では、酸化物半導体層は、第1の低抵抗領域、第2の低抵抗領域および第1の低抵抗領域と第2の低抵抗領域に挟まれたチャンネル形成領域を含んでおり、第1の低抵抗領域または第2の低抵抗領域はトランジスタのソース領域またはドレイン領域として機能する。さらに、酸化物半導体層の下に第1の電極層と第2の電極層が設けられ、第1の低抵抗領域は、少なくとも第1の電極層の一部と接し、第2の低抵抗領域は、少なくとも第2の電極層の一部と接する。このように第1の電極層および第2の電極層を設けることにより、トランジスタのソース領域およびドレイン領域の厚膜化が図られるので、トランジスタのソース領域およびドレイン領域における抵抗を低減することができる。より具体的には、例えば以下の構成とすることができる。

20

## 【0013】

開示する発明の一態様は、絶縁表面上に第1の電極層および第2の電極層を形成し、第1の電極層および第2の電極層上に酸化物半導体層を形成し、酸化物半導体層上にゲート絶縁層を形成し、ゲート絶縁層を介して酸化物半導体層上に、第1の電極層と第2の電極層の間に重畳するようにゲート電極層を形成し、ゲート電極層をマスクとして、酸化物半導体層に不純物を導入し、酸化物半導体層に自己整合的に、少なくとも第1の電極層の一部と重畳する第1の低抵抗領域、少なくとも第2の電極層の一部と重畳する第2の低抵抗領域、及び第1の低抵抗領域と第2の低抵抗領域に挟まれたチャンネル形成領域を形成し、ゲート電極層上に絶縁層を形成し、第1のマスクを用いて、絶縁層及びゲート絶縁層をエッチングして、第1の低抵抗領域に達する第1の開口を形成し、第2のマスクを用いて、絶縁層及びゲート絶縁層をエッチングして、第2の低抵抗領域に達する第2の開口を形成し、第1の開口及び第2の開口を埋め込むように絶縁層上に導電膜を形成し、導電膜に研磨処理を行うことにより、絶縁層上に設けられた導電膜を除去して、第1の開口または第2の開口にソース電極層またはドレイン電極層を形成し、ソース電極層またはドレイン電極層上に、ソース配線層またはドレイン配線層を形成する半導体装置の作製方法である。

30

## 【0014】

また、開示する発明の他の一態様は、絶縁表面上に第1の電極層および第2の電極層を形成し、第1の電極層および第2の電極層上に下地絶縁層を形成し、下地絶縁層に研磨処理を行って第1の電極層および第2の電極層の上面を露出させ、下地絶縁層、第1の電極層および第2の電極層上に酸化物半導体層を形成し、酸化物半導体層上にゲート絶縁層を形成し、ゲート絶縁層を介して酸化物半導体層上に、第1の電極層と第2の電極層の間に重畳するようにゲート電極層を形成し、ゲート電極層をマスクとして、酸化物半導体層に不純物を導入し、酸化物半導体層に自己整合的に、少なくとも第1の電極層の一部と重畳する第1の低抵抗領域、少なくとも第2の電極層の一部と重畳する第2の低抵抗領域、及び第1の低抵抗領域と第2の低抵抗領域に挟まれたチャンネル形成領域を形成し、ゲート電極層上に絶縁層を形成し、第1のマスクを用いて、絶縁層及びゲート絶縁層をエッチングして、第1の低抵抗領域に達する第1の開口を形成し、第2のマスクを用いて、絶縁層及びゲート絶縁層をエッチングして、第2の低抵抗領域に達する第2の開口を形成し、第1の開口及び第2の開口を埋め込むように絶縁層上に導電膜を形成し、導電膜に研磨処理を

40

50

行うことにより、絶縁層上に設けられた導電膜を除去して、第1の開口または第2の開口にソース電極層またはドレイン電極層を形成し、ソース電極層またはドレイン電極層上に、ソース配線層またはドレイン配線層を形成する半導体装置の作製方法である。

【0015】

また、開示する発明の他の一態様は、絶縁表面上に第1の電極層および第2の電極層を形成し、第1の電極層の上面および側面の少なくとも一部、並びに第2の電極層の上面および側面の少なくとも一部に接して酸化物半導体層を形成し、酸化物半導体層上にゲート絶縁層を形成し、ゲート絶縁層を介して酸化物半導体層上に、第1の電極層と第2の電極層の間に重畳するようにゲート電極層を形成し、ゲート電極層をマスクとして、酸化物半導体層に不純物を導入し、酸化物半導体層に自己整合的に、少なくとも第1の電極層の一部と重畳する第1の低抵抗領域、少なくとも第2の電極層の一部と重畳する第2の低抵抗領域、及び第1の低抵抗領域と第2の低抵抗領域に挟まれたチャンネル形成領域を形成し、ゲート電極層上に絶縁層を形成し、第1のマスクを用いて、絶縁層及びゲート絶縁層をエッチングして、第1の低抵抗領域に達する第1の開口を形成し、第2のマスクを用いて、絶縁層及びゲート絶縁層をエッチングして、第2の低抵抗領域に達する第2の開口を形成し、第1の開口及び第2の開口を埋め込むように絶縁層上に導電膜を形成し、導電膜に研磨処理を行うことにより、絶縁層上に設けられた導電膜を除去して、第1の開口または第2の開口にソース電極層またはドレイン電極層を形成し、ソース電極層またはドレイン電極層上に、ソース配線層またはドレイン配線層を形成する半導体装置の作製方法である。

10

【0016】

また、上記において、下地絶縁層の研磨処理は、化学的機械研磨処理を用いて行うことが好ましい。また、導電膜の研磨処理は、化学的機械研磨処理を用いて行うことが好ましい。

20

【0017】

また、開示する発明の他の一態様は、第1の電極層および第2の電極層と、第1の電極層および第2の電極層上に設けられ、少なくとも第1の電極層の一部と接する第1の低抵抗領域、少なくとも第2の電極層の一部と接する第2の低抵抗領域、及び第1の低抵抗領域と第2の低抵抗領域に挟まれたチャンネル形成領域を含む酸化物半導体層と、酸化物半導体層上に設けられたゲート絶縁層と、ゲート絶縁層を介して、酸化物半導体層上に設けられたゲート電極層と、ゲート電極層上に設けられた絶縁層と、ゲート絶縁層及び絶縁層の第1の開口または第2の開口に埋め込まれ、第1の低抵抗領域または第2の低抵抗領域と電氣的に接続するソース電極層またはドレイン電極層と、ソース電極層またはドレイン電極層上に接して設けられたソース配線層またはドレイン配線層と、を有し、ソース電極層とドレイン電極層との間のチャンネル長方向の距離は、ソース配線層とドレイン配線層との間のチャンネル長方向の距離よりも小さい半導体装置である。

30

【0018】

また、開示する発明の他の一態様は、下地絶縁層と、下地絶縁層中に埋め込まれ、且つ、上面の少なくとも一部が下地絶縁層から露出した第1の電極層および第2の電極層と、下地絶縁層、第1の電極層および第2の電極層上に設けられ、少なくとも第1の電極層の一部と接する第1の低抵抗領域、少なくとも第2の電極層の一部と接する第2の低抵抗領域、及び第1の低抵抗領域と第2の低抵抗領域に挟まれたチャンネル形成領域を含む酸化物半導体層と、酸化物半導体層上に設けられたゲート絶縁層と、ゲート絶縁層を介して、酸化物半導体層上に設けられたゲート電極層と、ゲート電極層上に設けられた絶縁層と、ゲート絶縁層及び絶縁層の第1の開口または第2の開口に埋め込まれ、第1の低抵抗領域または第2の低抵抗領域と電氣的に接続するソース電極層またはドレイン電極層と、ソース電極層またはドレイン電極層上に接して設けられたソース配線層またはドレイン配線層と、を有し、ソース電極層とドレイン電極層との間のチャンネル長方向の距離は、ソース配線層とドレイン配線層との間のチャンネル長方向の距離よりも小さい半導体装置である。

40

【0019】

また、開示する発明の他の一態様は、第1の電極層および第2の電極層と、下地絶縁層

50

、第1の電極層および第2の電極層上に設けられ、少なくとも第1の電極層の上面および側面の少なくとも一部と接する第1の低抵抗領域、少なくとも第2の電極層の上面および側面の少なくとも一部と接する第2の低抵抗領域、及び第1の低抵抗領域と第2の低抵抗領域に挟まれたチャネル形成領域を含む酸化物半導体層と、酸化物半導体層上に設けられたゲート絶縁層と、ゲート絶縁層を介して、酸化物半導体層上に設けられたゲート電極層と、ゲート電極層上に設けられた絶縁層と、ゲート絶縁層及び絶縁層の第1の開口または第2の開口に埋め込まれ、第1の低抵抗領域または第2の低抵抗領域と電氣的に接続するソース電極層またはドレイン電極層と、ソース電極層またはドレイン電極層上に接して設けられたソース配線層またはドレイン配線層と、を有し、ソース電極層とドレイン電極層との間のチャネル長方向の距離は、ソース配線層とドレイン配線層との間のチャネル長方向の距離よりも小さい半導体装置である。

10

【0020】

なお、酸化物半導体は、単結晶、多結晶（ポリクリスタルともいう）、または非晶質（アモルファスともいう）などの状態をとる。

【0021】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いたトランジスタは動作させた際の界面散乱を低減でき、比較的容易に、比較的高い電界効果移動度を得ることができる。

【0022】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めれば、該結晶性を有する酸化物半導体を用いたトランジスタは、アモルファス状態の酸化物半導体を用いたトランジスタ以上の電界効果移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ（Ra）が0.15nm以下、好ましくは0.1nm以下の表面上に形成するとよい。

20

【0023】

なお、Raは、JIS B0601で定義されている中心線平均粗さを面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【0024】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

30

【0025】

なお、上記において、 $S_0$ は、測定面（座標 $(x_1, y_1)$   $(x_1, y_2)$   $(x_2, y_1)$   $(x_2, y_2)$ で表される4点によって囲まれる長方形の領域）の面積を指し、 $Z_0$ は測定面の平均高さを指す。Raは原子間力顕微鏡（AFM: Atomic Force Microscope）にて評価可能である。

【0026】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

40

【0027】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0028】

50

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0029】

本明細書等において厚さに関する「略等しい」の用語は、完全に等しい場合のみでなく、実質的に等しい場合をも含む趣旨で用いる。例えば、「略等しい」には、完全に等しい場合と比較して半導体装置の特性に与える影響が無視できる程度の差（特性に与える影響が5%以下）である場合や、意図せずに僅かに研磨された場合（研磨量が5nm未満程度の場合）などが含まれる。

10

【発明の効果】

【0030】

開示する発明の一態様によって、トランジスタサイズの微細化を達成することが可能である。また、開示する発明の一態様によって、微細化されたトランジスタを歩留まりよく作製することができる。また、開示する発明の一態様によって、微細化されたトランジスタのオン特性を向上させて、半導体装置の高速応答、高速駆動を実現することができる。

【0031】

また、開示する発明の一態様によって、良好な電氣的特性を維持しつつ、トランジスタサイズを十分に小さくすることが可能になる。

20

【0032】

トランジスタサイズを十分に小さくすることで、半導体装置の占める面積が小さくなり、一基板あたりの半導体装置の取り数が増大する。これにより、半導体装置の製造コストは抑制される。また、小型化された半導体装置を電子機器に用いることにより、同程度の大きさでさらに機能が高められた電子機器を実現することができる。また、チャネル長の縮小による、動作の高速化、低消費電力化などの効果を得ることもできる。つまり、開示する発明の一態様により酸化物半導体を用いたトランジスタの微細化が達成されることで、上述のような、微細化に付随する様々な効果を得ることが可能である。

【図面の簡単な説明】

30

【0033】

【図1】半導体装置の一態様を示す平面図及び断面図。

【図2】半導体装置の作製工程の一例を示す断面図。

【図3】半導体装置の作製工程の一例を示す断面図。

【図4】半導体装置の作製工程の一例を示す断面図。

【図5】半導体装置の一形態を説明する断面図。

【図6】半導体装置の一形態を説明する断面図。

【図7】半導体装置の一形態を説明する断面図。

【図8】半導体装置の一形態を示す断面図、平面図及び回路図。

【図9】半導体装置の一形態を示す回路図及び斜視図。

40

【図10】半導体装置の一形態を示す断面図及び平面図。

【図11】半導体装置の一形態を説明する断面図。

【図12】半導体装置の一形態を示す回路図。

【図13】半導体装置の一形態を示すブロック図。

【図14】半導体装置の一形態を示すブロック図。

【図15】半導体装置の一形態を示すブロック図。

【発明を実施するための形態】

【0034】

以下では、本明細書に開示する発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態及び詳細を様々に変更し得ること

50

は、当業者であれば容易に理解される。したがって、本発明は以下の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分または同様の機能を有する部分には、同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を有する部分を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0035】

なお、本明細書等において、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書等において発明を特定するための事項として固有の名称を示すものではない。

【0036】

(実施の形態1)

本実施の形態では、半導体装置および半導体装置の作製方法の一態様を図1乃至図7を用いて説明する。

【0037】

半導体装置の構成例

図1(A)乃至図1(C)に半導体装置の例として、トランジスタ420の平面図および断面図を示す。図1(A)は、トランジスタ420の平面図であり、図1(B)は、図1(A)のX-Yにおける断面図であり、図1(C)は、図1(A)のV-Wにおける断面図である。なお、図1(A)では、煩雑になることを避けるため、トランジスタ420の構成要素の一部(例えば、絶縁層407など)を省略して図示している。

【0038】

図1(A)乃至図1(C)に示すトランジスタ420は、絶縁表面を有する基板400上に、下地絶縁層436と、下地絶縁層436中に埋め込まれ且つ、上面の少なくとも一部が下地絶縁層436から露出した電極層415aおよび電極層415bと、下地絶縁層436、電極層415aおよび電極層415b上に設けられた酸化物半導体層403と、酸化物半導体層403上に設けられたゲート絶縁層402と、ゲート絶縁層402を介して酸化物半導体層403上に設けられたゲート電極層401と、ゲート電極層401上に設けられた絶縁層407と、ゲート絶縁層402および絶縁層407の開口を介して、酸化物半導体層403と電気的に接続するソース電極層405aまたはドレイン電極層405bと、ソース電極層405aまたはドレイン電極層405b上に接して設けられたソース配線層465aまたはドレイン配線層465bと、を含んで構成される。

【0039】

本実施の形態において、酸化物半導体層403は、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜であるのが好ましい。

【0040】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部を有する結晶-非晶質混相構造の酸化物半導体層である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動の低下が抑制される。

【0041】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面または表面に垂直な方向に揃い、かつab面に垂直な方向から見て三角形または六角形の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書等において、単に垂直と記載する場合、85°以上95°以下の範囲

10

20

30

40

50

も含まれることとする。

【0042】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0043】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面または表面に垂直な方向に揃うため、CAAC-OS膜の形状(被形成面の断面形状または表面の断面形状)によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面または表面に垂直な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

10

【0044】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射によるトランジスタの電気特性の変動が低減することが可能である。よって、当該トランジスタは信頼性が高い。

【0045】

また、トランジスタ420において、酸化物半導体層403は、ゲート電極層401と重畳するチャンネル形成領域403cと、チャンネル形成領域403cを挟んでチャンネル形成領域403cよりも抵抗が低く、不純物元素を含む低抵抗領域403aおよび低抵抗領域403bを含む。低抵抗領域403aおよび低抵抗領域403bは、ゲート電極層401の形成後に、当該ゲート電極層401をマスクとして不純物元素を導入することによって、自己整合的に形成することができる。また、当該低抵抗領域は、トランジスタ420のソース領域またはドレイン領域として機能させることができる。

20

【0046】

また、トランジスタ420において、ソース電極層405aおよびドレイン電極層405bは、ゲート絶縁層402および絶縁層407に設けられた開口を埋め込むように設けられており、酸化物半導体層403の低抵抗領域403aおよび低抵抗領域403bとそれぞれ接している。これらの電極層は、酸化物半導体層403に達するゲート絶縁層402および絶縁層407の開口を埋め込むように絶縁層407上に導電膜を形成し、当該導電膜に研磨処理を行うことにより、絶縁層407上(少なくともゲート電極層401と重畳する領域)に設けられた導電膜を除去することで、導電膜が分断されて形成されたものである。

30

【0047】

ソース電極層405aとドレイン電極層405bとの間のチャンネル長方向の距離は、ソース配線層465aとドレイン配線層465bとの間のチャンネル長方向の距離よりも小さい。ここで、ソース配線層465aとドレイン配線層465bとの間のチャンネル長方向の距離は、露光装置の解像限界に合わせて設定されており、ソース電極層405aとドレイン電極層405bとの間のチャンネル長方向の距離はそれよりも小さい。つまり、ソース電極層405aと酸化物半導体層403のコンタクト領域(またはドレイン電極層405bと酸化物半導体層403のコンタクト領域)と、ゲート電極層401との距離が十分に縮小されている。これにより、トランジスタ420のソース電極層405a(またはドレイン電極層405b)とチャンネル形成領域403cの間の抵抗を低減することができる。よって、トランジスタの電気特性の一つであるオン特性(例えば、オン電流、及び電界効果移動度)を向上させることができる。なお、ソース電極層405aとドレイン電極層405bとのチャンネル長方向の幅を、ソース配線層465aとドレイン配線層465bとのチャンネル長方向の幅よりも小さくする作製方法の詳細については、図2乃至図4を用いて後述する。

40

50



## 【0048】

また、トランジスタ420において、酸化物半導体層403の低抵抗領域403aは、少なくとも電極層415aの一部と接しており、低抵抗領域403bは、少なくとも電極層415bの一部と接している。このように電極層415aおよび電極層415bを設けることにより、トランジスタのソース領域およびドレイン領域の厚膜化が図られるので、トランジスタ420のソース領域およびドレイン領域における抵抗を低減することができる。これにより、トランジスタの電気特性の一つであるオン特性が高く、高速動作、高速応答が可能なトランジスタ420とすることができる。ここで、チャンネル形成領域403cの下には、電極層を設けないので、チャンネル形成領域403cの膜厚を保持したまま、ソース領域およびドレイン領域における抵抗を低減することができる。

10

## 【0049】

また、電極層415aおよび電極層415bはそれぞれ、酸化物半導体層403の低抵抗領域403aおよび低抵抗領域403bと接続するので、酸化物半導体層403と、電極層415aおよび電極層415bと、のコンタクト抵抗を低減することができる。

## 【0050】

また、上述のようにソース電極層405aおよびドレイン電極層405bがそれぞれ、酸化物半導体層403の低抵抗領域403aおよび低抵抗領域403bと接する構成とすることで、酸化物半導体層403と、ソース電極層405aおよびドレイン電極層405bと、のコンタクト抵抗を低減することができる。

## 【0051】

このように酸化物半導体層403とそれぞれの電極層とのコンタクト抵抗を低減することにより、トランジスタのオン特性の向上を図ることができる。

20

## 【0052】

また、上記のようにトランジスタ420は、ソース電極層405aと酸化物半導体層403のコンタクト領域（またはドレイン電極層405bと酸化物半導体層403のコンタクト領域）と、ゲート電極層401との距離を縮小して、トランジスタ420のソース電極層405a（またはドレイン電極層405b）とチャンネル形成領域403cの間の抵抗を低減している。これにより、電極層415aと電極層415bとの間のチャンネル長方向の距離をソース電極層405aとドレイン電極層405bとの間のチャンネル長方向の距離より大きくしても十分なオン特性を得ることができる。よって、電極層415aと電極層415bとの間のチャンネル長方向の距離を大きくして、ゲート電極層401を形成する際にゲート電極層401のアライメントの自由度を向上させることができる。

30

## 【0053】

また、電極層415a及び電極層415bとしては、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジウム、スカンジウム等の金属材料、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。または、電極層415a及び電極層415bとして、酸化物半導体を用いてもよく、上述の材料を用いて単層または積層とすることができる。

## 【0054】

酸化物半導体からなる電極層416a及び電極層416bを用いたトランジスタ421を図1(D)に示す。このように酸化物半導体からなる電極層416a及び電極層416bを用いることにより、酸化物半導体層403と電極層416aまたは電極層416bとのコンタクト抵抗をより低減することができる。なお、トランジスタ421の構成は、電極層416aおよび電極層416b以外は、トランジスタ420の構成と同様である。

40

## 【0055】

電極層416a及び電極層416bとして酸化物半導体材料を適用する場合には、酸化物半導体層403のパターンを形成する際に、電極層416a及び電極層416bが極力エッチングされないように、少なくとも下地絶縁層436から露出した電極層416a及び電極層416bと、酸化物半導体層403とが、エッチングの選択比のとれる材料を用

50

いる必要がある。ただし、エッチングの条件によっては、図1(D)のトランジスタ421に示すように、電極層416a及び電極層416bの一部がエッチングされた形状となることもある。

【0056】

また、電極層に酸化物半導体材料を適用した場合、酸化物半導体層の材料や成膜条件によっては、電極層と、酸化物半導体層との界面が不明確になる場合もある。また、界面が不明確になる場合、電極層と、酸化物半導体層との混合領域または混合層と呼ぶことのできる箇所が形成されることもある。なお、図1(D)において、電極層416a及び電極層416bと、酸化物半導体層403との界面を模式的に点線で図示している。

【0057】

半導体装置の作製方法

以下、図2乃至図4を用いて、図1に示すトランジスタ420の作製工程の例について説明する。

【0058】

まず、絶縁表面を有する基板400上に、電極層415a及び電極層415bとなる導電膜を形成し、当該導電膜を加工して電極層415a及び電極層415bを形成する。当該導電膜の加工には、フォトリソグラフィ法などを用いることができる。なお、フォトリソグラフィ法を用いて電極層415aおよび電極層415bを形成する場合、電極層415aと電極層415bとの間のチャンネル長方向の距離は、露光装置の解像限界に依存して決定される。トランジスタ420の微細化のためには、電極層415aと電極層415bとの間隔を、露光装置の解像限界に合わせて設定するのが好ましい。

【0059】

絶縁表面を有する基板400に使用することができる基板に大きな制限はないが、少なくとも、後の熱処理工程に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板400として用いてもよい。

【0060】

また、基板400として、可撓性基板を用いて半導体装置を作製してもよい。可撓性を有する半導体装置を作製するには、可撓性基板上に酸化物半導体層403を含むトランジスタ420を直接作製してもよいし、他の作製基板上に酸化物半導体層403を含むトランジスタ420を作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板と酸化物半導体層を含むトランジスタ420との間に剥離層を設けるとよい。

【0061】

電極層415a及び電極層415bは、後の加熱処理に耐えられる材料を用いて、CVD法又はスパッタリング法等によって10nm以上500nm以下の膜厚で形成する。例えば、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジウム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)等を用いることができる。また、アルミニウム、銅などの金属膜の下側または上側の一方または双方にチタン、モリブデン、タングステンなどの高融点金属膜またはそれらの金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)を積層させた構成としても良い。

【0062】

また、電極層415a及び電極層415bに用いる導電膜としては、酸化物半導体で形成しても良い。酸化物半導体としては、In-Ga-Zn系酸化物(IGZOとも表記する)、酸化インジウム( $\text{In}_2\text{O}_3$ )、酸化スズ( $\text{SnO}_2$ )、酸化亜鉛( $\text{ZnO}$ )、酸化インジウム酸化スズ( $\text{In}_2\text{O}_3$ - $\text{SnO}_2$ 、ITOと略記する)、酸化インジウム酸

10

20

30

40

50

化亜鉛 ( $\text{In}_2\text{O}_3 - \text{ZnO}$ ) またはこれらの酸化物半導体材料に酸化シリコンを含ませたものを用いることができる。

【0063】

次いで、電極層415a及び電極層415b上に下地絶縁層436を成膜する(図2(A)参照)。下地絶縁層436は、酸化シリコン膜、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、酸化ガリウム、またはこれらの混合材料を含む膜から選ばれた、単層または積層構造とすることができる。但し、下地絶縁層436は、酸化物絶縁膜を含む単層または積層構造として、該酸化物絶縁膜が後に形成される酸化物半導体層と接する構造とするのが好ましい。

10

【0064】

また、下地絶縁層436は化学量論的組成比を超える酸素を含む領域(以下、酸素過剰領域とも表記する)を有すると、下地絶縁層436に含まれる過剰な酸素によって、後に形成される酸化物半導体層の酸素欠損を補填することが可能であるため好ましい。下地絶縁層436が積層構造の場合は、少なくとも酸化物半導体層と接する層において酸素過剰領域を有することが好ましい。下地絶縁層436に酸素過剰領域を設けるには、例えば、酸素雰囲気下にて下地絶縁層436を成膜すればよい。または、成膜後の下地絶縁層436に、酸素(少なくとも、酸素ラジカル、酸素原子、酸素イオンのいずれかを含む)を注入して、酸素過剰領域を形成しても良い。酸素の注入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いることができる。

20

【0065】

なお、下地絶縁層436の成膜前に、電極層415a及び電極層415bに窒素プラズマ処理を行ってもよい。窒素プラズマ処理を行うことにより、電極層415a及び電極層415bと、後に成膜される酸化物半導体層403とのコンタクト抵抗を低減することができる。

【0066】

次いで、下地絶縁層436に研磨処理(例えば、化学的機械研磨(Chemical Mechanical Polishing: CMP)処理)やエッチング処理を行うことにより、電極層415a及び電極層415bの上面を露出させる。研磨処理、またはエッチング処理は複数回行ってもよく、これらを組み合わせて行ってもよい。また、組み合わせて行う場合、工程順も特に限定されないが、下地絶縁層436上に設けられる酸化物半導体層の結晶性を向上させるためには、下地絶縁層436の表面は可能な限り平坦にしておくことが望ましい。

30

【0067】

ここで、CMP処理とは、被加工物の表面を化学的・機械的な複合作用により平坦化する手法である。より具体的には、研磨ステージの上に研磨布を貼り付け、被加工物と研磨布との間にスラリー(研磨剤)を供給しながら研磨ステージと被加工物とを各々回転または揺動させて、被加工物の表面を、スラリーと被加工物表面との間での化学反応と、研磨布と被加工物との機械的研磨の作用により、被加工物の表面を研磨する方法である。

40

【0068】

なお、CMP処理は、1回のみ行ってもよいし、複数回行ってもよい。複数回に分けてCMP処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、下地絶縁層436並びに電極層415aおよび電極層415bの表面の平坦性をより向上させることができる。

【0069】

ここで、下地絶縁層436の、後にチャンネル形成領域403cと重畳する領域については、特に表面の平坦性を向上させることが好ましい。具体的には、下地絶縁層436の当該領域の表面の平坦性を、平均面粗さ(Ra)が0.15nm以下、好ましくは0.1n

50

m以下にするとよい。

【0070】

このように、電極層415aおよび電極層415bを下地絶縁層436に埋め込むように形成することにより、電極層415aおよび電極層415bの膜厚を厚くした場合でも、後の工程で形成する酸化物半導体層403がカバレッジ不良を起こすことなく成膜することができる。よって、電極層415aおよび電極層415bの厚膜化を達成しつつ、酸化物半導体層403を薄膜化することが可能となり、トランジスタの微細化、高速駆動化を図ることができる。

【0071】

次に、上面が露出した電極層415aおよび電極層415b、並びに下地絶縁層436上に接するように酸化物半導体層403を形成する。

10

【0072】

酸化物半導体層403は、単層構造であってもよいし、積層構造であってもよい。また、非晶質構造であってもよいし、結晶性酸化物半導体としてもよい。酸化物半導体層403を非晶質構造とする場合には、後の作製工程において、酸化物半導体層に熱処理を行うことによって、結晶性酸化物半導体層としてもよい。非晶質酸化物半導体層を結晶化させる熱処理の温度は、250 以上700 以下、好ましくは、400 以上、より好ましくは500 以上、さらに好ましくは550 以上とする。なお、当該熱処理は、作製工程における他の熱処理を兼ねることも可能である。

【0073】

20

酸化物半導体層403の成膜方法は、スパッタリング法、MBE(Molecular Beam Epitaxy)法、CVD法、パルスレーザ堆積法、ALD(Atomic Layer Deposition)法等を適宜用いることができる。また、酸化物半導体層403は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタリング装置、所謂CPスパッタリング装置(Columnar Plasma Sputtering system)を用いて成膜してもよい。

【0074】

酸化物半導体層403を形成する際、できる限り酸化物半導体層403に含まれる水素濃度を低減させることが好ましい。水素濃度を低減させるには、例えば、スパッタリング法を用いて成膜を行う場合には、スパッタリング装置の処理室内に供給する雰囲気ガスとして、水素、水、水酸基または水素化物などの不純物が除去された高純度の希ガス(代表的にはアルゴン)、酸素、および希ガスと酸素との混合ガスを適宜用いる。

30

【0075】

また、成膜室内の残留水分を除去しつつ水素および水分が除去されたスパッタガスを導入して成膜を行うことで、成膜された酸化物半導体層の水素濃度を低減させることができる。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子、水(H<sub>2</sub>O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等の排気能力が高いため、当該成膜室で成膜した酸化物半導体層403に含まれる不純物の濃度を低減できる。

40

【0076】

また、酸化物半導体層403をスパッタリング法で成膜する場合、成膜に用いる金属酸化物ターゲットの相対密度(充填率)は90%以上100%以下、好ましくは95%以上99.9%以下とする。相対密度の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層を緻密な膜とすることができる。

【0077】

また、基板400を高温に保持した状態で酸化物半導体層403を形成することも、酸化物半導体層403中に含まれうる不純物濃度を低減するのに有効である。基板400を

50

加熱する温度としては、150 以上450 以下とすればよく、好ましくは基板温度が200 以上350 以下とすればよい。また、成膜時に基板を高温で加熱することで、結晶性酸化物半導体層を形成することができる。

【0078】

酸化物半導体層403に用いる酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。また、スタビライザーとしてジルコニウム(Zr)を有することが好ましい。

10

【0079】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

【0080】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物(ITZOとも表記する)、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

20

30

【0081】

ここで、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0082】

また、酸化物半導体として、 $InMO_3(ZnO)_m$  ( $m > 0$ 、且つ、 $m$ は整数でない)で表記される材料を用いてもよい。なお、 $M$ は、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素、若しくは上記のスタビライザーとしての元素を示す。また、酸化物半導体として、 $In_2SnO_5(ZnO)_n$  ( $n > 0$ 、且つ、 $n$ は整数)で表記される材料を用いてもよい。

40

【0083】

例えば、スパッタリング法を用いて成膜する場合、 $In:Ga:Zn = 1:1:1$ 、 $In:Ga:Zn = 3:1:2$ 、あるいは $In:Ga:Zn = 2:1:3$ の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物をターゲットとして用いるとよい。ただし、ターゲットは、これらの材料及び組成に限定されるものではない。

【0084】

なお、酸化物半導体層403は、成膜時に酸素が多く含まれるような条件(例えば、酸

50

素100%の雰囲気下でスパッタリング法により成膜を行うなど)で成膜して、酸素を多く含む(好ましくは酸化物半導体が結晶状態における化学量論的組成比に対し、酸素の含有量が過剰な領域が含まれている)膜とすることが好ましい。

【0085】

また酸化物半導体層403を、成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0086】

酸化物半導体層403としてCAAC-Os膜を適用する場合、該CAAC-Os膜を得る方法としては、三つ挙げられる。一つ目は、成膜温度を200以上450以下として酸化物半導体層の成膜を行い、表面に概略垂直にc軸配向させる方法である。二つ目は、酸化物半導体層を薄い膜厚で成膜した後、200以上700以下の熱処理を行い、表面に概略垂直にc軸配向させる方法である。三つ目は、一層目の膜厚を薄く成膜した後、200以上700以下の熱処理を行い、二層目の成膜を行い、表面に概略垂直にc軸配向させる方法である。

10

【0087】

本実施の形態では、電極層415a及び電極層415bの上面を露出するための下地絶縁層436の研磨処理またはエッチング処理によって、酸化物半導体層403の成膜表面が平坦化されているため、効果的に酸化物半導体層403の結晶化を図ることが可能である。なお、電極層415a及び電極層415bの上面を露出するための下地絶縁層436の研磨処理またはエッチング処理に加えて、さらに平坦化処理を行ってもよい。平坦化処理としては、特に限定されないが、研磨処理、ドライエッチング処理、プラズマ処理を用いることができる。

20

【0088】

プラズマ処理としては、例えば、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行うことができる。逆スパッタリングとは、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。逆スパッタリングを行うと、酸化物半導体層403の成膜表面に付着している粉状物質(パーティクル、ごみともいう)を除去することができる。

【0089】

平坦化処理として、研磨処理、ドライエッチング処理、プラズマ処理は複数回行ってもよく、それらを組み合わせて行ってもよい。また、組み合わせて行う場合、工程順も特に限定されず、酸化物半導体層403の成膜表面の凹凸状態に合わせて適宜設定すればよい。

30

【0090】

成膜後の酸化物半導体層をフォトリソグラフィ工程により加工して、島状の酸化物半導体層403が形成される。なお、酸化物半導体層403を島状に加工する際には、加工後の酸化物半導体層403と、露出した電極層415aの上面及び電極層415bの上面とが、少なくとも一部において接するようにレジスタマスクを形成する。本実施の形態においては、電極層415aおよび電極層415bの端部が島状の酸化物半導体層403より外側で露出する構成を示すが、本発明の実施の形態はこれに限られない。例えば、露出した電極層415aまたは電極層415bの全面を覆うように、酸化物半導体層403を島状に加工してもよい。

40

【0091】

また、酸化物半導体層403に、当該酸化物半導体層403に含まれる過剰な水素(水や水酸基を含む)を除去(脱水化または脱水素化)するための熱処理を行うのが好ましい。熱処理の温度は、300以上700以下、または基板の歪み点未満とする。熱処理は減圧下または窒素雰囲気下などで行うことができる。

【0092】

この熱処理によって、n型の導電性を付与する不純物である水素を酸化物半導体から除

50

去することができる。例えば、脱水化又は脱水素化処理後の酸化物半導体層102に含まれる水素濃度を、 $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下とすることができる。

【0093】

なお、脱水化または脱水素化のための熱処理は、酸化物半導体層の成膜後であればトランジスタ420の作製工程においてどのタイミングで行ってもよい。但し、ゲート絶縁層402または絶縁層407として酸化アルミニウム膜を用いる場合には、当該酸化アルミニウム膜を形成する前に行うのが好ましい。また、脱水化又は脱水素化のための熱処理は、複数回行ってよく、他の加熱処理と兼ねてもよい。

【0094】

なお、脱水化または脱水素化のための熱処理を酸化物半導体層403を島状に加工する前に行うと、下地絶縁層に含まれる酸素が熱処理によって放出されるのを防止することができるため好ましい。

【0095】

熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上好ましくは7N(99.99999%)以上(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0096】

また、熱処理で酸化物半導体層403を加熱した後、加熱温度を維持、またはその加熱温度から徐冷しながら同じ炉に高純度の酸素ガス、高純度の二窒化酸素ガス、又は超乾燥エア(CRDS(キャピティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気)を導入してもよい。酸素ガスまたは二窒化酸素ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する酸素ガスまたは二窒化酸素ガスの純度を、6N以上好ましくは7N以上(即ち、酸素ガスまたは二窒化酸素ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。酸素ガスまたは二窒化酸素ガスの作用により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体層403を高純度化および電気的にi型(真性)化することができる。このように高純度化された酸化物半導体を用いることで、極めて優れたオフ特性のトランジスタを得ることができる。

【0097】

また、脱水化又は脱水素化処理を行った酸化物半導体層に、酸素(少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む)を導入して膜中に酸素を供給してもよい。

【0098】

脱水化または脱水素化処理を行った酸化物半導体層403に、酸素を導入して膜中に酸素を供給することによって、酸化物半導体層403を高純度化、および電気的にi型(真性)化することができる。高純度化し、電気的にi型(真性)化した酸化物半導体層403を有するトランジスタは、電気特性変動が抑制されており、電気的に安定である。

【0099】

酸素の導入工程は、酸化物半導体層403に酸素導入する場合、酸化物半導体層403に直接導入してもよいし、後に形成されるゲート絶縁層402や絶縁層407などの他の膜を通過して酸化物半導体層403へ導入してもよい。酸素を他の膜を通過して導入する場合は、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いればよいが、露出された酸化物半導体層403へ直接酸素を導入する場合は、上記の方法に加えてプラズマ処理なども用いることができる。

【0100】

酸化物半導体層 403 への酸素の導入は、脱水化又は脱水素化処理を行った後であればよく、特に限定されない。また、上記脱水化または脱水素化処理を行った酸化物半導体層 403 への酸素の導入は複数回行ってよい。

【0101】

次いで、酸化物半導体層 403 を覆うゲート絶縁層 402 を形成する（図 2（B）参照）。

【0102】

ゲート絶縁層 402 は、1 nm 以上 20 nm 以下の膜厚で、スパッタリング法、MBE 法、CVD 法、パルスレーザ堆積法、ALD 法等を適宜用いて形成することができる。また、ゲート絶縁層 402 は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置、所謂 CP スパッタ装置を用いて成膜してもよい。

10

【0103】

ゲート絶縁層 402 の材料としては、酸化シリコン、酸化ガリウム、酸化アルミニウム、窒化シリコン、酸化窒化シリコン、酸化窒化アルミニウム、又は窒化酸化シリコン等を用いることができる。ゲート絶縁層 402 は、酸化物半導体層 403 と接する部分において酸素を含むことが好ましい。特に、ゲート絶縁層 402 は、膜中（バルク中）に少なくとも化学量論的組成比を超える量の酸素が存在することが好ましく、例えば、ゲート絶縁層 402 として、酸化シリコン膜を用いる場合には、 $SiO_{2+x}$ （ただし、 $x > 0$ ）とするのが好ましい。本実施の形態では、ゲート絶縁層 402 として、 $SiO_{2+x}$ （ただし、 $x > 0$ ）である酸化シリコン膜を用いる。この酸化シリコン膜をゲート絶縁層 402 として用いることで、酸化物半導体層 403 に酸素を供給することができ、特性を良好にすることができる。さらに、ゲート絶縁層 402 は、作製するトランジスタのサイズやゲート絶縁層 402 の段差被覆性を考慮して形成することが好ましい。

20

【0104】

また、ゲート絶縁層 402 の材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ $HfSi_xO_y$   $x > 0$ 、 $y > 0$ ）、窒素が添加されたハフニウムシリケート（ $HfSi_xO_yN_z$   $x > 0$ 、 $y > 0$ ）、ハフニウムアルミネート（ $HfAl_xO_y$   $x > 0$ 、 $y > 0$ ）、酸化ランタンなどの high-k 材料を用いることでゲートリーク電流を低減できる。さらに、ゲート絶縁層 402 は、単層構造としても良いし、積層構造としても良い。

30

【0105】

次いで、ゲート絶縁層 402 を介して島状の酸化物半導体層 403 上に、電極層 415a と電極層 415b の間に重畳するようにゲート電極層 401 を形成する。ゲート電極層 401 は、プラズマ CVD 法またはスパッタリング法等により形成することができる。また、ゲート電極層 401 の材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジウム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。また、ゲート電極層 401 としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイドなどのシリサイド膜を用いてもよい。ゲート電極層 401 は、単層構造としてもよいし、積層構造としてもよい。

40

【0106】

また、ゲート電極層 401 の材料は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

【0107】

また、ゲート絶縁層 402 と接するゲート電極層 401 の一層として、窒素を含む金属

50



酸化物、具体的には、窒素を含む  $In-Ga-Zn-O$  膜や、窒素を含む  $In-Sn-O$  膜や、窒素を含む  $In-Ga-O$  膜や、窒素を含む  $In-Zn-O$  膜や、窒素を含む  $Sn-O$  膜や、窒素を含む  $In-O$  膜や、金属窒化膜 ( $InN$ 、 $SnN$  など) を用いることができる。これらの膜は  $5 eV$  (電子ボルト)、好ましくは  $5.5 eV$  (電子ボルト) 以上の仕事関数を有し、ゲート電極層として用いた場合、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

#### 【0108】

なお、ゲート電極層 401 は、ゲート絶縁層 402 上に設けられた導電膜 (図示しない) を、マスクを用いて加工することによって形成することができる。ここで、加工に用いるマスクは、フォトリソグラフィ法などによって形成されたマスクに、スリミング処理を行って、より微細なパターンを有するマスクとするのが好ましい。

10

#### 【0109】

スリミング処理としては、例えば、ラジカル状態の酸素 (酸素ラジカル) などを用いるアッシング処理を適用することができる。ただし、スリミング処理はフォトリソグラフィ法などによって形成されたマスクをより微細なパターンに加工できる処理であれば、アッシング処理に限定する必要はない。また、スリミング処理によって形成されるマスクによってトランジスタのチャンネル長 ( $L$ ) が決定されることになるため、当該スリミング処理としては制御性の良好な処理を適用することができる。

#### 【0110】

スリミング処理の結果、フォトリソグラフィ法などによって形成されたマスクを、露光装置の解像限界以下、好ましくは  $1/2$  以下、より好ましくは  $1/3$  以下の線幅まで微細化することが可能である。例えば、線幅は、 $10 nm$  以上  $2000 nm$  以下、好ましくは  $50 nm$  以上  $350 nm$  以下とすることができる。これにより、トランジスタのさらなる微細化を達成することができる。

20

#### 【0111】

また、後述する方法を用いてソース電極層 405 a およびドレイン電極層 405 b を形成することにより、ソース電極層 405 a と酸化物半導体層 403 のコンタクト領域 (またはドレイン電極層 405 b と酸化物半導体層 403 のコンタクト領域) と、ゲート電極層 401 との距離を縮小し、トランジスタ 420 のソース電極層 405 a (またはドレイン電極層 405 b) とチャンネル形成領域 403 c の間の抵抗を低減することができる。これにより、電極層 415 a と電極層 415 b との間のチャンネル長方向の距離をソース電極層 405 a とドレイン電極層 405 b との間のチャンネル長方向の距離より大きくしても十分なオン特性を得ることができる。よって、電極層 415 a と電極層 415 b との間のチャンネル長方向の距離を大きくして、ゲート電極層 401 のアライメントの自由度を向上させることができ、歩留まりよくトランジスタ 420 を作製することができる。

30

#### 【0112】

次に、ゲート電極層 401 をマスクとして酸化物半導体層 403 に不純物元素 431 を導入し、自己整合的に低抵抗領域 403 a、低抵抗領域 403 b およびチャンネル形成領域 403 c を形成する (図 2 (C) 参照)。これにより、低抵抗領域 403 a は少なくとも電極層 415 a の一部と重畳するように形成され、低抵抗領域 403 b は少なくとも電極層 415 b の一部と重畳するように形成され、チャンネル形成領域 403 c は低抵抗領域 403 a と低抵抗領域 403 b に挟まれるように形成される。

40

#### 【0113】

不純物元素 431 は、酸化物半導体層 403 の導電率を変化させる不純物である。不純物元素 431 としては、15 族元素 (代表的にはリン ( $P$ )、砒素 ( $As$ )、およびアンチモン ( $Sb$ ))、ホウ素 ( $B$ )、アルミニウム ( $Al$ )、窒素 ( $N$ )、アルゴン ( $Ar$ )、ヘリウム ( $He$ )、ネオン ( $Ne$ )、インジウム ( $In$ )、フッ素 ( $F$ )、塩素 ( $Cl$ )、チタン ( $Ti$ )、および亜鉛 ( $Zn$ ) のいずれかから選択される一以上を用いることができる。

#### 【0114】

50

不純物元素 4 3 1 は、注入法により、他の膜（例えば絶縁層 4 0 7）を通過して、酸化物半導体層 4 0 3 に導入することもできる。不純物元素 4 3 1 の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。その際には、不純物元素 4 3 1 の単体のイオンあるいはフッ化物、塩化物のイオンを用いると好ましい。

#### 【 0 1 1 5 】

不純物元素 4 3 1 の導入工程は、加速電圧、ドーズ量などの注入条件、また通過させる膜の膜厚を適宜設定して制御すればよい。本実施の形態では、不純物元素 4 3 1 としてホウ素を用いて、イオン注入法でホウ素イオンの注入を行う。なお、不純物元素 4 3 1 のドーズ量は  $1 \times 10^{13} \text{ ions/cm}^2$  以上  $5 \times 10^{16} \text{ ions/cm}^2$  以下とすれば

10

#### 【 0 1 1 6 】

低抵抗領域 4 0 3 a および低抵抗領域 4 0 3 b における不純物元素 4 3 1 の濃度は、 $5 \times 10^{18} / \text{cm}^3$  以上  $1 \times 10^{22} / \text{cm}^3$  以下であることが好ましい。

#### 【 0 1 1 7 】

不純物元素 4 3 1 を導入する際に、基板 4 0 0 を加熱しながら行ってもよい。

#### 【 0 1 1 8 】

なお、酸化物半導体層 4 0 3 に不純物元素 4 3 1 を導入する処理は、複数回行ってもよく、不純物元素の種類も複数種用いてもよい。

#### 【 0 1 1 9 】

また、不純物元素 4 3 1 の導入処理後、加熱処理を行ってもよい。加熱条件としては、温度  $300$  以上  $700$  以下、好ましくは  $300$  以上  $450$  以下で 1 時間、酸素雰囲気下で行うことが好ましい。また、窒素雰囲気下、減圧下、大気（超乾燥エア）下で加熱処理を行ってもよい。

20

#### 【 0 1 2 0 】

酸化物半導体層 4 0 3 を結晶性酸化物半導体層とした場合、不純物元素 4 3 1 の導入により、一部非晶質化する場合がある。この場合、不純物元素 4 3 1 の導入後に加熱処理を行うことによって、酸化物半導体層 4 0 3 の結晶性を回復することができる。

#### 【 0 1 2 1 】

なお、ゲート絶縁層 4 0 2 または酸化物半導体層 4 0 3 の膜厚や、不純物元素 4 3 1 の導入条件によっては、電極層 4 1 5 a 及び電極層 4 1 5 b に、特に電極層 4 1 5 a 及び電極層 4 1 5 b と酸化物半導体層 4 0 3 またはゲート絶縁層 4 0 2 との界面近傍に不純物元素 4 3 1 が導入される場合もある。

30

#### 【 0 1 2 2 】

次いで、ゲート絶縁層 4 0 2 およびゲート電極層 4 0 1 上に絶縁層 4 0 7 を形成する（図 3（A）参照）。

#### 【 0 1 2 3 】

絶縁層 4 0 7 は、プラズマ CVD 法、スパッタリング法、または蒸着法等により成膜することができる。絶縁層 4 0 7 は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または酸化ガリウム膜などの無機絶縁膜などを用いることができる。

40

#### 【 0 1 2 4 】

また、絶縁層 4 0 7 として、酸化アルミニウム膜、酸化ハフニウム膜、酸化マグネシウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化バリウム膜）、または金属窒化物膜（例えば、窒化アルミニウム膜）も用いることができる。

#### 【 0 1 2 5 】

絶縁層 4 0 7 は、単層でも積層でもよく、例えば酸化シリコン膜および酸化アルミニウム膜の積層を用いることができる。酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を通過させない遮断効果（ブロック効果）が高く、作製工程中および作製後において、変動要因となる水素、水分などの不純物の酸化物半導体層 4 0 3

50

への混入、および酸化物半導体を構成する主成分材料である酸素の酸化物半導体層403からの放出を防止する保護膜として機能するため好ましく適用することができる。

【0126】

絶縁層407は、スパッタリング法など、絶縁層407に水、水素等の不純物を混入させない方法を適宜用いて形成することが好ましい。

【0127】

酸化物半導体層403の成膜時と同様に、絶縁層407の成膜室内の残留水分を除去するためには、吸着型の真空ポンプ(クライオポンプなど)を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁層407に含まれる不純物の濃度を低減できる。また、絶縁層407の成膜室内の残留水分を除去するための排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。

10

【0128】

本実施の形態では、絶縁層407として、ゲート電極層401に接する側から酸化アルミニウム膜と酸化シリコン膜の積層構造を用いるものとする。なお、酸化アルミニウム膜を高密度(膜密度 $3.2\text{ g/cm}^3$ 以上、好ましくは $3.6\text{ g/cm}^3$ 以上)とすることによって、トランジスタ420に安定な電気特性を付与することができる。膜密度はラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)や、X線反射率測定法(XRR: X-Ray Reflection)によって測定することができる。

【0129】

次いで、絶縁層407上にマスク440を形成し、マスク440を用いて絶縁層407およびゲート絶縁層402をエッチングして、酸化物半導体層403(より具体的には、低抵抗領域403a)に達する開口442を形成する(図3(B)参照)。

20

【0130】

マスク440は、フォトリソグラフィ法などによって形成することができる。マスク440形成時の露光には、波長が数nm~数10nmと短い超紫外線(Extreme Ultraviolet)を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。したがって、微細なパターンを有するマスク440を形成することができる。

【0131】

なお、十分に微細なパターンのマスク440を形成できるのであれば、インクジェット法などの他の方法を用いてマスク440を形成しても良い。この場合には、マスク440の材料として、フォトリソグラフィなどの感光性を有する材料を用いる必要はない。

30

【0132】

マスク440を除去した後、開口442および絶縁層407上にマスク444を形成する。マスク444は、マスク440と同様に形成することができる。そしてマスク444を用いて絶縁層407およびゲート絶縁層402をエッチングして、酸化物半導体層403(より具体的には、低抵抗領域403b)に達する開口446を形成する(図3(C)参照)。これによって、ゲート絶縁層402および絶縁層407に、ゲート電極層401を挟んで一対の開口が形成されることとなる。

40

【0133】

次いで、開口442および開口446を埋め込むように、絶縁層407上にソース電極層およびドレイン電極層となる導電膜405を形成する(図4(A)参照)。

【0134】

導電膜405は、後の加熱処理に耐えられる材料を用いる。例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)等を用いることができる。また、Al、Cuなどの金属膜の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属膜またはそれらの金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)を積層させた構成としても良い。また、導電膜405は、

50

導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム ( $\text{In}_2\text{O}_3$ )、酸化スズ ( $\text{SnO}_2$ )、酸化亜鉛 ( $\text{ZnO}$ )、酸化インジウム酸化スズ ( $\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITOと略記する)、酸化インジウム酸化亜鉛 ( $\text{In}_2\text{O}_3 - \text{ZnO}$ ) またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

#### 【0135】

次に、導電膜405にCMP処理を行う(図4(B)参照)。絶縁層407上(少なくともゲート電極層401と重畳する領域)に設けられた導電膜405を除去するように、導電膜405に対してCMP処理を行うことで、開口442または開口446に埋め込まれたソース電極層405aおよびドレイン電極層405bを形成することができる。本実施の形態では、導電膜405に対して、絶縁層407の表面が露出する条件でCMP処理を行うことにより、ソース電極層405aおよびドレイン電極層405bを形成する。なお、CMP処理の条件によっては絶縁層407の表面またはゲート電極層401の表面も研磨される場合がある。

10

#### 【0136】

なお、CMP処理は、1回のみ行ってもよいし、複数回行ってもよい。複数回に分けてCMP処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、ソース電極層405a、ドレイン電極層405b、絶縁層407の表面の平坦性をより向上させることができる。

20

#### 【0137】

なお、本実施の形態では、絶縁層407と重畳する領域の導電膜405の除去にCMP処理を用いたが、他の研磨(研削、切削)処理を用いてもよい。または、CMP処理等の研磨処理と、エッチング(ドライエッチング、ウェットエッチング)処理や、プラズマ処理などを組み合わせてもよい。例えば、CMP処理後、ドライエッチング処理やプラズマ処理(逆スパッタリングなど)を行い、処理表面の平坦性向上を図ってもよい。研磨処理に、エッチング処理、プラズマ処理などを組み合わせて行う場合、工程順は特に限定されず、導電膜405の材料、膜厚、および表面の凹凸状態に合わせて適宜設定すればよい。

#### 【0138】

上述したように、ソース電極層405aまたはドレイン電極層405bは、ゲート絶縁層402および絶縁層407に設けられた開口を埋め込むように設けられる。したがって、トランジスタ420において、ソース電極層405aと酸化物半導体層403が接する領域(ソース側コンタクト領域)とゲート電極層401との距離(図4(B)における $L_{SG}$ )は、開口442の端部とゲート電極層401の端部との距離によって決定される。同様にトランジスタ420において、ドレイン電極層405bと酸化物半導体層403が接する領域(ドレイン側コンタクト領域)とゲート電極層401との距離(図4(B)における $L_{DG}$ )は、開口446の端部とゲート電極層401の端部との距離によって決定される。

30

#### 【0139】

ソース電極層405aを設けるための開口442と、ドレイン電極層405bを設けるための開口446を、一度のエッチング処理によって形成する場合、開口442と開口446との間のチャネル長方向の幅の最小加工寸法は、マスクの形成に用いる露光装置の解像限界に制約される。したがって、開口442と開口446との距離を十分に縮小することが難しく、結果としてソース側コンタクト領域およびドレイン側コンタクト領域と、ゲート電極層401との距離( $L_{SG}$ および $L_{DG}$ )の微細化が困難である。

40

#### 【0140】

しかしながら、本実施の形態で示す作製方法においては、開口442と開口446を、それぞれ異なるマスクを用いた個別のエッチング処理によって形成するため、露光装置の解像限界に依存せず、自由に開口の位置を設定することが可能である。よって、ソース側コンタクト領域またはドレイン側コンタクト領域と、ゲート電極層401との距離( $L_S$

50

$L_{SG}$  または  $L_{DG}$  ) を、例えば  $0.05 \mu m$  以上  $0.1 \mu m$  以下まで縮小することができる。 $L_{SG}$  および  $L_{DG}$  を縮小することで、トランジスタ 420 のソース電極層 405 a (またはドレイン電極層 405 b) とチャネル形成領域 403 c の間の抵抗を低減することができるため、トランジスタの電気的特性 (例えばオン電流特性) を向上させることができる。

#### 【0141】

また、ソース電極層 405 a およびドレイン電極層 405 b を形成するために絶縁層 407 上の導電膜 405 を除去する工程において、レジストマスクを用いたエッチング処理を用いないため、ソース電極層 405 a およびドレイン電極層 405 b のチャネル長方向の幅が微細化されている場合でも精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきを少ない微細な構造を有するトランジスタ 420 を歩留まりよく作製することができる。

10

#### 【0142】

次いで、ソース電極層 405 a、ドレイン電極層 405 b および絶縁層 407 上にソース配線層またはドレイン配線層 (これと同じ層で形成される配線も含む) となる導電膜を成膜し、該導電膜を加工してソース配線層 465 a およびドレイン配線層 465 b を形成する (図 4 (C) 参照)。

#### 【0143】

ソース配線層 465 a およびドレイン配線層 465 b はゲート電極層 401 と同様の材料および作製方法を用いて形成することができる。例えば、ソース配線層 465 a およびドレイン配線層 465 b として窒化タンタル膜と銅膜との積層、または窒化タンタル膜とタングステン膜との積層などを用いることができる。

20

#### 【0144】

上述のように、ソース電極層 405 a とドレイン電極層 405 b とのチャネル長方向の距離は、露光装置の解像限界に依存せずに微細に加工することが可能である。一方、上述した電極層 415 a と電極層 415 b 離や、ソース配線層 465 a とドレイン配線層 465 b は、フォトリソグラフィ法によって形成したマスクを用いて加工されるため、その幅は、ソース電極層 405 a とドレイン電極層 405 b よりも大きくなる。トランジスタ 420 の微細化のためには、ソース配線層 465 a とドレイン配線層 465 b との間隔を、電極層 415 a と電極層 415 b との間隔と同様に、露光装置の解像限界に合わせて設定するのが好ましい。

30

#### 【0145】

以上の工程によって、本実施の形態のトランジスタ 420 が形成される。

#### 【0146】

トランジスタ起因の表面凹凸を低減するためにトランジスタ 420 上に平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド、アクリル、ベンゾシクロブテン、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料 (low-k 材料) 等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

#### 【0147】

なお、トランジスタ 420 では、ソース電極層 405 a およびドレイン電極層 405 b に挟まれた領域におけるゲート絶縁層 402 と絶縁層 407 の合計の膜厚と、ソース電極層 405 a およびドレイン電極層 405 b の膜厚は、略等しい厚さであり、ソース電極層 405 a、ドレイン電極層 405 b および絶縁層 407 の上面が略一致する構成を示したが、本実施の形態はこれに限られない。

40

#### 【0148】

例えば、図 5 (A) に示すトランジスタ 422 のように、導電膜 405 の研磨処理の条件によっては、ソース電極層 405 a またはドレイン電極層 405 b の上面と、絶縁層 407 の上面と、に高低差が形成されることもある。または、図 5 (B) に示すトランジスタ 423 のように、導電膜 405 および絶縁層 407 の研磨処理によって、ゲート電極層

50

401の上面を露出させてもよい。また、ゲート電極層401も上方の一部が研磨処理によって除去されてもよい。トランジスタ423のようにゲート電極層401を露出する構造は、トランジスタ423上に他の配線や半導体素子を積層する集積回路において用いることができる。なお、トランジスタ422およびトランジスタ423のその他の部分の構成は、トランジスタ420の構成と同様である。

#### 【0149】

また、トランジスタ420では、開口442および開口446を形成する際に酸化物半導体層403がエッチングされず、開口442および開口446と重畳する領域においても酸化物半導体層403の膜厚が薄くならない構成を示したが、本実施の形態はこれに限られない。

10

#### 【0150】

例えば、図6(A)に示すトランジスタ424のように酸化物半導体層403に達する開口442および開口446を形成する際に、開口442および開口446と重畳する領域の酸化物半導体層403の一部がエッチングされることもある。トランジスタ424では、酸化物半導体層403の低抵抗領域403aの一部と低抵抗領域403bの一部の膜厚が酸化物半導体層403の他の部分の膜厚と比較して薄くなっている。なお、トランジスタ424のその他の部分の構成は、トランジスタ420の構成と同様である。

#### 【0151】

また、図6(B)に示すトランジスタ425のように酸化物半導体層403に達する開口442および開口446を形成する際に、開口442および開口446と重畳する領域の酸化物半導体層403がエッチングされて貫通してしまうこともある。トランジスタ424では、酸化物半導体層403の低抵抗領域403aの一部と低抵抗領域403bの一部に貫通して開口が形成され、ソース電極層405aおよびドレイン電極層405bがそれぞれ電極層415aおよび電極層415bと接している。なお、トランジスタ425のその他の部分の構成は、トランジスタ420の構成と同様である。

20

#### 【0152】

ここで、電極層415aおよび電極層415bが設けられていないトランジスタにおいて、上述のように酸化物半導体層の膜厚が低減されてしまう、または除去されてしまう場合、酸化物半導体層とソース電極層またはドレイン電極層との電気的な接続にばらつきが生じる、または電気的な接続ができなくなるというおそれがある。特にトランジスタが微細化され、酸化物半導体層の膜厚が薄くなると、このような問題が顕著となる。

30

#### 【0153】

しかし、トランジスタ424及びトランジスタ426は、酸化物半導体層403と酸化物半導体層403の下層に電極層415aおよび電極層415bが設けられている。したがって、酸化物半導体層403の一部の膜厚が低減される場合、または酸化物半導体層403の一部が貫通して除去される場合であっても、下層に設けられた電極層415aおよび電極層415bによって、ソース電極層またはドレイン電極層と酸化物半導体層との電気的な接続を補償することができる。よって、信頼性よくトランジスタの微細化を達成することが可能となる。また、開口の形成に要求されるアライメント精度及び加工精度の自由度を向上させることができる。

40

#### 【0154】

また、トランジスタ420では、電極層415aと電極層415bとの間のチャンネル長方向の距離が、ソース電極層405aとドレイン電極層405bとの間のチャンネル長方向の距離より大きい構成について説明したが、本実施の形態はこれに限られない。

#### 【0155】

図6(C)に示すトランジスタ426のように電極層415aと電極層415bとの間のチャンネル長方向の距離が、ソース電極層405aとドレイン電極層405bとの間のチャンネル長方向の距離より小さい構成とすることもできる。なお、トランジスタ426のその他の部分の構成は、トランジスタ420の構成と同様である。

#### 【0156】

50

例えば、次のようにしてトランジスタ426を形成することができる。図2(A)に示す工程で電極層415aおよび電極層415bを形成する前に、下地絶縁層436を形成し、電極層415aおよび電極層415bに当たる部分に開口を形成する。このとき、下地絶縁層436の電極層415aと電極層415bの間に相当する部分(図6(C)に示す下地絶縁層436a)を、上述のゲート電極層401と同様にスリミング処理を行ったマスクを用いて形成することにより、下地絶縁層436のチャンネル長方向の幅を露光装置の解像限界より微細化することができる。次に、当該下地絶縁層436上に導電膜を成膜して当該開口部を埋め込み、当該導電膜をCMP処理などで下地絶縁層436の表面が露出するまで研磨することで、互いの間隔が十分縮小された電極層415aおよび電極層415bを形成することができる。以降、図2(B)乃至図4(C)で示した方法と同様の方法を用いてトランジスタ426を形成することができる。

10

## 【0157】

また、トランジスタ420では、電極層415aおよび電極層415bを下地絶縁層436に埋め込んで用いる構成について示したが、本実施の形態はこれに限られない。例えば、図7(A)に示すトランジスタ427のように、電極層435aの上面および側面の少なくとも一部と酸化物半導体層403の低抵抗領域403aが接し、電極層435bの上面および側面の少なくとも一部と酸化物半導体層403の低抵抗領域403bが接する構成としてもよい。なお、電極層435aおよび電極層435bはトランジスタ420の電極層415aおよび電極層415bと同様の材料を用いることができる。なお、トランジスタ420では、電極層435aおよび電極層435bが酸化物半導体層403に覆われる構成を示すが、本実施の形態はこれに限られない。例えば、電極層435aおよび電極層435bの端部が島状の酸化物半導体層403の外側で露出している構成としてもよい。また、電極層435aおよび電極層435bの下に下地絶縁層を設ける構成としてもよい。

20

## 【0158】

このような構成とすることにより、電極層435aおよび電極層435bの側面においても酸化物半導体層403と接触させることができ、酸化物半導体層403と電極層435aおよび電極層435bとの接触面積の拡大を図ることができるので、コンタクト抵抗を低減することができる。

## 【0159】

作製方法としては、図2(A)に示した工程と同様に電極層435aおよび電極層435bを形成し、当該電極層435aおよび電極層435bの上に酸化物半導体層を成膜すればよい。このとき、電極層435aおよび電極層435bは、図7(A)に示すように、側面をテーパ形状とすることが好ましい。テーパ角は、例えば20°以上50°以下とすることができる。なお、ここで、テーパ角とは、電極層435aまたは電極層435bを、その断面に垂直な方向から観察した際に、電極層435aまたは電極層435bの側面と底面がなす傾斜角を示す。このように、電極層435aおよび電極層435bの側面をテーパ形状とすることにより、酸化物半導体層403の被覆性を向上させることができる。また、電極層435aおよび電極層435bの側面をテーパ形状とすることにより、酸化物半導体層403と電極層435aおよび電極層435bとの接触面積の拡大を図ることができるので、コンタクト抵抗を低減することができる。

30

40

## 【0160】

なお、トランジスタ427は、電極層435aおよび電極層435bが下地絶縁層中に形成されていない点においてトランジスタ420と異なり、その他の部分の構成はトランジスタ420の構成と同様である。

## 【0161】

また、電極層435a及び電極層435bとてしては、トランジスタ420の電極層415a及び電極層415bと同様に酸化物半導体を用いてもよい。酸化物半導体からなる電極層445a及び電極層445bを用いたトランジスタ428を図7(B)に示す。なお、トランジスタ428の構成は、電極層445aおよび電極層445b以外は、トラン

50

ジスタ４２７の構成と同様である。

【０１６２】

電極層に酸化物半導体材料を適用した場合、トランジスタ４２１の電極層４１６aおよび電極層４１６bと同様に、酸化物半導体層の材料や成膜条件によっては、電極層と、酸化物半導体層との界面が不明確になる場合もある。また、界面が不明確になる場合、電極層と、酸化物半導体層との混合領域または混合層と呼ぶことのできる箇所が形成されることもある。なお、図７(B)において、電極層４４５a及び電極層４４５bと、酸化物半導体層４０３との界面を模式的に点線で図示している。

【０１６３】

また、電極層４４５a及び電極層４４５bに酸化物半導体材料を適用する場合には、電極層４４５a及び電極層４４５bと、酸化物半導体層４０３とが、エッチングの選択比のとれる材料を用いる必要がある。ただし、電極層４４５a及び電極層４４５bの端部が島状の酸化物半導体層４０３の外側に露出している場合、エッチングの条件によっては、電極層４４５a及び電極層４４５bの一部がエッチングされた形状となることもある。

【０１６４】

なお、本実施の形態に示す、以上のトランジスタの構成は、互いに適宜組み合わせて用いることができる。

【０１６５】

上述のように、開示する発明の一態様では、ソース電極層を設けるための開口とドレイン電極層を設けるための開口とを、それぞれ異なるマスクを用いた個別のエッチング処理によって形成する。これにより、トランジスタの十分な微細化を達成することが可能であり、ソース側コンタクト領域およびドレイン側コンタクト領域と、ゲート電極層との距離を十分に縮小することができるため、トランジスタのソース電極層（またはドレイン電極層）とチャンネル形成領域の間の抵抗を低減することができる。よって、トランジスタの電気特性の一つであるオン特性（例えば、オン電流、及び電界効果移動度）を向上させることができる。

【０１６６】

また、上述のように、酸化物半導体層の第１の低抵抗領域は、少なくとも第１の電極層の一部と接しており、第２の低抵抗領域は、少なくとも第２の電極層の一部と接している。このように第１の電極層および第２の電極層を設けることにより、トランジスタのソース領域およびドレイン領域の厚膜化が図られるので、トランジスタのソース領域およびドレイン領域における抵抗を低減することができる。また、第１の電極層および第２の電極層がそれぞれ、酸化物半導体層の第１の低抵抗領域および第２の低抵抗領域と接する構成とすることで、酸化物半導体層と、第１の電極層および第２の電極層と、のコンタクト抵抗を低減することができる。さらに、ソース電極層およびドレイン電極層がそれぞれ、酸化物半導体層の第１の低抵抗領域および第２の低抵抗領域と接する構成とすることで、酸化物半導体層と、ソース電極層およびドレイン電極層と、のコンタクト抵抗を低減することができる。このように酸化物半導体層４０３とそれぞれの電極層とのコンタクト抵抗を低減することにより、トランジスタの電気特性の一つであるオン特性（例えば、オン電流、及び電界効果移動度）が高く、高速動作、高速応答が可能なトランジスタとすることができる。

【０１６７】

また、ソース電極層４０５aおよびドレイン電極層４０５bの形成するために絶縁層４０７上の導電膜４０５を除去する工程において、レジストマスクを用いたエッチング処理を用いないため、ソース電極層４０５aおよびドレイン電極層４０５bの間隔が微細化されている場合でも精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきを少ない微細な構造を有するトランジスタ４２０を歩留まりよく作製することができる。

【０１６８】

このように、開示する発明の一態様によって、不良を抑制しつつ、または、良好な特性

10

20

30

40

50



を維持しつつ、微細化を達成した半導体装置を提供することができる。

【0169】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

(実施の形態2)

本実施の形態では、実施の形態1に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置の一例を、図面を用いて説明する。

【0170】

図8は、半導体装置の構成の一例である。図8(A)に、半導体装置の断面図を、図8(B)に半導体装置の平面図を、図8(C)に半導体装置の回路図をそれぞれ示す。ここで、図8(A)は、図8(B)のC1-C2、及びD1-D2における断面に相当する。

10

【0171】

図8(A)及び図8(B)に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ160を有し、上部に第2の半導体材料を用いたトランジスタ162を有するものである。トランジスタ162としては、実施の形態1で示すトランジスタ420の構造を適用する例である。トランジスタ162としては、もちろん実施の形態1で示す他の構造のトランジスタを用いることもできる。

【0172】

ここで、第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料(シリコンなど)とし、第2の半導体材料を酸化物半導体とすることができ、酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

20

【0173】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのはいうまでもない。また、情報を保持するために酸化物半導体を用いた実施の形態1に示すようなトランジスタに用いる他、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

30

【0174】

図8(A)におけるトランジスタ160は、半導体材料(例えば、シリコンなど)を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域120と、不純物領域120に接する金属化合物領域124と、チャネル形成領域116上に設けられたゲート絶縁膜108と、ゲート絶縁膜108上に設けられたゲート電極110と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれる。

40

【0175】

基板100上にはトランジスタ160を囲むように素子分離絶縁層106が設けられており、トランジスタ160を覆うように絶縁層128、及び絶縁層130が設けられている。なお、トランジスタ160において、ゲート電極110の側面に側壁絶縁層(サイドウォール絶縁層)を設け、不純物濃度が異なる領域を含む不純物領域120としてもよい。

【0176】

単結晶半導体基板を用いたトランジスタ160は、高速動作が可能である。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。トランジスタ160を覆うように絶縁膜を2層形成する。トラン

50

ジスタ 162 および容量素子 164 の形成前の処理として、該絶縁膜 2 層に CMP 処理を施して、平坦化した絶縁層 128、絶縁層 130 を形成し、同時にゲート電極 110 の上面を露出させる。

【0177】

絶縁層 128、絶縁層 130 は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。絶縁層 128、絶縁層 130 は、プラズマ CVD 法又はスパッタリング法等を用いて形成することができる。

【0178】

また、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料 (low-k 材料) 等を用いることができる。有機材料を用いる場合、スピコート法、印刷法などの湿式法によって絶縁層 128、絶縁層 130 を形成してもよい。

【0179】

なお、本実施の形態において、絶縁膜として窒化シリコン膜、絶縁層 130 として酸化シリコン膜を用いる。

【0180】

絶縁層 130 表面において、酸化物半導体層 144 形成領域に、平坦化処理を行うことが好ましい。本実施の形態では、研磨処理 (例えば CMP 処理) により十分に平坦化した (好ましくは絶縁層 130 表面の平均面粗さは 0.15 nm 以下) 絶縁層 130 上に酸化物半導体層 144 を形成する。

【0181】

図 8 (A) に示すトランジスタ 162 は、酸化物半導体をチャネル形成領域に用いたトランジスタである。ここで、トランジスタ 162 に含まれる酸化物半導体層 144 は、高純度化されたものであることが望ましい。高純度化された酸化物半導体を用いることで、極めて優れたオフ特性のトランジスタ 162 を得ることができる。

【0182】

トランジスタ 162 は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0183】

トランジスタ 162 の作製工程において、絶縁層 130 上に下地絶縁層 136 と、下地絶縁層 136 中に埋め込まれた電極層 145 a 及び電極層 145 b を形成する。このように、電極層 145 a 及び電極層 145 b がそれぞれ、酸化物半導体層 144 の第 1 の低抵抗領域および第 2 の低抵抗領域と接する構成とすることで、トランジスタのソース領域およびドレイン領域の厚膜化が図られるので、トランジスタのソース領域およびドレイン領域における抵抗を低減することができ、トランジスタ 162 のオン特性を向上させることができる。また、本実施の形態では、電極層 145 a、145 b と同工程でゲート電極 110 と電氣的に接続する電極層 145 c を形成する。

【0184】

トランジスタ 162 は作製工程において、絶縁層 135 上に設けられた導電膜を化学機械研磨処理により除去する工程を用いて、ソース電極層及びドレイン電極層として機能する電極層 142 a、142 b を形成する。本実施の形態では、電極層 142 a、142 b と同工程で電極層 145 c と電氣的に接続する電極層 142 c を形成する。

【0185】

また、電極層 142 a、電極層 142 b、又は電極層 142 c に接続してソース配線層又はドレイン配線層として機能する配線層 138 a、138 b を設ける。これにより、トランジスタ 160 のゲート電極 110 とトランジスタ 162 の電極層 142 a は、電極層

10

20

30

40

50

145c、電極層142cおよび配線層138aを介して電氣的に接続される。

【0186】

よって、トランジスタ162は、ソース電極層又はドレイン電極層として機能する電極層142a、142bと酸化物半導体層144が接する領域(コンタクト領域)と、ゲート電極148との距離を短くすることができるため、電極層142a、142bと酸化物半導体層144とが接する領域(コンタクト領域)、及びゲート電極148間の抵抗が減少し、トランジスタ162のオン特性を向上させることが可能となる。

【0187】

電極層142a、142bの形成工程におけるゲート電極148上の導電膜を除去する工程において、レジストマスクを用いたエッチング工程を用いないため、精密な加工を正 10  
確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきを少ない微細な構造を有するトランジスタを歩留まりよく作製することができる。

【0188】

トランジスタ162上には、絶縁層135、絶縁膜150が単層または積層で設けられている。本実施の形態では、絶縁膜150として、酸化アルミニウム膜を用いる。酸化アルミニウム膜を高密度(膜密度 $3.2\text{ g/cm}^3$ 以上、好ましくは $3.6\text{ g/cm}^3$ 以上)とすることによって、トランジスタ162に安定な電気特性を付与することができる。

【0189】

また、酸化物半導体層144、ゲート絶縁膜146及びゲート電極148を覆うように保護膜となる無機絶縁膜(好ましくは酸化アルミニウム膜)を設けてもよい。 20

【0190】

また、絶縁層135及び絶縁膜150を介して、トランジスタ162の電極層142aと重畳する領域には、導電層153が設けられており、電極層142cと、配線層138aと、絶縁層135と、絶縁膜150と、導電層153とによって、容量素子164が構成される。すなわち、トランジスタ162の電極層142aは、容量素子164の一方の電極として機能し、導電層153は、容量素子164の他方の電極として機能する。なお、容量が不要の場合には、容量素子164を設けない構成とすることもできる。また、容量素子164は、別途、トランジスタ162の上方に設けてもよい。

【0191】

トランジスタ162および容量素子164の上には絶縁膜152が設けられている。そして、絶縁膜152上にはトランジスタ162と、他のトランジスタを接続するための配線156が設けられている。図8(A)には図示しないが、配線156は、絶縁膜150、絶縁膜152などに形成された開口に形成された電極を介して配線層138b及び電極層142bと電氣的に接続される。ここで、該電極は、少なくともトランジスタ162の酸化物半導体層144の一部と重畳するように設けられることが好ましい。 30

【0192】

図8(A)及び図8(B)において、トランジスタ160と、トランジスタ162とは、少なくとも一部が重畳するように設けられており、トランジスタ160のソース領域またはドレイン領域と酸化物半導体層144の一部が重畳するように設けられているのが好ましい。また、トランジスタ162及び容量素子164が、トランジスタ160の少なく 40  
とも一部と重畳するように設けられている。例えば、容量素子164の導電層153は、トランジスタ160のゲート電極110と少なくとも一部が重畳して設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【0193】

なお、配線層138b及び配線156の電氣的接続は、配線層138b及び配線156を直接接触させて行ってもよいし、配線層138b及び配線156の間の絶縁膜に電極を設けて、該電極を介して行ってもよい。また、間に介する電極は、複数でもよい。

【0194】

次に、図8(A)及び図8(B)に対応する回路構成の一例を図8(C)に示す。 50

## 【 0 1 9 5 】

図 8 ( C ) において、第 1 の配線 ( 1 s t L i n e ) とトランジスタ 1 6 0 のソース電極とは、電氣的に接続され、第 2 の配線 ( 2 n d L i n e ) とトランジスタ 1 6 0 のドレイン電極とは、電氣的に接続されている。また、第 3 の配線 ( 3 r d L i n e ) とトランジスタ 1 6 2 のソース電極またはドレイン電極の一方とは、電氣的に接続され、第 4 の配線 ( 4 t h L i n e ) と、トランジスタ 1 6 2 のゲート電極とは、電氣的に接続されている。そして、トランジスタ 1 6 0 のゲート電極と、トランジスタ 1 6 2 のソース電極またはドレイン電極の一方は、容量素子 1 6 4 の電極の他方と電氣的に接続され、第 5 の配線 ( 5 t h L i n e ) と、容量素子 1 6 4 の電極の他方は電氣的に接続されている。

10

## 【 0 1 9 6 】

図 8 ( C ) に示す半導体装置では、トランジスタ 1 6 0 のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

## 【 0 1 9 7 】

情報の書き込みおよび保持について説明する。まず、第 4 の配線の電位を、トランジスタ 1 6 2 がオン状態となる電位にして、トランジスタ 1 6 2 をオン状態とする。これにより、第 3 の配線の電位が、トランジスタ 1 6 0 のゲート電極、および容量素子 1 6 4 に与えられる。すなわち、トランジスタ 1 6 0 のゲート電極には、所定の電荷が与えられる ( 書き込み ) 。ここでは、異なる二つの電位レベルを与える電荷 ( 以下 L o w レベル電荷、 H i g h レベル電荷という ) のいずれかが与えられるものとする。その後、第 4 の配線の電位を、トランジスタ 1 6 2 がオフ状態となる電位にして、トランジスタ 1 6 2 をオフ状態とすることにより、トランジスタ 1 6 0 のゲート電極に与えられた電荷が保持される ( 保持 ) 。

20

## 【 0 1 9 8 】

トランジスタ 1 6 2 のオフ電流は極めて小さいため、トランジスタ 1 6 0 のゲート電極の電荷は長時間にわたって保持される。

## 【 0 1 9 9 】

次に情報の読み出しについて説明する。第 1 の配線に所定の電位 ( 定電位 ) を与えた状態で、第 5 の配線に適切な電位 ( 読み出し電位 ) を与えると、トランジスタ 1 6 0 のゲート電極に保持された電荷量に応じて、第 2 の配線は異なる電位をとる。一般に、トランジスタ 1 6 0 を n チャネル型とすると、トランジスタ 1 6 0 のゲート電極に H i g h レベル電荷が与えられている場合の見かけのしきい値  $V_{t h\_H}$  は、トランジスタ 1 6 0 のゲート電極に L o w レベル電荷が与えられている場合の見かけのしきい値  $V_{t h\_L}$  より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ 1 6 0 を「オン状態」とするために必要な第 5 の配線の電位をいうものとする。したがって、第 5 の配線の電位を  $V_{t h\_H}$  と  $V_{t h\_L}$  の中間の電位  $V_0$  とすることにより、トランジスタ 1 6 0 のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、 H i g h レベル電荷が与えられていた場合には、第 5 の配線の電位が  $V_0 ( > V_{t h\_H} )$  となれば、トランジスタ 1 6 0 は「オン状態」となる。 L o w レベル電荷が与えられていた場合には、第 5 の配線の電位が  $V_0 ( < V_{t h\_L} )$  となっても、トランジスタ 1 6 0 は「オフ状態」のままである。このため、第 2 の配線の電位を見ることで、保持されている情報を読み出すことができる。

30

40

## 【 0 2 0 0 】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ 1 6 0 が「オフ状態」となるような電位、つまり、  $V_{t h\_H}$  より小さい電位を第 5 の配線に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ 1 6 0 が「オン状態」となるような電位、つまり、  $V_{t h\_L}$  より大きい電位を第 5 の配線に与えればよい。

50

## 【0201】

本実施の形態に示す半導体装置では、チャンネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

## 【0202】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

10

## 【0203】

以上のように、微細化及び高集積化を実現し、かつ高い電気的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

## 【0204】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

20

## 【0205】

## (実施の形態3)

本実施の形態においては、実施の形態1に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態2に示した構成と異なる構成について、図9及び図10を用いて説明を行う。

## 【0206】

図9(A)は、半導体装置の回路構成の一例を示し、図9(B)は半導体装置の一例を示す概念図である。まず、図9(A)に示す半導体装置について説明を行い、続けて図9(B)に示す半導体装置について、以下説明を行う。

30

## 【0207】

図9(A)に示す半導体装置において、ビット線BLとトランジスタ162のソース電極又はドレイン電極とは電氣的に接続され、ワード線WLとトランジスタ162のゲート電極とは電氣的に接続され、トランジスタ162のソース電極又はドレイン電極と容量素子254の第1の端子とは電氣的に接続されている。

## 【0208】

次に、図9(A)に示す半導体装置(メモリセル250)に、情報の書き込みおよび保持を行う場合について説明する。

## 【0209】

まず、ワード線WLの電位を、トランジスタ162がオン状態となる電位として、トランジスタ162をオン状態とする。これにより、ビット線BLの電位が、容量素子254の第1の端子に与えられる(書き込み)。その後、ワード線WLの電位を、トランジスタ162がオフ状態となる電位として、トランジスタ162をオフ状態とすることにより、容量素子254の第1の端子の電位が保持される(保持)。

40

## 【0210】

酸化物半導体を用いたトランジスタ162は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、容量素子254の第1の端子の電位(あるいは、容量素子254に蓄積された電荷)を極めて長時間にわたって保持することが可能である。

50

## 【 0 2 1 1 】

次に、情報の読み出しについて説明する。トランジスタ162がオン状態となると、浮遊状態であるビット線BLと容量素子254とが導通し、ビット線BLと容量素子254の間で電荷が再分配される。その結果、ビット線BLの電位が変化する。ビット線BLの電位の変化量は、容量素子254の第1の端子の電位（あるいは容量素子254に蓄積された電荷）によって、異なる値をとる。

## 【 0 2 1 2 】

例えば、容量素子254の第1の端子の電位をV、容量素子254の容量をC、ビット線BLが有する容量成分（以下、ビット線容量とも呼ぶ）をCB、電荷が再分配される前のビット線BLの電位をVB0とすると、電荷が再分配された後のビット線BLの電位は、 $(CB * VB0 + C * V) / (CB + C)$ となる。従って、メモリセル250の状態として、容量素子254の第1の端子の電位がV1とV0（V1 > V0）の2状態をとるとすると、電位V1を保持している場合のビット線BLの電位（ $= CB * VB0 + C * V1$ ） /  $(CB + C)$ ）は、電位V0を保持している場合のビット線BLの電位（ $= CB * VB0 + C * V0$ ） /  $(CB + C)$ ）よりも高くなるのがわかる。

## 【 0 2 1 3 】

そして、ビット線BLの電位を所定の電位と比較することで、情報を読み出すことができる。

## 【 0 2 1 4 】

このように、図9（A）に示す半導体装置は、トランジスタ162のオフ電流が極めて小さいという特徴から、容量素子254に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

## 【 0 2 1 5 】

次に、図9（B）に示す半導体装置について、説明を行う。

## 【 0 2 1 6 】

図9（B）に示す半導体装置は、上部に記憶回路として図9（A）に示したメモリセル250を複数有するメモリセルアレイ251a及び251bを有し、下部に、メモリセルアレイ251（メモリセルアレイ251a及び251b）を動作させるために必要な周辺回路253を有する。なお、周辺回路253は、メモリセルアレイ251と電氣的に接続されている。

## 【 0 2 1 7 】

図9（B）に示した構成とすることにより、周辺回路253をメモリセルアレイ251（メモリセルアレイ251a及び251b）の直下に設けることができるため半導体装置の小型化を図ることができる。

## 【 0 2 1 8 】

周辺回路253に設けられるトランジスタは、トランジスタ162とは異なる半導体材料を用いるのがより好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、該トランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

## 【 0 2 1 9 】

なお、図9（B）に示した半導体装置では、2つのメモリセルアレイ251（メモリセルアレイ251aと、メモリセルアレイ251b）が積層された構成を例示したが、積層するメモリセルの数はこれに限定されない。3つ以上のメモリセルを積層する構成としても良い。

10

20

30

40

50

## 【0220】

次に、図9(A)に示したメモリセル250の具体的な構成について図10を用いて説明を行う。

## 【0221】

図10は、メモリセル250の構成の一例である。図10(A)に、メモリセル250の断面図を、図10(B)にメモリセル250の平面図をそれぞれ示す。ここで、図10(A)は、図10(B)のF1-F2、及びG1-G2における断面に相当する。

## 【0222】

図10(A)及び図10(B)に示すトランジスタ162は、実施の形態1で示した構成と同一の構成とすることができる。

10

## 【0223】

トランジスタ162は、絶縁層130上に設けられており、絶縁層130上には、電極層145aおよび電極層145bが設けられた下地絶縁層136が形成されている。トランジスタ162上には、絶縁膜256が単層または積層で設けられている。また、絶縁膜256を介して、トランジスタ162の電極層142aと電氣的に接続する配線層138aと重畳する領域には、導電層262が設けられており、電極層142aと電氣的に接続する配線層138aと、絶縁層135と、絶縁膜256と、導電層262とによって、容量素子254が構成される。すなわち、トランジスタ162の電極層142aは、容量素子254の一方の電極として機能し、導電層262は、容量素子254の他方の電極として機能する。

20

## 【0224】

トランジスタ162および容量素子254の上には絶縁膜258が設けられている。そして、絶縁膜258上にはメモリセル250と、隣接するメモリセル250を接続するための配線260が設けられている。図示しないが、配線260は、絶縁膜256及び絶縁膜258などに形成された開口を介してトランジスタ162の電極層142bと電氣的に接続する配線層138bと電氣的に接続されている。但し、開口に他の導電層を設け、該他の導電層を介して、配線260と電極層142bと電氣的に接続する配線層138bとを電氣的に接続してもよい。なお、配線260は、図9(A)の回路図におけるビット線BLに相当する。

## 【0225】

図10(A)及び図10(B)において、トランジスタ162の電極層142bは、隣接するメモリセルに含まれるトランジスタのソース電極としても機能することができる。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

30

## 【0226】

図10(A)に示す平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

## 【0227】

また、図11に、半導体装置の構成の他の一例を示す。図11(A)は、半導体装置の平面図、図11(B)は半導体装置の断面図である。ここで、図11(B)は、図11(A)のF5-F6における断面に相当する。なお、図11(A)においては、図の明瞭化のため、図11(B)に示す半導体装置の一部の構成要素を省略している。また、トランジスタ162が形成される絶縁膜135以下の層に関しては図11に示す半導体装置と同様の構成なので詳細な説明は省略する。

40

## 【0228】

図11(A)(B)において、配線260は絶縁層135上に接して設けられ、トランジスタ162の電極層142bと直接接続する。絶縁膜135上に絶縁膜195が形成されており、さらに絶縁膜195上に絶縁膜196が形成されている。絶縁膜196に形成された開口に埋め込まれるように容量素子254が形成されている。

## 【0229】

50

容量素子 254 は、導電層 192、絶縁膜 193、導電層 194 で構成され、絶縁膜 196 中に埋め込まれるように形成されている。なお、絶縁膜 193 は誘電率の高い絶縁材料を用いることが好ましい。このように容量素子 254 を形成することにより、容量素子 254 の占有面積を低減しつつ静電容量を増加させることができる。容量素子 254 とトランジスタ 162 とは、絶縁膜 195 に形成されたトランジスタ 162 の電極層 142a に達する開口に設けられた導電層 191 を介して電氣的に接続されている。

【0230】

図 11 で示すように、トランジスタ 162、容量素子 164 を重畳するように密に積層して設けることで、より半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

10

【0231】

以上のように、上部に多層に形成された複数のメモリセルは、酸化物半導体を用いたトランジスタにより形成されている。酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

【0232】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

20

【0233】

以上のように、微細化及び高集積化を実現し、かつ高い電氣的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

【0234】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することができる。

【0235】

（実施の形態 4）

本実施の形態では、先の実施の形態で示した半導体装置を携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図 12 乃至図 15 を用いて説明する。

30

【0236】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などに S R A M または D R A M が使用されている。S R A M または D R A M が使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。一方で、S R A M または D R A M を画像データの一時記憶に用いた場合、以下の特徴がある。

【0237】

通常の S R A M は、図 12 ( A ) に示すように 1 つのメモリセルがトランジスタ 801 ~ 806 の 6 個のトランジスタで構成されており、それを X デコーダ 807、Y デコーダ 808 にて駆動している。トランジスタ 803 とトランジスタ 805、トランジスタ 804 とトランジスタ 806 はインバータを構成し、高速駆動を可能としている。しかし 1 つのメモリセルが 6 トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法を F としたときに S R A M のメモリセル面積は通常  $100 \sim 150 F^2$  である。このため S R A M はビットあたりの単価が各種メモリの中で最も高い。

40

【0238】

それに対して、D R A M はメモリセルが図 12 ( B ) に示すようにトランジスタ 811、保持容量 812 によって構成され、それを X デコーダ 813、Y デコーダ 814 に

50



て駆動している。1つのセルが1トランジスタ1容量の構成になっており、面積が小さい。DRAMのメモリセル面積は通常 $10F^2$ 以下である。ただし、DRAMは常にリフレッシュが必要であり、書き換えをおこなわない場合でも電力を消費する。

【0239】

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、 $10F^2$ 前後であり、且つ頻繁なリフレッシュは不要である。したがって、メモリセル面積が縮小され、且つ消費電力が低減することができる。

【0240】

図13に携帯機器のブロック図を示す。図13に示す携帯機器はRF回路901、アナログベースバンド回路902、デジタルベースバンド回路903、バッテリー904、電源回路905、アプリケーションプロセッサ906、フラッシュメモリ910、ディスプレイコントローラ911、メモリ回路912、ディスプレイ913、タッチセンサ919、音声回路917、キーボード918などより構成されている。ディスプレイ913は表示部914、ソースドライバ915、ゲートドライバ916によって構成されている。アプリケーションプロセッサ906はCPU907、DSP908、インターフェイス909(IF909)を有している。一般にメモリ回路912はSRAMまたはDRAMで構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

【0241】

図14に、ディスプレイのメモリ回路950に先の実施の形態で説明した半導体装置を使用した例を示す。図14に示すメモリ回路950は、メモリ952、メモリ953、スイッチ954、スイッチ955およびメモリコントローラ951により構成されている。また、メモリ回路は、画像データ(入力画像データ)からの信号線、メモリ952、及びメモリ953に記憶されたデータ(記憶画像データ)を読み出し、及び制御を行うディスプレイコントローラ956と、ディスプレイコントローラ956からの信号により表示するディスプレイ957が接続されている。

【0242】

まず、ある画像データがアプリケーションプロセッサ(図示しない)によって、形成される(入力画像データA)。入力画像データAは、スイッチ954を介してメモリ952に記憶される。そしてメモリ952に記憶された画像データ(記憶画像データA)は、スイッチ955、及びディスプレイコントローラ956を介してディスプレイ957に送られ、表示される。

【0243】

入力画像データAに変更が無い場合、記憶画像データAは、通常30~60Hz程度の周期でメモリ952からスイッチ955を介して、ディスプレイコントローラ956から読み出される。

【0244】

次に、例えばユーザーが画面を書き換える操作をしたとき(すなわち、入力画像データAに変更が有る場合)、アプリケーションプロセッサは新たな画像データ(入力画像データB)を形成する。入力画像データBはスイッチ954を介してメモリ953に記憶される。この間も定期的にメモリ952からスイッチ955を介して記憶画像データAは読み出されている。メモリ953に新たな画像データ(記憶画像データB)が記憶し終わると、ディスプレイ957の次のフレームより、記憶画像データBは読み出され、スイッチ955、及びディスプレイコントローラ956を介して、ディスプレイ957に記憶画像データBが送られ、表示がおこなわれる。この読み出しはさらに次に新たな画像データがメモリ952に記憶されるまで継続される。

【0245】

このようにメモリ952及びメモリ953は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ957の表示をおこなう。なお、メモリ

10

20

30

40

50

952及びメモリ953はそれぞれ別のメモリには限定されず、1つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ952及びメモリ953に採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

【0246】

図15に電子書籍のブロック図を示す。図15はバッテリー1001、電源回路1002、マイクロプロセッサ1003、フラッシュメモリ1004、音声回路1005、キーボード1006、メモリ回路1007、タッチパネル1008、ディスプレイ1009、ディスプレイコントローラ1010によって構成される。

【0247】

ここでは、図15のメモリ回路1007に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路1007の役割は書籍の内容を一時的に保持する機能を持つ。機能の例としては、ユーザーがハイライト機能を使用する場合などがある。ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキングをしたい場合がある。このマーキング機能をハイライト機能と言い、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって、周囲との違いを示すことである。ユーザーが指定した箇所の情報を記憶し、保持する機能である。この情報を長期に保存する場合にはフラッシュメモリ1004にコピーしても良い。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

【0248】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。

【0249】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【符号の説明】

【0250】

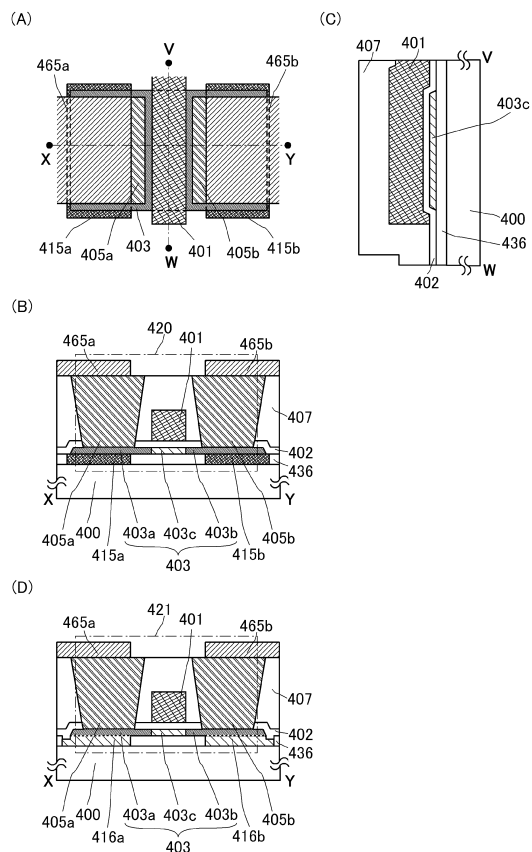
100	基板	30
102	酸化物半導体層	
103	酸化物半導体層	
106	素子分離絶縁層	
108	ゲート絶縁膜	
110	ゲート電極	
116	チャネル形成領域	
120	不純物領域	
124	金属化合物領域	
128	絶縁層	
130	絶縁層	40
135	絶縁層	
136	下地絶縁層	
138 a	配線層	
138 b	配線層	
142 a	電極層	
142 b	電極層	
142 c	電極層	
144	酸化物半導体層	
145 a	電極層	
145 b	電極層	50

1 4 5 c	電極層	
1 4 6	ゲート絶縁膜	
1 4 8	ゲート電極	
1 5 0	絶縁膜	
1 5 2	絶縁膜	
1 5 3	導電層	
1 5 6	配線	
1 6 0	トランジスタ	
1 6 2	トランジスタ	
1 6 4	容量素子	10
1 7 2	導電層	
1 9 1	導電層	
1 9 2	導電層	
1 9 3	絶縁膜	
1 9 4	導電層	
1 9 5	絶縁膜	
1 9 6	絶縁膜	
2 5 0	メモリセル	
2 5 1	メモリセルアレイ	
2 5 1 a	メモリセルアレイ	20
2 5 1 b	メモリセルアレイ	
2 5 3	周辺回路	
2 5 4	容量素子	
2 5 6	絶縁膜	
2 5 8	絶縁膜	
2 6 0	配線	
2 6 2	導電層	
4 0 0	基板	
4 0 1	ゲート電極層	
4 0 2	ゲート絶縁層	30
4 0 3	酸化物半導体層	
4 0 3 a	低抵抗領域	
4 0 3 b	低抵抗領域	
4 0 3 c	チャンネル形成領域	
4 0 5	導電膜	
4 0 5 a	ソース電極層	
4 0 5 b	ドレイン電極層	
4 0 7	絶縁層	
4 1 5 a	電極層	
4 1 5 b	電極層	40
4 1 6 a	電極層	
4 1 6 b	電極層	
4 2 0	トランジスタ	
4 2 1	トランジスタ	
4 2 2	トランジスタ	
4 2 3	トランジスタ	
4 2 4	トランジスタ	
4 2 5	トランジスタ	
4 2 6	トランジスタ	
4 2 7	トランジスタ	50

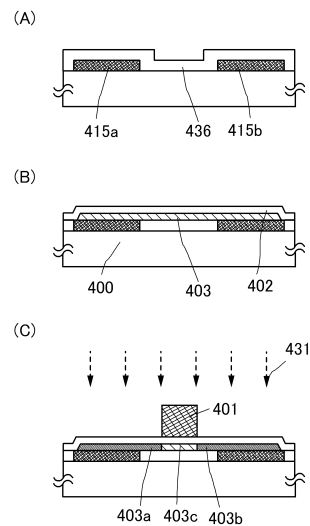
4 2 8	トランジスタ	
4 3 1	不純物元素	
4 3 5 a	電極層	
4 3 5 b	電極層	
4 3 6	下地絶縁層	
4 3 6 a	下地絶縁層	
4 4 0	マスク	
4 4 2	開口	
4 4 4	マスク	
4 4 5 a	電極層	10
4 4 5 b	電極層	
4 4 6	開口	
4 6 5 a	ソース配線層	
4 6 5 b	ドレイン配線層	
8 0 1	トランジスタ	
8 0 3	トランジスタ	
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	
8 0 7	Xデコーダー	20
8 0 8	Yデコーダー	
8 1 1	トランジスタ	
8 1 2	保持容量	
8 1 3	Xデコーダー	
8 1 4	Yデコーダー	
9 0 1	R F回路	
9 0 2	アナログベースバンド回路	
9 0 3	デジタルベースバンド回路	
9 0 4	バッテリー	
9 0 5	電源回路	30
9 0 6	アプリケーションプロセッサ	
9 0 7	C P U	
9 0 8	D S P	
9 0 9	インターフェイス ( I F )	
9 1 0	フラッシュメモリ	
9 1 1	ディスプレイコントローラ	
9 1 2	メモリ回路	
9 1 3	ディスプレイ	
9 1 4	表示部	
9 1 5	ソースドライバ	40
9 1 6	ゲートドライバ	
9 1 7	音声回路	
9 1 8	キーボード	
9 1 9	タッチセンサ	
9 5 0	メモリ回路	
9 5 1	メモリコントローラ	
9 5 2	メモリ	
9 5 3	メモリ	
9 5 4	スイッチ	
9 5 5	スイッチ	50

- 9 5 6 ディスプレイコントローラ
- 9 5 7 ディスプレイ
- 1 0 0 1 バッテリー
- 1 0 0 2 電源回路
- 1 0 0 3 マイクロプロセッサ
- 1 0 0 4 フラッシュメモリ
- 1 0 0 5 音声回路
- 1 0 0 6 キーボード
- 1 0 0 7 メモリ回路
- 1 0 0 8 タッチパネル
- 1 0 0 9 ディスプレイ
- 1 0 1 0 ディスプレイコントローラ

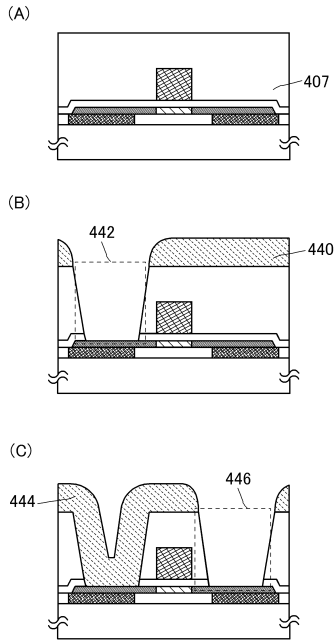
【図1】



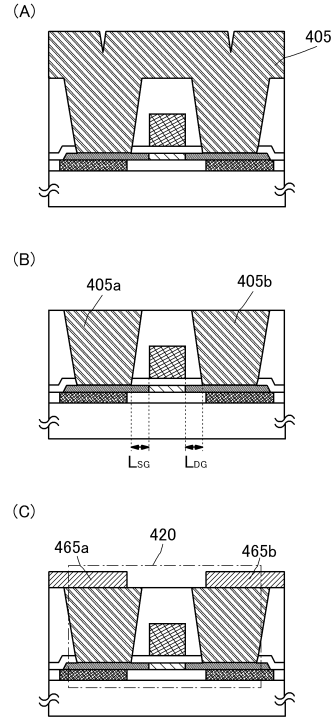
【図2】



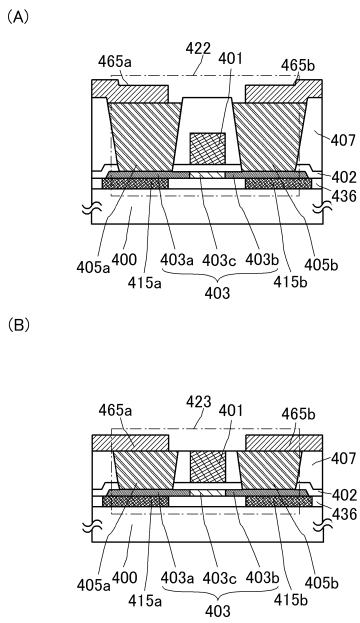
【図3】



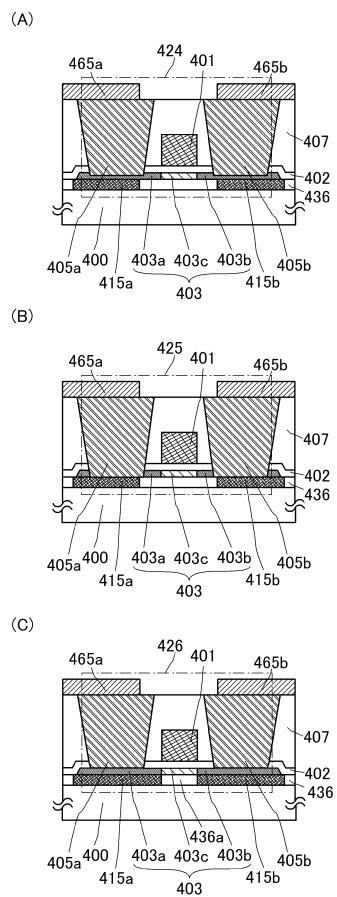
【図4】



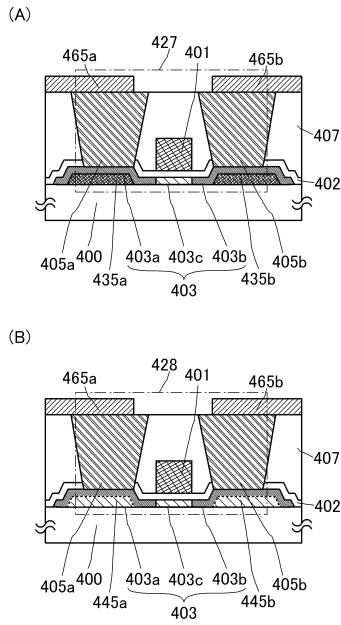
【図5】



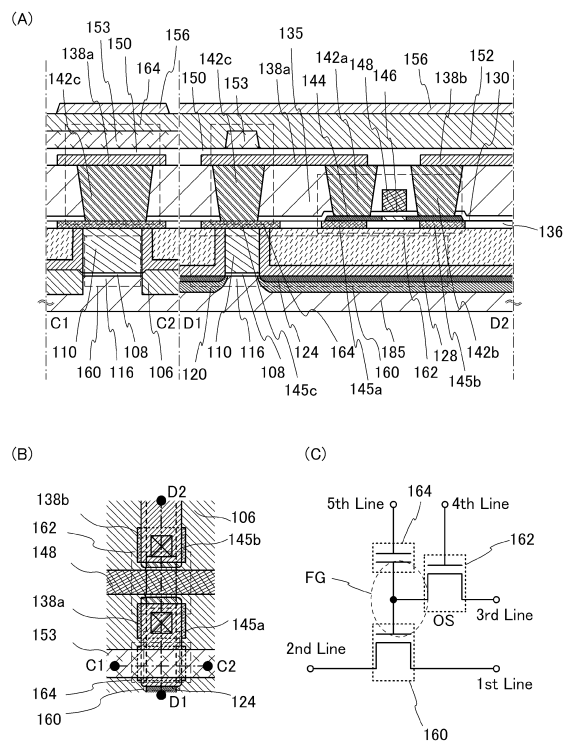
【図6】



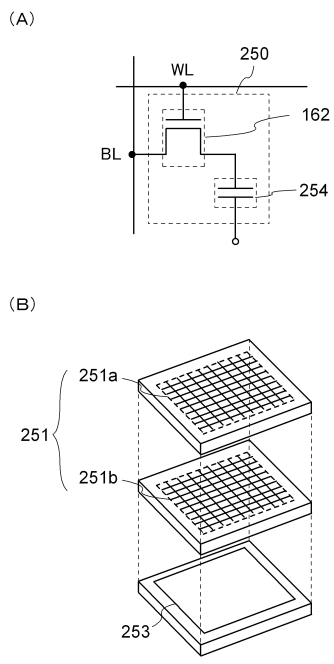
【図7】



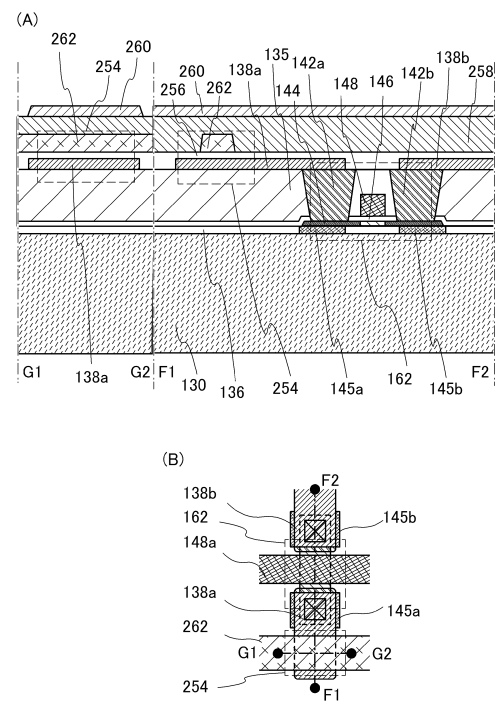
【図8】



【図9】

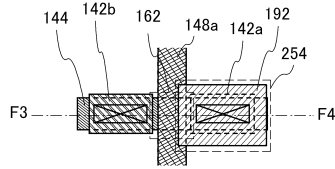


【図10】

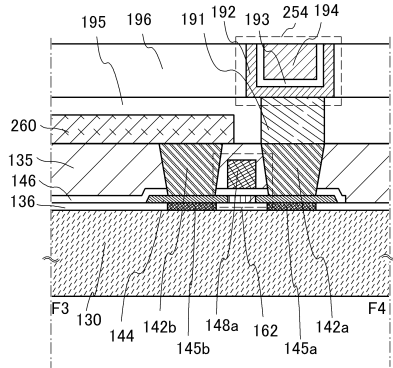


【図11】

(A)

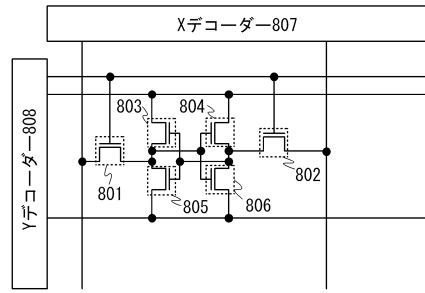


(B)

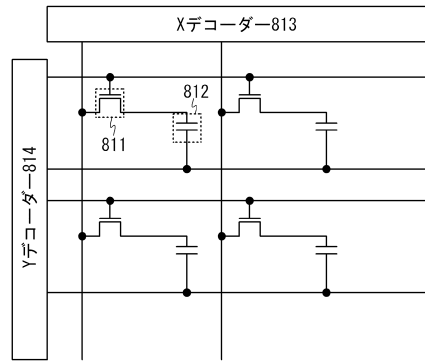


【図12】

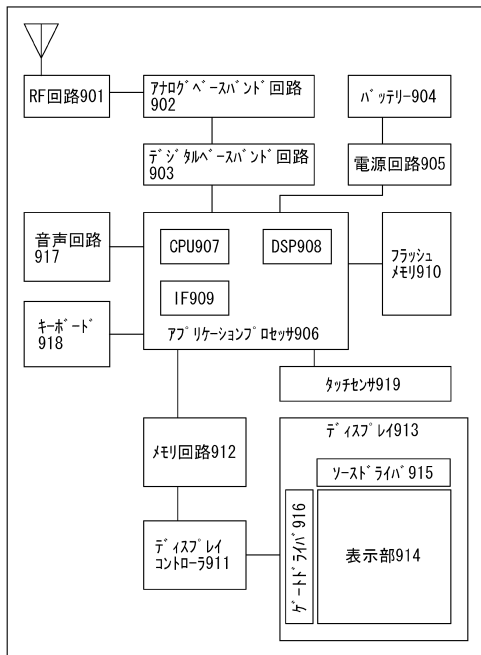
(A)



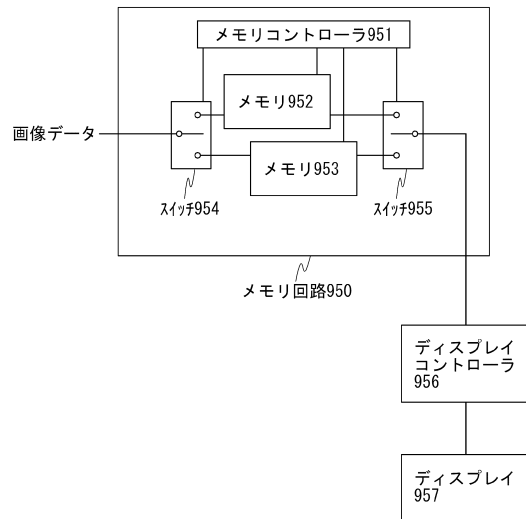
(B)



【図13】

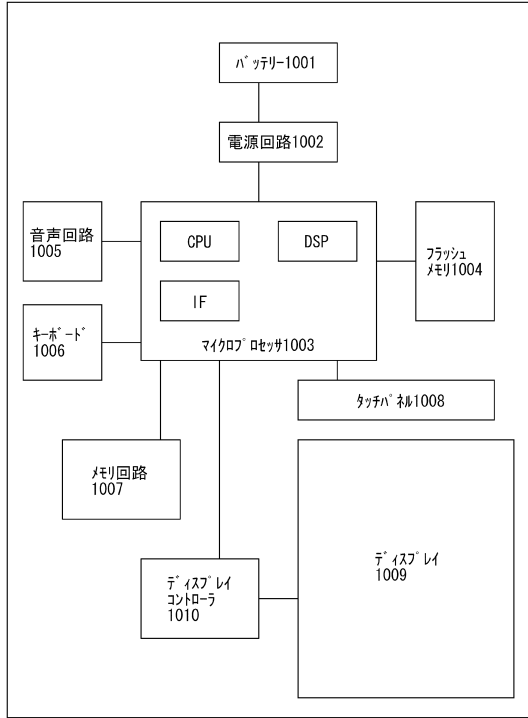


【図14】





【図15】



## フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	27/11	(2006.01)	H 0 1 L	27/10 3 2 1
H 0 1 L	27/10	(2006.01)	H 0 1 L	27/10 3 8 1
H 0 1 L	29/788	(2006.01)	H 0 1 L	27/10 6 1 5
H 0 1 L	29/792	(2006.01)	H 0 1 L	27/10 6 7 1 C
H 0 1 L	21/28	(2006.01)	H 0 1 L	27/10 6 7 1 Z
H 0 1 L	29/417	(2006.01)	H 0 1 L	27/10 4 8 1
H 0 1 L	21/8247	(2006.01)	H 0 1 L	27/10 4 9 5
H 0 1 L	27/115	(2006.01)	H 0 1 L	27/10 4 6 1
H 0 1 L	21/768	(2006.01)	H 0 1 L	29/78 3 7 1
			H 0 1 L	21/28 3 0 1 B
			H 0 1 L	29/50 M
			H 0 1 L	29/78 6 2 6 C
			H 0 1 L	27/10 4 3 4
			H 0 1 L	21/90 C

審査官 岩本 勉

- (56)参考文献 米国特許出願公開第2011/0021326 (US, A1)  
 国際公開第01/057930 (WO, A1)  
 特開2011-211185 (JP, A)  
 特開2008-034819 (JP, A)  
 特開2009-094494 (JP, A)

- (58)調査した分野(Int.Cl., DB名)  
 H 0 1 L 2 1 / 3 3 6、2 9 / 7 8 6