

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 12/00 (2006.01)

H03M 13/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 01122443.6

[45] 授权公告日 2007 年 5 月 23 日

[11] 授权公告号 CN 1317643C

[22] 申请日 2001.7.9 [21] 申请号 01122443.6

[30] 优先权

[32] 2000.10.25 [33] KR [31] 62904/00

[73] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 权亨俊

[56] 参考文献

CN1060731 A 1992.4.29

US5615355 A 1997.3.25

US6023745 A 2000.2.8

US5307314 A 1994.4.26

CN85109458 A 1987.2.11

审查员 刘玲斐

[74] 专利代理机构 北京市柳沈律师事务所

代理人 马莹

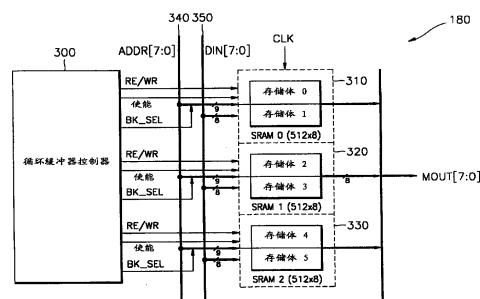
权利要求书 8 页 说明书 11 页 附图 7 页

[54] 发明名称

存储装置、访问存储装置的方法和里德索罗门解码器

[57] 摘要

一种存储装置，采用多个双存储体 RAM 来允许同时写入/读取操作。该存储器可用于高速块流水线式里德索罗门解码器，用于在流水线式处理期间暂时存储输入的码字。存储器控制器允许在每个连续帧周期期间对双存储体 RAM 进行写入和读取，从而每给定数个帧周期读取双存储体 RAM 的每个存储体，并且每相同的给定数个帧周期进行写入，并且在每个连续帧周期期间，读取存储体与写入存储体不同地包含在所述多个双存储体 RAM 的不同的一个中。



1、一种缓冲器电路，用于在每个连续帧周期期间同时写入和读取数据；包括：

多个双存储体 RAM；和

存储器控制电路，连接到所述多个双存储体 RAM，其允许在每个连续帧周期期间对所述多个双存储体 RAM 进行写入和读取，从而每给定数个帧周期读取双存储体 RAM 的每个存储体，并且每给定数个帧周期写入双存储体 RAM 的每个存储体，并且在每个连续帧周期期间，读取存储体与写入存储体包含在不同的双存储体 RAM 中。

2、一种缓冲器电路，用于在每个连续帧周期期间同时写入和读取数据；包括：

第一双存储体 RAM，具有第一存储体和第二存储体；

第二双存储体 RAM，具有第三存储体和第四存储体；

第三双存储体 RAM，具有第五存储体和第六存储体；和

存储器控制电路，连接到所述第一、第二和第三双存储体 RAM，其允许在连续的帧周期期间从所述第一至第六数据存储体中按顺序读取，从而每六个帧周期读取所述第一至第六数据存储体中的每个，并且其允许在连续的帧周期期间按顺序对所述第一至第六数据存储体进行写入，从而每六个帧周期对所述第一至第六数据存储体中的每个进行写入；

其中，在每个所述帧周期期间，包含允许读取的数据存储体的双存储体 RAM 与包含允许写入的数据存储体的双存储体 RAM 不同。

3、如权利要求 2 所述的缓冲器电路，其中，在每个帧周期期间，从被允许读取的数据存储体到被允许写入的数据存储体的偏移为 4 个数据存储体，从而在帧周期 a 中写入的所述第一至第六数据存储体中的每个随后在帧周期 a+4 中读取，其中 a 为整数。

4、如权利要求 2 所述的缓冲器电路，其中，在每个帧周期期间，从被允许读取的数据存储体到被允许写入的数据存储体的偏移为 3 个数据存储体，从而在帧周期 a 中写入的所述第一至第六数据存储体中的每个随后在帧周期 a+3 中读取，其中 a 为整数。

5、如权利要求 2 所述的缓冲器电路，其中，

在第 a 帧周期期间, 其中 a 为整数, 存储器控制电路允许从第一双存储体 RAM 的第一存储体读取, 并且向第三双存储体 RAM 的第五存储体写入,

在第 a+1 帧周期期间, 存储器控制电路允许从第一双存储体 RAM 的第二存储体读取, 并且向第三双存储体 RAM 的第六存储体写入,

在第 a+2 帧周期期间, 存储器控制电路允许从第二双存储体 RAM 的第三存储体读取, 并且向第一双存储体 RAM 的第一存储体写入,

在第 a+3 帧周期期间, 存储器控制电路允许从第二双存储体 RAM 的第四存储体读取, 并且向第一双存储体 RAM 的第二存储体写入,

在第 a+4 帧周期期间, 存储器控制电路允许从第三双存储体 RAM 的第五存储体读取, 并且向第二双存储体 RAM 的第三存储体写入, 并且,

在第 a+5 帧周期期间, 存储器控制电路允许从第三双存储体 RAM 的第六存储体读取, 并且向第二双存储体 RAM 的第四存储体写入。

6、如权利要求 2 所述的缓冲器电路, 其中,

在第 a 帧周期期间, 其中 a 为整数, 存储器控制电路允许从第一双存储体 RAM 的第一存储体读取, 并且向第二双存储体 RAM 的第四存储体写入,

在第 a+1 帧周期期间, 存储器控制电路允许从第一双存储体 RAM 的第二存储体读取, 并且向第三双存储体 RAM 的第五存储体写入,

在第 a+2 帧周期期间, 存储器控制电路允许从第二双存储体 RAM 的第三存储体读取, 并且向第三双存储体 RAM 的第六存储体写入,

在第 a+3 帧周期期间, 存储器控制电路允许从第二双存储体 RAM 的第四存储体读取, 并且向第一双存储体 RAM 的第一存储体写入,

在第 a+4 帧周期期间, 存储器控制电路允许从第三双存储体 RAM 的第五存储体读取, 并且向第一双存储体 RAM 的第二存储体写入, 以及,

在第 a+5 帧周期期间, 存储器控制电路允许从第三双存储体 RAM 的第六存储体读取, 并且向第二双存储体 RAM 的第三存储体写入。

7、一种访问多个双存储体存储器的方法, 所述方法包括允许在每个连续帧周期期间对所述多个双存储体存储器进行写入和读取, 从而每给定数个帧周期读取双存储体 RAM 的每个存储体, 并且在每个给定数个帧周期时写入双存储体 RAM 的每个存储体, 并且在每个连续帧周期期间, 读取存储体与写入存储体包含在不同的双存储体 RAM 中。

8、一种访问多个存储装置的方法, 所述存储装置包括具有第一存储体和

第二存储体的第一双存储体 RAM、具有第三存储体和第四存储体的第二双存储体 RAM、及具有第五存储体和第六存储体的第三双存储体 RAM，所述方法包括：

允许在连续的帧周期期间从所述第一至第六数据存储体中按顺序读取，从而每六个帧周期读取所述第一至第六数据存储体中的每个； 和

允许在连续的帧周期期间按顺序对所述第一至第六数据存储体进行写入，从而每六个帧周期对所述第一至第六数据存储体中的每个进行写入；

其中，在每个所述帧周期期间，包含允许读取的数据存储体的双存储体 RAM 与包含允许写入的数据存储体的双存储体 RAM 不同。

9、如权利要求 8 所述的方法，其中，在每个帧周期期间，从被允许读取的数据存储体到被允许写入的数据存储体的偏移为 4 个数据存储体，从而在帧周期 a 中写入的所述第一至第六数据存储体中的每个随后在帧周期 $a+4$ 中读取，其中 a 为整数。

10、如权利要求 8 所述的方法，其中，在每个帧周期期间，从被允许读取的数据存储体到被允许写入的数据存储体的偏移为 3 个数据存储体，从而在帧周期 a 中写入的所述第一至第六数据存储体中的每个随后在帧周期 $a+3$ 中读取，其中 a 为整数。

11、如权利要求 8 所述的方法，还包括：

在第 a 帧周期期间，其中 a 为整数，从第一双存储体 RAM 的第一存储体读取，并且向第三双存储体 RAM 的第五存储体写入，

在第 $a+1$ 帧周期期间，从第一双存储体 RAM 的第二存储体读取，并且向第三双存储体 RAM 的第六存储体写入，

在第 $a+2$ 帧周期期间，从第二双存储体 RAM 的第三存储体读取，并且向第一双存储体 RAM 的第一存储体写入，

在第 $a+3$ 帧周期期间，从第二双存储体 RAM 的第四存储体读取，并且向第一双存储体 RAM 的第二存储体写入，

在第 $a+4$ 帧周期期间，从第三双存储体 RAM 的第五存储体读取，并且向第二双存储体 RAM 的第三存储体写入，并且，

在第 $a+5$ 帧周期期间，从第三双存储体 RAM 的第六存储体读取，并且向第二双存储体 RAM 的第四存储体写入。

12、如权利要求 8 所述的方法，还包括：

在第 a 帧周期期间，其中 a 为整数，从第一双存储体 RAM 的第一存储体读取，并且向第二双存储体 RAM 的第四存储体写入，

在第 $a+1$ 帧周期期间，从第一双存储体 RAM 的第二存储体读取，并且向第三双存储体 RAM 的第五存储体写入，

在第 $a+2$ 帧周期期间，从第二双存储体 RAM 的第三存储体读取，并且向第三双存储体 RAM 的第六存储体写入，

在第 $a+3$ 帧周期期间，从第二双存储体 RAM 的第四存储体读取，并且向第一双存储体 RAM 的第一存储体写入，

在第 $a+4$ 帧周期期间，从第三双存储体 RAM 的第五存储体读取，并且向第一双存储体 RAM 的第二存储体写入，并且，

在第 $a+5$ 帧周期期间，从第三双存储体 RAM 的第六存储体读取，并且向第二双存储体 RAM 的第三存储体写入。

13、一种流水线式里德索罗门解码器，包括：

多个流水线式处理单元，其接收输入的里德索罗门码字，并且执行计算，以识别包含在输入码字中的差错位置和差错值；和

缓冲器电路，其在由所述多个流水线式处理单元执行计算期间暂时存储输入的码字；

其中，所述缓冲器电路包括：

多个双存储体 RAM；和

存储器控制电路，连接到所述多个双存储体 RAM，其允许在每个连续帧周期期间对所述多个双存储体 RAM 进行写入和读取，从而每给定数个帧周期读取双存储体 RAM 的每个存储体，并且每给定数个帧周期写入双存储体 RAM 的每个存储体，并且在每个连续帧周期期间，读取存储体与写入存储体包含在不同的双存储体 RAM 中。

14、一种流水线式里德索罗门解码器，包括：

多个流水线式处理单元，其接收输入的里德索罗门码字，并且执行计算，以识别包含在输入码字中的差错位置和差错值；和

缓冲器电路，其在由所述多个流水线式处理单元执行计算期间暂时存储输入的码字；

其中，所述缓冲器电路包括：

第一双存储体 RAM，具有第一存储体和第二存储体；

第二双存储体 RAM, 具有第三存储体和第四存储体;

第三双存储体 RAM, 具有第五存储体和第六存储体; 和

存储器控制电路, 连接到所述第一、第二和第三双存储体 RAM, 其能够在连续的帧周期期间从所述第一至第六数据存储体中按顺序读取, 从而每六个帧读取所述第一至第六数据存储体中的每个, 并且其能够在连续的帧周期期间按顺序对所述第一至第六数据存储体进行写入, 从而每六个帧对所述第一至第六数据存储体中的每个进行写入;

其中, 在每个所述帧周期期间, 包含允许读取的数据存储体的双存储体 RAM 与包含允许写入的数据存储体的双存储体 RAM 不同。

15、如权利要求 14 所述的流水线式里德索罗门解码器, 其中, 所述多个流水线式处理单元包括 5 个流水线式处理级, 并且其中, 在每个帧周期期间, 从被允许读取的数据存储体到被允许写入的数据存储体的偏移为 4 个数据存储体, 从而在帧周期 a 中写入的所述第一至第六数据存储体中的每个随后在帧周期 $a+4$ 中读取, 其中 a 为整数。

16、如权利要求 14 所述的流水线式里德索罗门解码器, 其中, 所述多个流水线式处理单元包括 5 个流水线式处理级, 并且其中, 在每个帧周期期间, 从被允许读取的数据存储体到被允许写入的数据存储体的偏移为 3 个数据存储体, 从而在帧周期 a 中写入的所述第一至第六数据存储体中的每个随后在帧周期 $a+3$ 中读取, 其中 a 为整数。

17、如权利要求 14 所述的流水线式里德索罗门解码器, 其中, 所述多个流水线式处理单元在第一模式和第二模式中操作, 在第一模式中, 执行差错和擦除校正, 并且其中操作 5 个流水线式处理级, 而在第二模式中, 仅执行差错校正, 并且其中操作 4 个流水线式处理级,

其中, 在第一模式的每个帧周期期间, 从被允许读取的数据存储体到被允许写入的数据存储体的偏移为 4 个数据存储体, 从而在帧周期 a 中写入的所述第一至第六数据存储体中的每个随后在帧周期 $a+4$ 中读取, 其中 a 为整数, 和

其中, 在第二模式的每个帧周期期间, 从被允许读取的数据存储体到被允许写入的数据存储体的偏移为 3 个数据存储体, 从而在帧周期 a 中写入的所述第一至第六数据存储体中的每个随后在帧周期 $a+3$ 中读取。

18、如权利要求 14 所述的流水线式里德索罗门解码器, 其中, 所述多个

流水线式处理单元和缓冲器电路响应于相同的时钟信号速率进行操作。

19、如权利要求 14 所述的流水线式里德索罗门解码器，其中，每个码字包含 n 个字节，并且其中所述第一至第六存储体中的每个具有 n 个字节的容量，其中 n 为正整数。

20、如权利要求 19 所述的流水线式里德索罗门解码器，所述多个流水线式处理单元中的每个的最大等待时间为 n 个循环，并且每个帧周期为 n 个循环。

21、一种用于高速块流水线式里德索罗门解码器的存储装置，所述解码器用于通过对从外部接收到的数据进行解码来进行差错校正，被写入接收数据和从其读取数据的所述存储装置包括：

多个存储器，其每个均具有双存储体，所述存储器由写入/读取命令和使能信号启动；和

循环缓冲器控制器，用于向所述多个存储器施加用于选择对应的存储器的使能信号和写入/读取命令，并且以写入存储体指针和读取存储体指针之间的预定偏移来设定写入存储体指针和读取存储体指针，从而从不同的存储器中选择写入和读取每帧数据的存储体。

22、如权利要求 21 所述的存储装置，其中，所述多个存储器包括 3 个随机存取存储器 RAM，其每个均具有双存储体，并且每个存储体存储帧数据。

23、如权利要求 21 所述的存储装置，其中，当里德索罗门解码器执行差错和擦除校正时，所述循环缓冲器控制器以写入存储体指针和读取存储体指针之间的 4 个存储体的偏移来设定写入存储体指针和读取存储体指针。

24、如权利要求 21 所述的存储装置，其中，当里德索罗门解码器仅执行差错校正时，所述循环缓冲器控制器以写入存储体指针和读取存储体指针之间的 3 个存储体的偏移来设定写入存储体指针和读取存储体指针。

25、一种访问均具有双存储体的多个存储器的方法，所述多个存储器用于对从外部接收到的数据解码并且校正差错的高速块流水线式里德索罗门解码器，所述方法包括下列步骤：

(a)根据差错校正模式以写入存储体指针和读取存储体指针之间的预定偏移来对每帧数据设定写入存储体指针和读取存储体指针，其中，写入存储体指针和读取存储体指针中的每个的数目对每帧数据递增；

(b)确定数据写入命令或数据读取命令是否施加到所述多个存储器中的

一个;

(c)从由步骤(b)的数据写入命令应用而被允许的一个存储器中选择由写入存储体指针指示的存储体, 并且将数据写入所选存储体;

(d)从由步骤(b)的数据读取命令应用而被允许的一个存储器中选择由读取存储体指针指示的存储体, 并且从所选存储体读取数据; 和

(e)重复步骤(b)至(d), 直至完成数据解码, 其中步骤(c)和(d)同时执行。

26、如权利要求 25 所述的方法, 其中步骤(a)包括:

(a1)确定是否执行差错和擦除校正两者;

(a2)如果确定将要执行差错和擦除校正两者, 则以 4 个存储体的偏移设定写入存储体指针和读取存储体指针;

(a3) 如果确定将不执行差错和擦除校正两者, 则确定是否将仅执行差错校正; 和

(a4)如果确定将仅执行差错校正, 则以 3 个存储体的偏移设定写入存储体指针和读取存储体指针。

27、一种高速块流水线式里德索罗门解码器, 具有用于对从外部接收到的数据进行解码并且校正差错的多个组成部件, 所述里德索罗门解码器包括下列组成部件:

并发位产生器, 用于从接收数据中产生并发位;

存储装置, 包括多个均具有双存储体的存储器, 其中接收数据被写入所述多个存储器中一个存储器的一存储体中, 并且读取被写入其他存储器中的一个的一存储体中的数据;

多项式系数产生器, 采用所产生的并发位产生差错定位器多项式和差错估计器多项式的系数;

差错位置搜索和差错值计算部分, 用于采用具有所产生系数的差错定位器多项式和差错估计器多项式, 来搜索差错位置并计算差错值; 和

差错校正器, 用于根据从差错位置搜索和差错值计算部分输出的差错位置和差错值, 对从所述存储装置输出的数据的差错进行校正。

28、如权利要求 27 所述的里德索罗门解码器, 其中, 所述存储装置包括均具有双存储体的 3 个随机存取存储器 RAM, 不同 RAM 的存储体被允许对接收数据的每帧进行写入和读取。

29、如权利要求 28 所述的里德索罗门解码器, 其中, 在所述存储装置中,

以写入存储体指针和读取存储体指针之间的第一偏移来设定写入存储体指针和读取存储体指针，以选择用于对接收数据的每帧进行写入和读取的存储体。

30、如权利要求 27 所述的里德索罗门解码器，还包括：

标记计数器和标记缓冲器，用于对与接收数据同步输入的擦除标记进行计数，并对擦除标记进行缓冲；

擦除定位器多项式产生器，用于采用缓冲的擦除标记来产生擦除定位器多项式；和

并发位改变器，用于采用缓冲的擦除标记改变由所述并发位产生器产生的并发位，并且将改变的并发位施加到多项式系数产生器，其中，所述多项式系数产生器采用擦除定位器多项式和改变的并发位来计算差错定位器多项式和差错估计器多项式的系数。

31、如权利要求 30 所述的里德索罗门解码器，其中，在所述存储装置中，以写入存储体指针和读取存储体指针之间的第一偏移来设定写入存储体指针和读取存储体指针，以选择用于对接收数据的每帧进行写入和读取的存储体。

32、如权利要求 27 所述的里德索罗门解码器，其中，用于向所述存储装置写入数据的数据输入时钟信号、和用于对所述里德索罗门解码器的每个组成部分进行操作的系统时钟信号是相同的。

存储装置、访问存储装置的方法和里德索罗门解码器

技术领域

本发明涉及在数字设备中使用的用于暂时存储数据的存储器。本发明尤其涉及用于采用双存储体(dual-bank)存储器对数据进行缓冲的电路和方法,更具体地涉及用于在高速块流水线式里德索罗门解码器中对数据的缓冲。

背景技术

当发送或存储大量数字数据时,不可避免地在数据信道或发送介质中出现差错。已知有各种技术来识别这些差错并且当可行时恢复数据。在这些技术中,已广泛采用了里德索罗门编码。里德索罗门代码是基于块的差错校正码,其表现出优异的纠错性能和有效的编码及解码特性,从而在数字通信和存储领域得到了广泛的应用。

一般,通过将 $2t$ 个奇偶校验码元与具有 k 个码元的数据的数据块相加,里德索罗门编码器形成包含 n 个码元(如 8 比特字节)的码字,从而 $2t=n-k$ 。通常里德索罗门码字由字符 $RS(n, k)$ 来指定。例如,在代码 $RS(255, 223)$ 情况下,每个码字包含 255 个码字字节,其中的 223 个字节为数据,32 个字节为奇偶校验位。

另一方面,里德索罗门解码器处理每个码字,以试图对在发送或存储期间出现的差错进行校正并恢复原始数据。该解码器能够校正每个码字中的多至 t 个差错码元。例如,在代码 $RS(255, 223)$ 情况下, $n-k=2t=32$, 因此,能够校正每个码字中的多至 16 个码元。

一般,当执行差错和擦除校正时,里德索罗门解码处理可被分成 8 个主要的计算步骤。当码元值不正确时出现“擦除”,但码元位置是未知的。当不知道不正确码元的信息时,出现“差错”。差错和擦除解码的计算步骤包括:(1)从所接收到的/检索到的输入码字计算并发位(syndrome),以检测是否存在差错;(2)对与输入的码字同步地提供的擦除标记进行缓冲;(3)采用擦除标记对并发位进行修改;(4)产生擦除定位器多项式;(5)采用修改的并发位值和擦除定位器多项式,来计算差错定位器多项式和差错估计器多项式的系数;(6)求出差错定位器多项式的根;(7)计算差错值的幅值;和(8)采用在步骤(4)得到

的值和在步骤(3)得到的位置来对差错进行校正。仅对于差错校正(即,无擦除校正),省略步骤(2)、(3)和(4)。

上述步骤(1)和(8)需要存储器访问。亦即,在步骤(1),所接收到的码字被暂时存储于存储器中,而以后在步骤(8)中被从存储器中检索出以被校正。

里德索罗门解码器的解码计算(和相关的硬件和/或软件)比编码处理的更复杂,经常难以实现具有足够高的处理速度的解码器。对于当前的高速数字数据处理系统的需求而言,这尤其是个问题。

为了增大速度,里德索罗门解码器的计算的流水线技术是个可能的解决方案。但是,这种计算随差错数目和码字长度的不同而有所不同,因此,流水线技术受到具有最长等待时间(latency)的单元或块的限制。此外,即使处理块的等待时间被减小到 n 个周期的单个帧(即,一个码字),用于在校正之前暂时存储输入码字的存储器仍引起瓶颈效应,即,至少需要 $2n$ 个周期来首先存储码字,然后检索码字用于其校正。

发明内容

本发明的目的是提供一种存储装置、和访问存储装置的方法,其高速执行读取/写入操作,从而可有益地与高速块流水线式里德索罗门解码器结合使用,并且提供一种具有最小存储器访问时间的高速块流水线式里德索罗门解码器。

根据本发明的一个方面,允许在每个连续帧周期期间对多个双存储体RAM进行写入和读取,从而在每个给定数个帧周期时读取双存储体RAM的每个存储体,并且在相同的给定数个帧周期时写入双存储体RAM的每个存储体,并且在每个连续帧周期期间,读取存储体与写入存储体包含在不同的双存储体RAM中。

根据本发明的另一方面,存储器包括:第一双存储体RAM,具有第一存储体和第二存储体;第二双存储体RAM,具有第三存储体和第四存储体;和第三双存储体RAM,具有第五存储体和第六存储体。在连续的帧周期期间允许从第一至第六数据存储体中按顺序读取,从而每六个帧周期读取第一至第六数据存储体中的每个,并且允许在连续的帧周期期间按顺序对第一至第六数据存储体进行写入,从而每六个帧周期对第一至第六数据存储体中的每个进行写入。另外,在每个帧周期期间,包含允许读取的数据存储体的双存储体RAM与包含允许写入的数据存储体的双存储体RAM不同。

根据本发明的又一方面，在每个帧周期期间，从被允许读取的数据存储体到被允许写入的数据存储体的偏移为4（或3）个数据存储体，从而在帧周期 a 中写入的所述第一至第六数据存储体中的每个随后在帧周期 $a+4$ （或 $a+3$ ）中读取，其中 a 为整数。

根据本发明的再一方面，上述双存储体存储器与多个流水线式处理单元结合使用，该处理单元接收输入的里德索罗门码字并且执行计算以识别包含在输入码字中的差错值和差错位置。最好，多个流水线式处理单元和存储器响应于相同的时钟信号速率进行操作。

根据本发明的再一方面，每个码字包含 n 个字节，并且每个存储器存储体具有 n 个字节的容量，其中 n 为正整数。最好，多个流水线式处理单元中的每个的最大等待时间为 n 个循环，并且每个存储器访问帧周期为 n 个循环。

附图说明

通过参照附图的如下详细描述，本发明的上述和其他目的及优点将变得更加清楚，附图中：

图1是本发明高速块流水线式里德索罗门解码器的方框图；

图2的示意图描述的是图1的里德索罗门解码器的处理块的等待时间；

图3的方框图表示的是本发明双存储体 3-RAM 装置的优选实施例；

图4的流程图表示的是本发明访问双存储体 3-RAM 装置的方法的优选实施例；

图5和6的示意图描述的是在图3的双存储体 3-RAM 装置的写入/读取操作期间的存储体的选择；和

图7的时序图表示的是图1的里德索罗门解码器的流水线操作。

具体实施方式

图1表示本发明高速流水线式里德索罗门解码器。该实施例的里德索罗门解码器能够进行差错和擦除校正。如所示，里德索罗门解码器的计算被以流水线方式分成5个级 $S1$ 至 $S5$ 。

仅对于差错校正，图1的配置将去除虚线110中所包含的部件，在这种情况下仅需要流水线式的四(4)个级。

图1的实施例的里德索罗门解码器上设有双存储体 3-RAM 装置180，用于暂时存储输入数据 DIN ，即，码字 $R(x)$ 。该装置由3个存储器构成，例如由3个RAM构成，其每个具有两个存储体。响应于数据输入时钟信号 CLK ，

采用循环控制机制来执行写入/读取操作。简言之，双存储体 3-RAM 装置 180 将输入数据 DIN 写入从 3 个 RAM 中选出的一个 RAM 的一个存储体中，并且从其他 RAM 之一中的一个存储体中读取数据。双存储体 3-RAM 装置 180 的结构和操作将在后面参照图 3 进行更详细的描述。

仍参照图 1，里德索罗门解码器（用于差错和擦除校正）还包括并发位产生器 100、标记计数器和标记缓冲器 120、擦除定位器多项式产生器 130、并发位改变器 140、多项式系数产生器 150、差错值估计器 160、差错位置搜索器 170、和差错校正器 190。如前所述，由这些部件执行的计算被以流水线方式分成级 S1 至 S5。

在级 S1，并发位产生器 100 根据输入数据 DIN 计算并发位 $S(x)$ 。另外，标记计数器和标记缓冲器 120 对与输入数据 DIN 同步地提供的擦除标记 Era_Flag 的数目进行计数，并且对擦除标记 Era_Flag 进行缓冲。对此，如果没有擦除标记 Era_Flag，或者如果输入的擦除标记 Era_Flag 的数目超过可允许校正范围，则专门执行差错校正。亦即，可允许校正范围被限定为：如果输入的擦除标记 Era_Flag 的数目比可允许校正范围的擦除标记的数目多，则单独执行差错校正。另外，标记计数器和标记缓冲器 120 不包括在单独为差错校正配置的里德索罗门解码器中。

在级 S2，并发位改变器 140 采用缓冲的擦除标记对由并发位产生器 100 产生的并发位 $S(x)$ 进行改变。（仅对于差错校正，不改变并发位 $S(x)$ ，并且省略并发位改变器 140。）擦除定位器多项式产生器 130 采用缓冲的擦除标记来产生擦除定位器多项式。如前所述，当输入的擦除标记 Era_Flag 的数目等于零或者超出可允许校正范围时，单独执行差错校正。在这种情况下，擦除定位器多项式 130 产生一常数（如 1 值）来替代擦除定位器多项式。

在级 S3，多项式系数产生器 150 采用改变的并发位 $T(x)$ 和擦除定位器多项式（或常数 1）来产生用于差错位置搜索的差错定位器多项式 $\sigma(x)$ 和用于差错估计的差错估计器多项式 $e(x)$ 的系数。在该实施例中，多项式系数产生器 150 采用欧几里德(Euclidean)算法。但是，可理解的是，也可采用其他已知的算法。另外，仅对于差错校正，排除包含在块 110 中的部件，因此，采用（未改变的）并发位 $S(x)$ 和常数 1 来产生差错定位器多项式 $\sigma(x)$ 和差错估计器多项式 $e(x)$ 的系数。

在级 S4，差错值估计器 160 计算差错值，而差错位置搜索器 170 根据差

错定位器多项式 $\sigma(x)$ 和差错估计器多项式 $e(x)$ 的系数来计算差错位置。例如，可采用陈氏(Chien)搜索算法来计算差错定位器多项式 $\sigma(x)$ 的解，并将所得到的解转换成多项式形式。表示为 $\Omega(x)$ 的所转换的差错定位器多项式被用来计算差错位置。类似地，差错值估计器 160 根据由多项式系数产生器 150 提供的系数来计算差错估计器多项式 $E(x)$ 。这里，差错位置搜索器 170 和差错值估计器 160 可以统一地称作“差错位置和差错值估计器”。

在级 S5。图 1 的差错校正器 190 访问双存储体 3-RAM 装置 180，以读取事先写入其中的数据 DIN，然后参照由差错位置搜索器 170 标识出的差错位置并参照由差错值估计器 160 计算出的差错值来对读取数据的差错进行校正。具体地讲，通过求出输入数据 DIN 与计算出的差错值之和，差错校正器 190 对包含在从双存储体 3-RAM 装置 180 检索出的输入数据 DIN 中的差错进行校正，从而获得输出数据 DOUT (校正过的数据 $R'(x)$)。

尽管未示出，图 1 的里德索罗门解码器的每个流水线式处理块响应于系统时钟信号来执行相应的 S1 至 S5 的计算。

图 2 表示的是图 1 的里德索罗门解码器的级 S1 至 S5 的等待时间。如所示，级 S1、S2、S4 和 S5 的每个处理块的最大等待时间为 n 个循环 (1 帧)，其中 n 是每个码字中的字节数。类似地，级 S3 的处理块的最大等待时间也是 n 个循环。对此，要注意的是，2000 年 3 月 20 日提出的、序列号为 09/528,676 的美国同时待审专利申请提出了一种将第三级 S3 (多项式系数产生) 的最大等待时间降低到 n 个循环的技术，该专利申请引用与此以资参考。

因此，如图 2 所示，里德索罗门计算块的最大等待时间为 n 个循环。通常，流水线方式受到具有最长等待时间的单元或块的限制。但是，即使在处理块的最大等待时间为 n 个循环或 1 帧时，在校正之前采用传统的里德索罗门解码器存储器来暂时存储输入的码字将引起瓶颈效应。这是因为，传统的存储器至少需要 $2n$ 个循环或 2 个帧来首先在级 S1 存储码字，然后在级 S5 检索该解码用于校正。对比之下，并且如下所述，本发明的双存储体 3-RAM 装置通过将存储器写入/读取操作的等待时间降低到 n 个循环或 1 帧而克服了该缺点。

图 3 是图 1 所示双存储体 3-RAM 装置 180 的优选实施例的方框图。如图 3 所示，双存储体 3-RAM 装置 180 包括循环缓冲器控制器 300、第一双存储体 RAM 310、第二双存储体 RAM 320、和第三双存储体 RAM 330。第一

双存储体 RAM 310 被分成 BANK 0 和 BANK 1, 第二双存储体 RAM 320 被分成 BANK 2 和 BANK 3, 第一双存储体 RAM 330 被分成 BANK 4 和 BANK 5。由 8 比特地址总线 340 提供地址信号 ADDR[7: 0], 由 8 比特数据总线提供输入数据 DIN [7: 0]。双存储体 3-RAM 装置 180 的输出是 8 比特并行信号 MOUT [7: 0], 并且被提供给图 1 所示的差错校正器 190。

循环缓冲器控制器 300 向每个 RAM 310、320 和 330 提供读取/写入命令 RE/WR、使能信号 EENABLE、和存储体选择信号 BK_SEL。读取/写入命令 RE/WR 规定了每个 RAM 310、320 和 330 的读取或写入操作, 使能信号 EENABLE 有选择地使能每个 RAM 310、320 和 330。另外, 存储体选择信号 BK_SEL 被加到地址信号 ADDR[7: 0], 以便选择每个 RAM 310、320 和 330 的两个存储体中的一个。例如, 如果存储体选择信号 BK_SEL 为 0, 则选择相应 RAM 的两个存储体中的第一存储体, 如果存储体选择信号 BK_SEL 为 1, 则选择相应 RAM 的两个存储体中的第二存储体。以这种方式, 读取/写入命令 RE/WR、使能信号 EENABLE、和存储体选择信号 BK_SEL 一起作为写入存储体指针和/或读取存储体指针, 其规定所选单独的 RAM 310、320 和 330 的写入和/或读取。

在操作时, 循环缓冲器控制器 300 在每个存储器周期有效地设定写入存储体指针和读取存储体指针。这些写入和读取存储体指针被这样设定, 使得写入存储体和读取存储体为 RAM 310、320 和 330 中不同的, 并且逐存储器周期地在写入存储体和读取存储体之间保持预定的偏移。以这种方式, 在每个连续的存储器周期中, 可以同时执行一帧数据 (即, 一个码字) 的写入和另一帧数据的读取。

更具体地讲, 在每个存储器周期中, 并且与时钟信号 CLK 同步, 循环缓冲器控制器 300 将使能信号 ENABLE 施加到 RAM 310、320 和 330 中的两个中, 从而使能这两个相应的 RAM。另外, 循环缓冲器控制器 300 将读取命令 RE 施加到两个使能的 RAM 中的一个, 并且将写入命令施加到两个使能的 RAM 中的另一个。再者, 循环缓冲器控制器 300 将 1 比特选择信号 BK_SEL 加到提供给每个使能的 RAM 的地址信号 ADDR [7:0]上。从而选择每个使能 RAM 中的两个存储体之一。(9 比特地址信号被有效地施加到每个 RAM 310、320 和 330。)因此, 对于每个存储器周期, 一个 RAM 的一存储体被写入使能, 而不同 RAM 的一存储体被读取使能。

每个 RAM 310、320 和 330 可被实现为静态随机存取存储器（即，SRAM 0、SRAM 1 和 SRAM 2）。最好，每个存储体的存储容量足以存储一个帧或码字的数据。通常，每个存储体应因此对 RS(n, k)码具有 n 个码元（字节）的容量，并且每个 RAM 应具有 2n 个码元的容量。在图 3 的示例中，每个双存储体 RAM 的存储体能够存储在有限(Galois)域 $GF(2^8)$ 上最大长度为 256 个字节的数据。

下面的表 1 表示了当在有限(Galois)域 $GF(2^m)$ 上出现里德索罗门 (RS) 码(n, k)时每个 RAM 和每个存储体的尺寸，其中，n 为码字的长度（码元或字节数），k 为在编码之前输入的数据的长度（码元或字节数），而 m 为每个字节的比特数。

表 1

	存储体尺寸	RAM 尺寸	数据宽度	地址宽度
RS(n, k)码 $GF(2^m)$	n	2n	m	P+1, 其中, P 为满足 $\log_2 n \leq P$ 的最小整数
如果 n = 256, 并且 m=8	256	512	8	8+1=9

这里，存储器地址宽度被定义为通过将 1 加到满足 $\log_2 n \leq P$ 条件的最小整数 P 而得到的值。如前所述，添加 1 是采用 RAM 地址的 MSB 来选择存储体的结果。如表 1 所示，当 n=256 并且 m=8 时，存储体尺寸为 256 字节，RAM 尺寸为 512 字节。这里，数据宽度为 8 比特，地址宽度为 9 比特。

下面将参照图 3 和 4 来描述双存储体 3-RAM 装置 180 的操作，其中，图 4 的流程图表示的是访问上述参照图 3 讨论过的双存储体 3-RAM 装置 180 的方法。

当访问双存储体 3-RAM 装置 180 时，对里德索罗门解码器的操作模式进行识别，即，是要执行差错和擦除校正两者，还是单独执行差错校正。参照图 4，写入存储体指针和读取存储体指针的设定对于差错和擦除校正（步骤 400）以及对于单独的差错校正（步骤 410）是不同的。

具体地讲，在步骤 402，进行是否执行差错和擦除校正两者的确定。如前所述，这是通过检查与输入数据 DIN 同步地输入的擦除标记 Era_Flag 的数

目来进行的。如果有一个或多个擦除标记 Era_Flag 直至可允许最大值，则执行差错和擦除校正两者。

如果在步骤 402 确定将要执行差错和擦除校正两者，则执行步骤 404，此时，循环缓冲器控制器 300 将写入存储体指针与读取存储体指针之间的偏移设定为 4 个存储体。写入存储体指针与读取存储体指针之间的该偏移将参照图 5 进行更详细的描述。在图 5 示例的第一帧 T50 中，读取指针被设定为第一 RAM 的 BANK 0，而写入指针被设定为第三 RAM 的 BANK 4。因此从读取存储体指针到写入存储体指针的偏移为 4 个存储体。然后，在如图 5 所示的每个连续帧中增大读取和写入指针，并且在每个帧中保持从读取存储体指针到写入存储体指针的 4 个存储体的偏移。如果读取存储体指针被表示为 BANK#，则写入存储体指针被表示为 $BANK(\#+4)MOD\ 6$ ，其中数字 6 表示的是存储体总数。

如果随机地认为在“第一”帧中出现任意特定存储体的写入，则偏移 4 将导致“第五”帧中相同特定存储体的读取。例如，考虑到图 5 中第三 RAM 的 BANK 4。该存储体被写入第一帧 T50，然后在第五帧中读取。该时序对应于里德索罗门解码器中用于差错和擦除校正两者的流水线式计算的级数(5)。因此，如果输入数据 DIN 在第一计算级被写入 BANK 4，则可在流水线式解码器的第五计算级从 BANK 4 读取相同的数据 DIN。

回过来参照图 4，如果在步骤 402 相反地确定为仅将执行差错校正，则执行步骤 414，此时，循环缓冲器控制器 300 将写入存储体指针与读取存储体指针之间的偏移设定为 3 个存储体。当没有擦除标记 Era_Flag 输入时，或者当擦除标记 Era_Flag 的输入数目超出可允许校正范围时，仅出现差错校正。下面将参照图 6 来描述写入存储体指针与读取存储体指针之间的 3 个存储体的偏移。在图 6 示例的第一帧 T60 中，读取指针被设定为第一 RAM 的 BANK 0，而写入指针被设定为第二 RAM 的 BANK 3。因此从读取存储体指针到写入存储体指针的偏移为 3 个存储体。然后，在如图 6 所示的每个连续帧中递增读取和写入指针，并且在每个帧中保持从读取存储体指针到写入存储体指针的 3 个存储体的偏移。如果写入存储体指针被表示为 BANK#，则写入存储体指针被表示为 $BANK(\#+3)MOD\ 6$ 。

如果随机地认为在“第一”帧中出现任意特定存储体的写入，则偏移 3 将导致“第四”帧中相同特定存储体的读取。例如，考虑到图 6 中第二 RAM

的 BANK 3。该存储体被写入第一帧 T60，然后在第四帧中读取。该时序对应于里德索罗门解码器中仅用于差错校正的流水线式计算的级数（4）。因此，如果输入数据 DIN 在第一计算级被写入 BANK 3，则可在流水线式解码器的第四计算级从 BANK 3 读取相同的数据 DIN。

回过来参照图 4，当已在步骤 S420 施加写入命令时，在步骤 430，输入数据 DIN 被写入由写入存储体指针指定的存储体。类似地，当已在步骤 S440 施加读取命令时，在步骤 450，从由读取存储体指针指定的存储体读取先前写入的输入数据 DIN。然后，在步骤 460，由此读取的数据 DIN 被如上所述地用于差错和/或擦除的校正中。

如图 4 所示，同时执行数据的写入和读取。如果在步骤 470 尚未完成编码，则通过返回到步骤 420 和 440 对下一个存储器帧进行操作，继续解码处理。

如图 5 和 6 所示，写入存储体指针和读取存储体指针之间的偏移被设定，以防止相同 RAM 内的冲突（同时访问），并且允许进行与流水线式解码器的计算级时序相一致的写入和读取操作。由此，存储器访问时序可以被预定，并且与系统时钟相一致，从而可快速地实现里德索罗门解码器的解码而无存储器瓶颈。

表 2 以比较方式示出了具有单个循环 RAM 的解码器和采用 3 个循环 RAM 的本发明里德索罗门解码器所需的存储器访问周期数目。

表 2

RS(n, k)码	写入周期	读取周期	总读取和写入周期	所需存储器访问周期	相对于数据输入时钟所需的系统时钟
1 RAM	n	n	2n	>2n	>2x
3 RAM	n	n	2n	n	1x

如表 2 所示，假设向 RAM 写入数据和从 RAM 读取数据的每个周期为“n”，则在采用单个 RAM 时，每帧数据访问存储器所需的周期数目为“2n”，而在 3 个 RAM 情况下仅为“n”。另外，当采用一个 RAM 时，系统时钟速率必须增大到数据输入时钟速率的 2 或 3 倍。另一方面，当如本发明采用 3 个 RAM 时，系统时钟速率可以与数据输入时钟速率相同。其结果是，可以以较

低的系统时钟信号来实现数据的写入和读取。

表 3 表示的是在对于 256 字节码字采用 SRAM 情况下，单个 RAM 存储器和本发明双存储体 3-RAM 装置之间的尺寸和操作速度比较。

表 3

存储器	尺寸		相对速度
	绝对	相对	
1 RAM (1536 字节)	10996	0.66x	<0.5x
3 RAM (512*3 字节)	5573*3	1	1

如表 3 所示，当码字长度为 256 字节时，单个 1536 字节 SRAM 的尺寸比本发明 3 个 512 字节 SRAM 配置的小 0.66 倍。但是，3 个 SRAM 的操作速度是单个 SRAM 的两倍。另外，当整体考虑里德索罗门解码器时，由采用 3 个 SRAM 导致的其尺寸增大的百分比与增大的操作速度相比被忽略掉。

图 7 表示的是本发明实施例块流水线式里德索罗门解码器的解码处理的时序图。如图 7 所示，起始等待时间延迟 T_{70} 为 $4*n$ 个周期，并且在起始等待时间延迟 T_{70} 之后，每 n 个周期输出差错校正的数据 $DOUT$ (即, $R'(x)$)。此后，一旦在第五和第六帧中实现全部流水线操作，则可以执行采用 $S(x)$ 计算的数据写入和采用 $R'(x)$ 计算的数据读取两者而无瓶颈效应，因为写入/读取操作的等待时间为 n 个周期。在图 7 中， T_{75} 表示在实际处理过程中的吞吐量延迟间隔，而不是等待时间延迟间隔。

本发明的双存储体 3-RAM 装置和本发明采用双存储体 3-RAM 装置的里德索罗门解码器具有宽的应用范围，例如包括高清晰度数字通用盘(HD=DVD)等光盘系统、HDTV、卫星通信、IMT 等无线通信设备、千兆以太网等网络系统、和超高速系统。

在本发明的双存储体 3-RAM 装置中，用于访问存储器的数据输入时钟可用作系统时钟，从而简化了半导体装置的制造，降低了功耗，并且提高了操作速度。另外，可以使访问存储器所需的时间最小，以使得系统时钟受存储器访问时间的影响小，从而确实提高了在系统设计时各块之间时序边界的自由度。另外，双存储体 3-RAM 装置允许高速传输，而这尤其适用于高速流水线式里德索罗门解码器和采用里德索罗门解码器的超高速系统。

在附图和说明书中，尽管采用了特定术语，对本发明的典型优选实施例

进行了公开，它们是在通用和示范意义上进行使用的，而非用于限定的目的。本领域内的普通技术人员将理解的是，可在不背离由所附权利要求限定的宗旨和范围情况下，对上述实施例进行形式和细节上的各种改变。

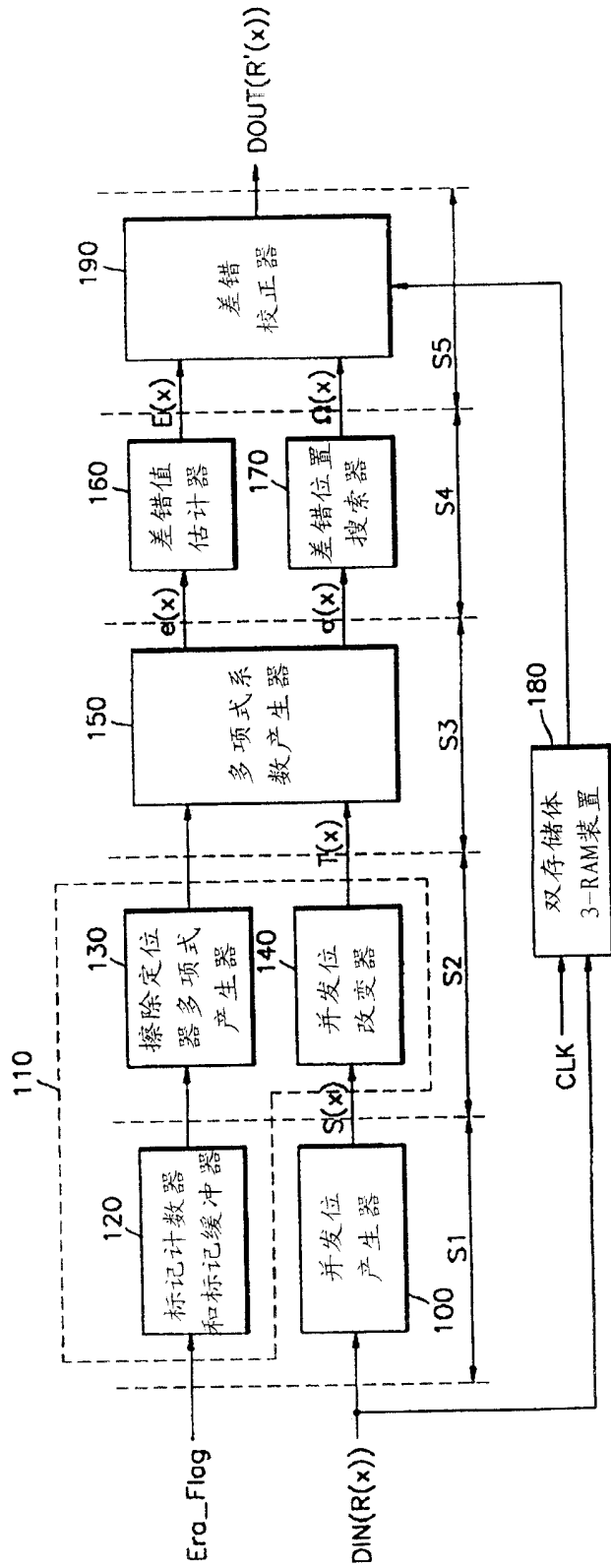


图 1

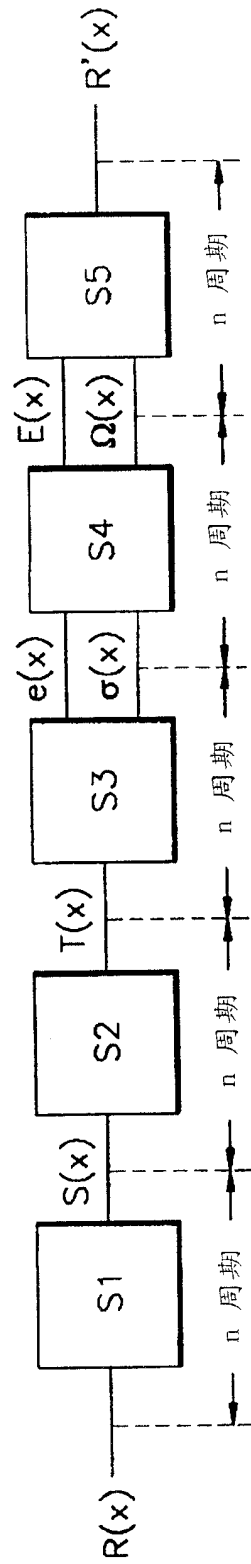


图 2

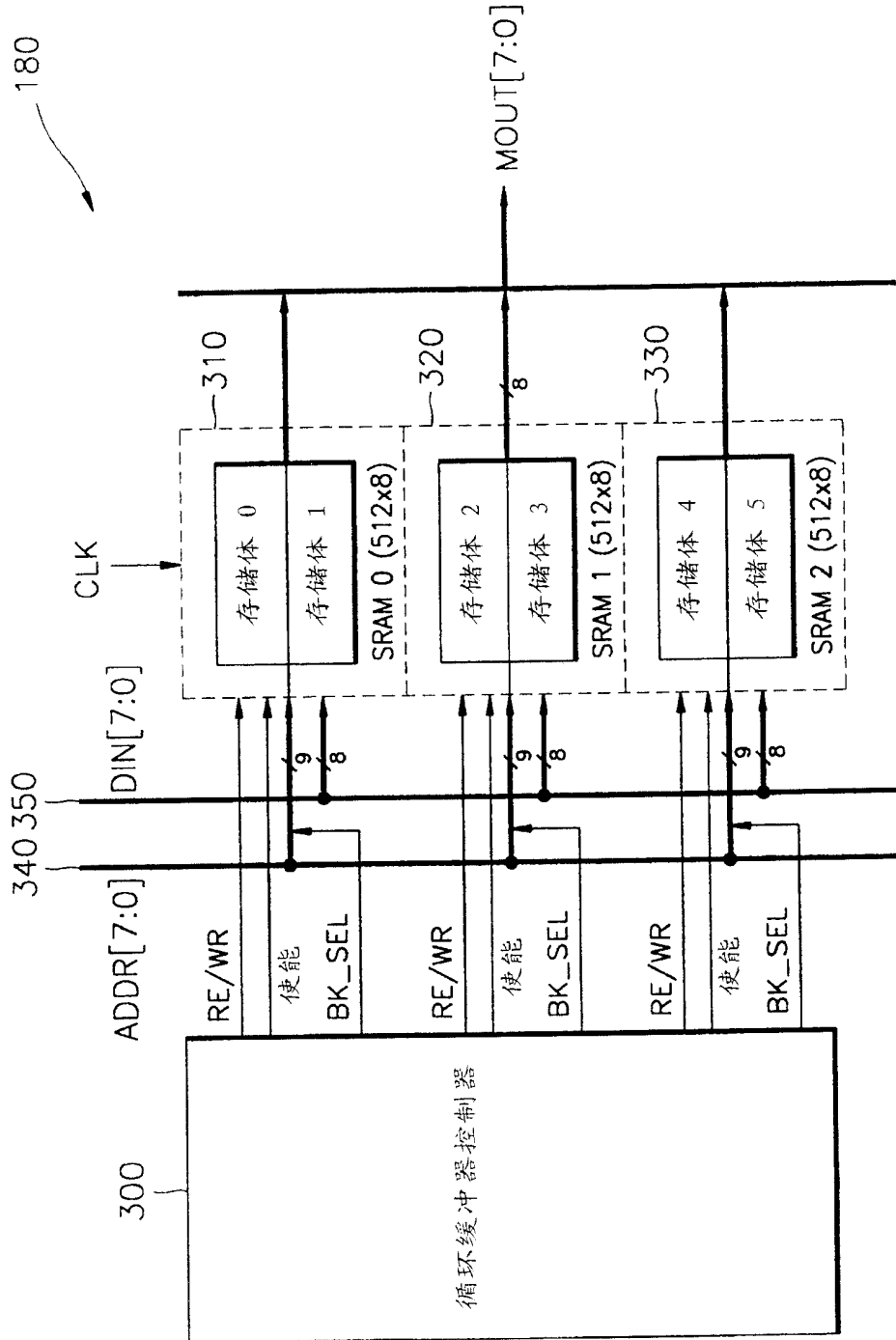


图 3

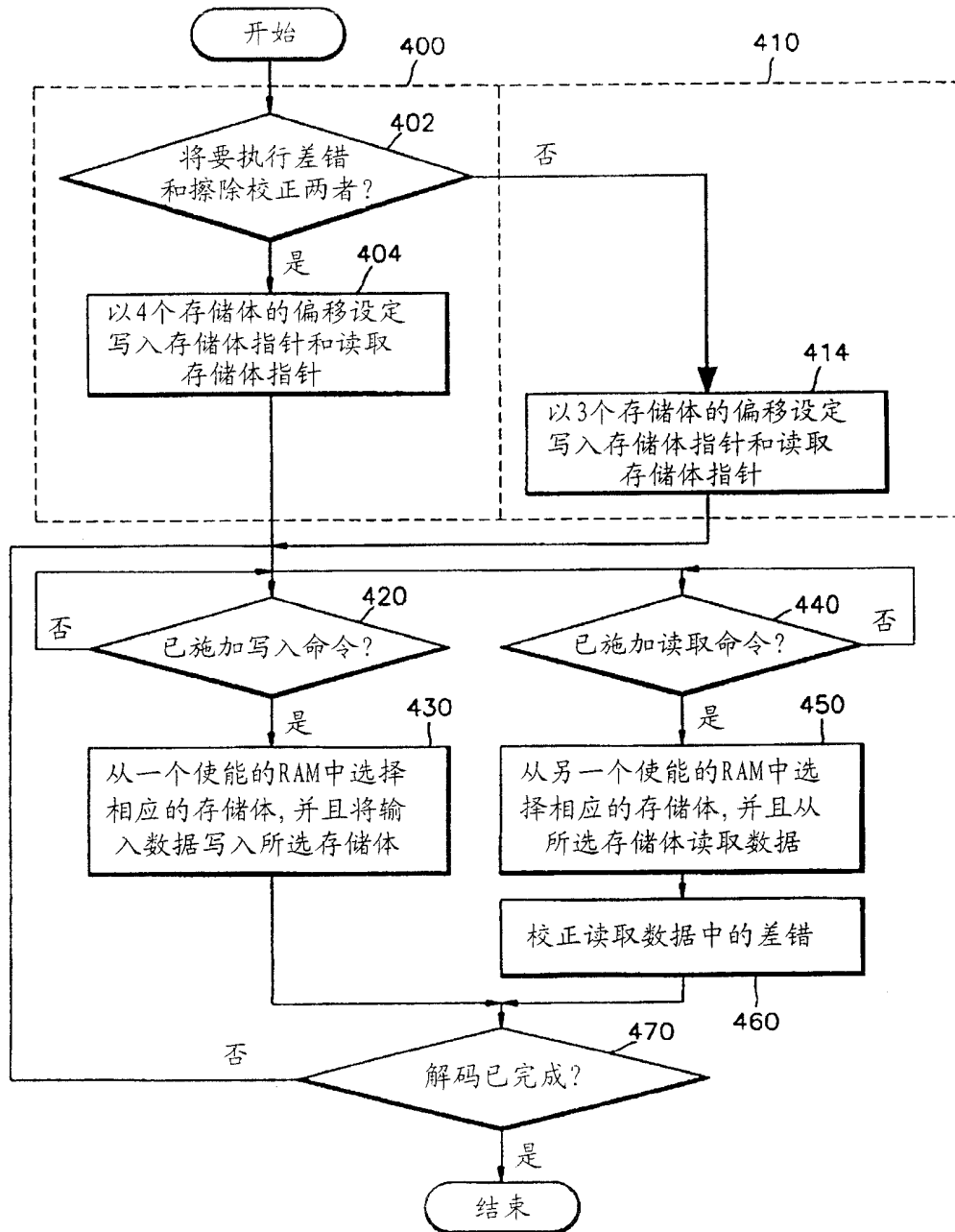


图 4

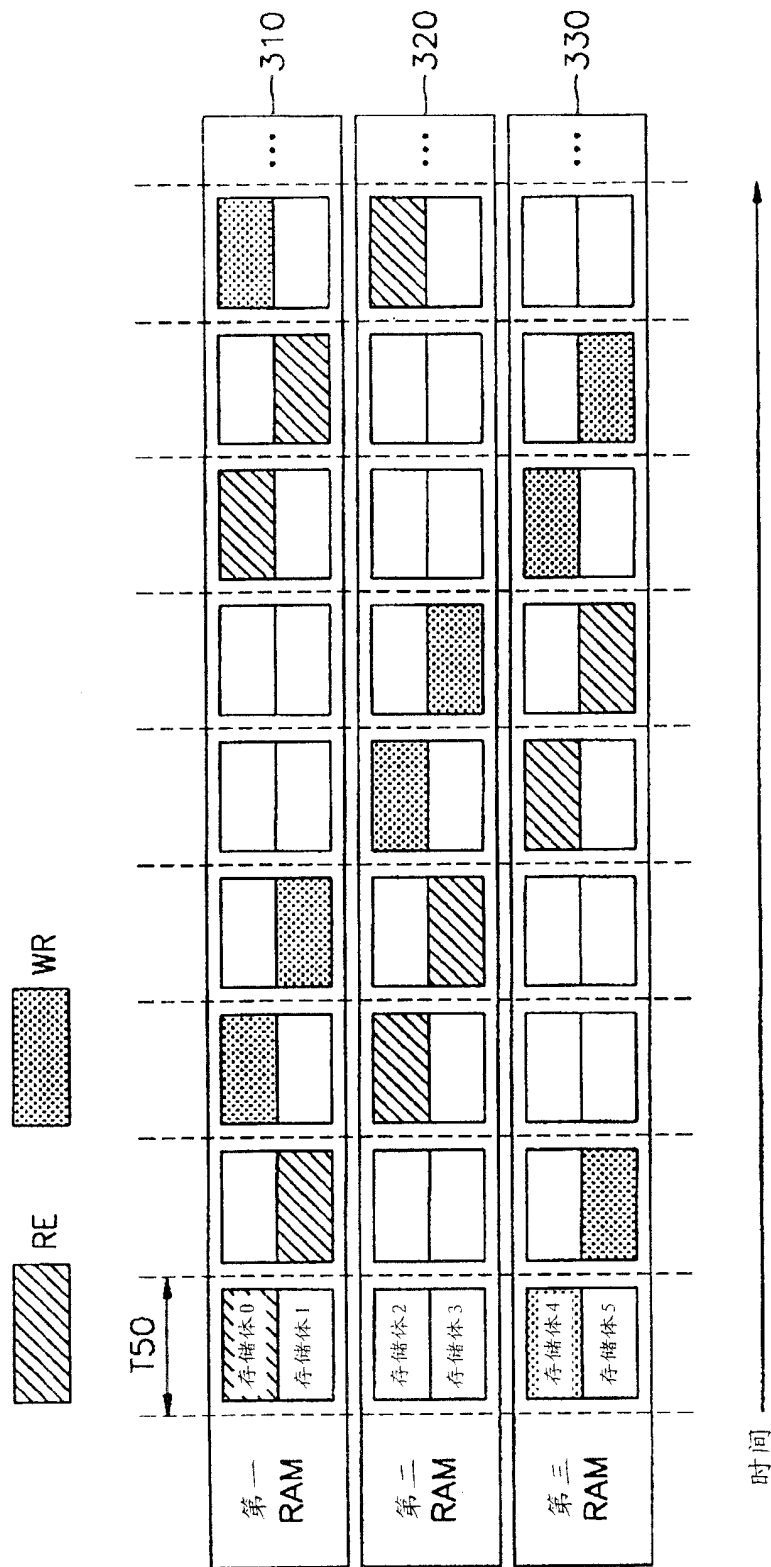


图 5

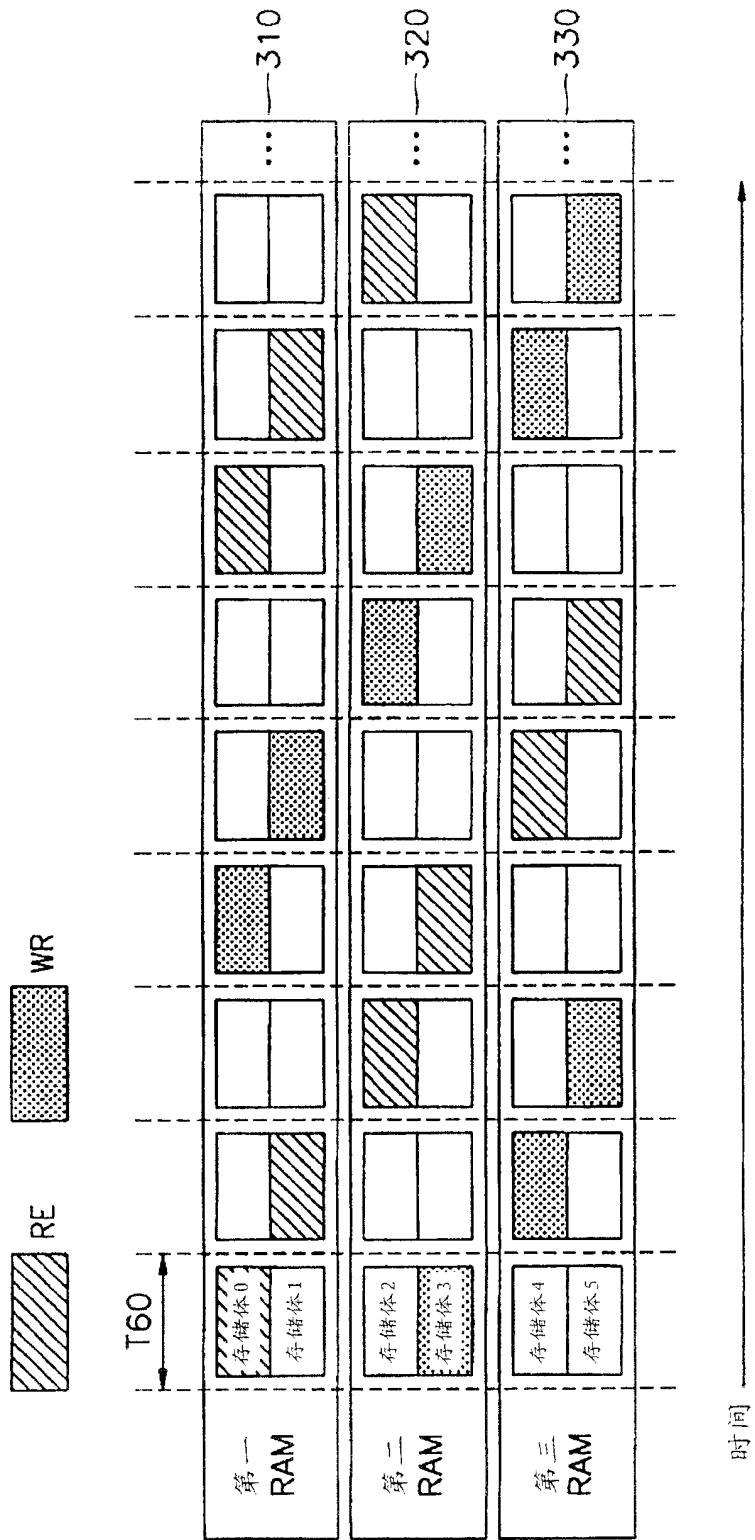


图 6

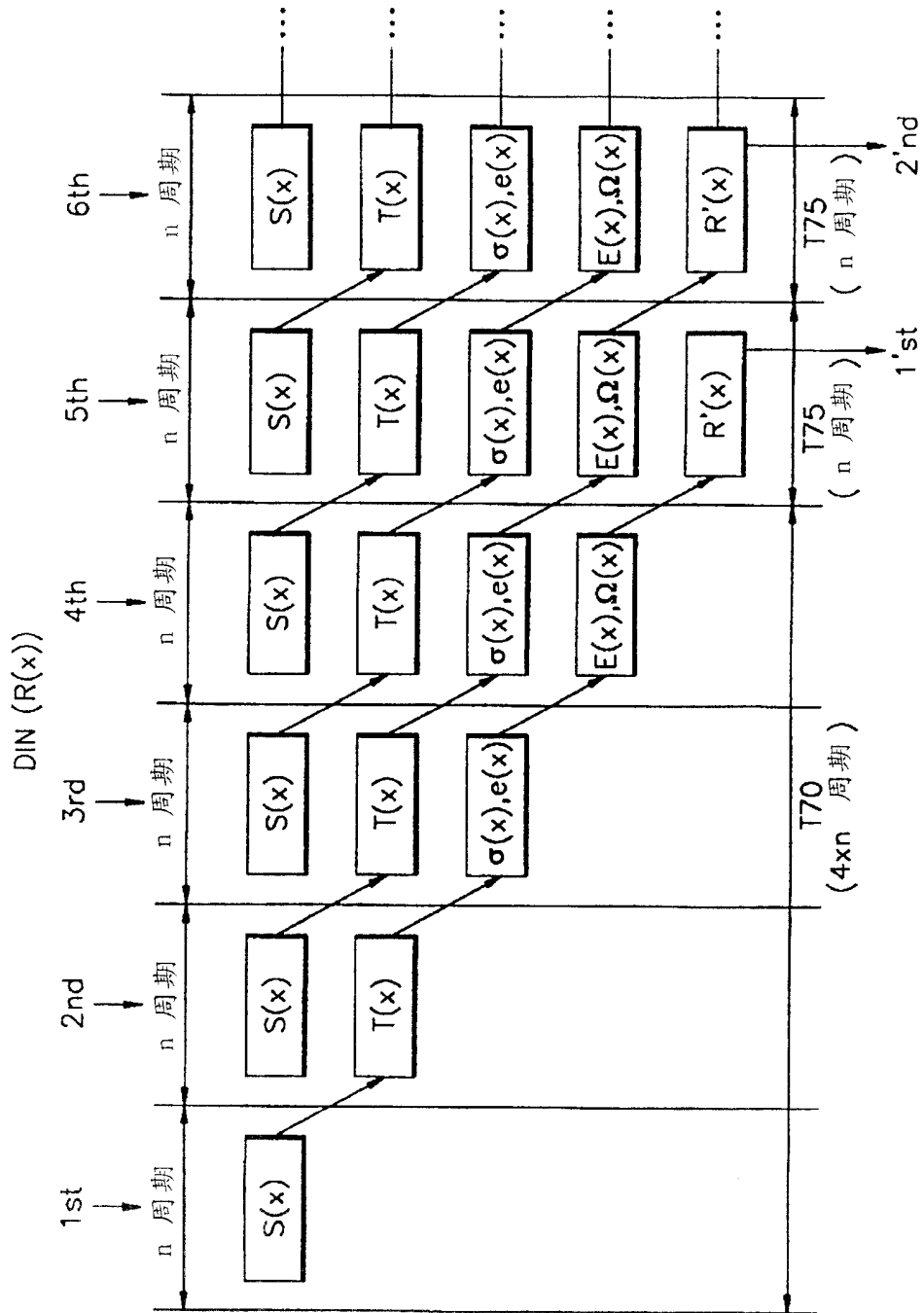


图 7