

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-103423

(P2007-103423A)

(43) 公開日 平成19年4月19日(2007.4.19)

(51) Int. Cl.

H01L 21/60 (2006.01)

F I

H01L 21/60 301A

テーマコード(参考)

5F044

審査請求 未請求 請求項の数 21 O L (全 26 頁)

(21) 出願番号

特願2005-287775 (P2005-287775)

(22) 出願日

平成17年9月30日(2005.9.30)

(71) 出願人

503121103

株式会社ルネサステクノロジ

東京都千代田区丸の内二丁目4番1号

(74) 代理人

100083552

弁理士 秋田 収喜

(72) 発明者

堤 安己

東京都千代田区丸の内二丁目4番1号 株

式会社ルネサステクノロジ内

(72) 発明者

三輪 孝志

東京都千代田区丸の内二丁目4番1号 株

式会社ルネサステクノロジ内

Fターム(参考) 5F044 AA05

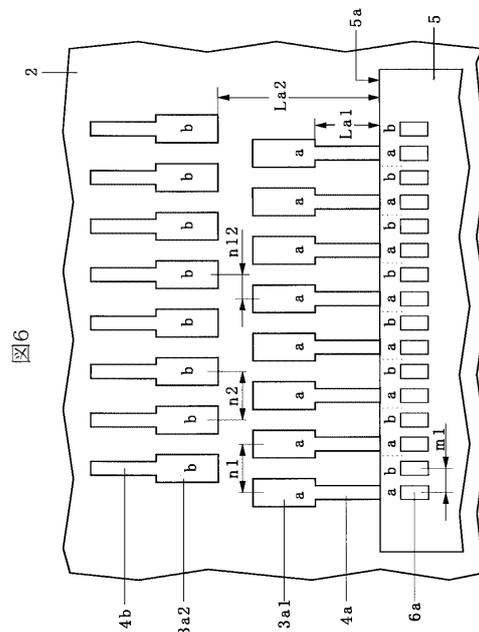
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体装置の小型化を図る。

【解決手段】 1列目の複数の第1の配線は、複数の第1の接続部の夫々から半導体チップの一边に向かって延在し、複数の第2の配線は、複数の第2の接続部の夫々から半導体チップの一边と反対側に向かって延在している。

【選択図】 図6



**【特許請求の範囲】****【請求項 1】**

主面に形成され、かつ前記主面の一辺に沿って配置された複数の電極パッドを有する半導体チップと、

主面に前記半導体チップが搭載された配線基板と、

前記配線基板の前記主面に形成され、かつ前記半導体チップの前記一辺に沿って配置された複数の第 1 の接続部と、

前記配線基板の前記主面に形成され、かつ前記半導体チップの前記一辺から前記複数の第 1 の接続部よりも離れた位置に前記半導体チップの前記一辺に沿って配置された複数の第 2 の接続部と、

前記配線基板の前記主面に形成され、かつ前記複数の第 1 の接続部に夫々繋がる複数の第 1 の配線と、

前記配線基板の前記主面に形成され、かつ前記複数の第 2 の接続部に夫々繋がる複数の第 2 の配線と、

前記複数の電極パッドと、前記複数の第 1 及び第 2 の接続部とを夫々接続する複数のボンディングワイヤと、

前記半導体チップ、及び前記複数のボンディングワイヤを封止する樹脂封止体とを有し、

前記複数の第 1 の配線は、前記複数の第 1 の接続部の夫々から前記半導体チップの前記一辺に向かって延在し、

前記複数の第 2 の配線は、前記複数の第 2 の接続部の夫々から前記半導体チップの前記一辺と反対側に向かって延在していることを特徴とする半導体装置。

**【請求項 2】**

請求項 1 に記載の半導体装置において、

前記複数の第 1 の配線の一端部は、前記複数の第 1 の接続部に夫々繋がり、

前記複数の第 2 の配線の一端部は、前記複数の第 2 の接続部に夫々繋がっていることを特徴とする半導体装置。

**【請求項 3】**

請求項 1 に記載の半導体装置において、

前記第 1 の接続部の配列ピッチ、及び前記第 2 の接続部の配列ピッチは、前記電極パッドの配列ピッチの 2 倍であることを特徴とする半導体装置。

**【請求項 4】**

請求項 1 に記載の半導体装置において、

前記第 1 及び第 2 の接続部、並びに前記電極パッドは、平面が方形状で形成され、

前記第 1 の接続部の一辺は、対応する前記電極パッドの一辺と向かい合っており、

前記第 2 の接続部の一辺は、対応する前記電極パッドの一辺と向かい合っていることを特徴とする半導体装置。

**【請求項 5】**

請求項 1 に記載の半導体装置において、

前記第 2 の接続部は、隣り合う 2 つの前記第 1 の接続部の間に配置されていることを特徴とする半導体装置。

**【請求項 6】**

請求項 5 に記載の半導体装置において、

前記第 2 の接続部は、前記 2 つの第 1 の接続部における配列ピッチの中間に配置されていることを特徴とする半導体装置。

**【請求項 7】**

請求項 1 に記載の半導体装置において、

前記配線基板は、表層及び内層の配線層を有する多層配線構造になっていることを特徴とする半導体装置。

**【請求項 8】**

10

20

30

40

50

請求項 1 に記載の半導体装置において、

前記配線基板は、表層及び内層の配線層を有する多層配線構造のビルドアップ基板であることを特徴とする半導体装置。

【請求項 9】

請求項 1 に記載の半導体装置において、

前記配線基板は、表層及び内層の配線層を有する多層配線構造のセミアディティブ基板であることを特徴とする半導体装置。

【請求項 10】

請求項 7 乃至請求項 9 のうち何れか 1 項に記載の半導体装置において、

前記第 1 の配線は、前記配線基板の周囲まで引き回されたメッキ配線と接続されていることを特徴とする半導体装置。 10

【請求項 11】

請求項 1 に記載の半導体装置において、

前記配線基板の主面に搭載された第 2 の半導体チップを更に有し、

前記複数の第 1 及び第 2 の接続部は、前記半導体チップと前記第 2 の半導体チップとの間に配置されていることを特徴とする半導体装置。

【請求項 12】

( a ) 主面に形成され、かつ前記主面の一辺に沿って第 1 の電極パッド、第 2 の電極パッド及び第 3 の電極パッドがこの順番で繰り返し配置された半導体チップを準備する工程と

、  
( b ) 前記半導体チップが搭載されるチップ搭載部と、前記チップ搭載部の外側に前記複数の第 1 の電極パッドに対応して前記半導体チップの一辺に沿って配置された複数の第 1 の接続部と、前記半導体チップの一辺から前記複数の第 1 の接続部よりも離れた位置に前記複数の第 2 の電極パッドに対応して前記半導体チップの一辺に沿って配置された複数の第 2 の接続部と、前記半導体チップの一辺から前記複数の第 2 の接続部よりも離れた位置に前記複数の第 3 の電極パッドに対応して前記半導体チップの一辺に沿って配置された複数の第 3 の接続部とを有する配線基板を準備する工程と、

( c ) 前記複数の第 1 の接続部が前記半導体チップの一辺に沿う状態で前記配線基板のチップ搭載部に前記半導体チップを搭載する工程と、

( d ) 前記複数の第 1 の電極パッドと前記複数の第 1 の接続部とを複数の第 1 のボンディングワイヤで夫々電氣的に接続する工程と、 30

( e ) 前記複数の第 2 の電極パッドと前記複数の第 2 の接続部とを前記複数の第 1 のボンディングワイヤよりもループ高さが高い複数の第 2 のボンディングワイヤで夫々電氣的に接続する工程と、

( f ) 前記複数の第 3 の電極パッドと前記複数の第 3 の接続部とを前記第 2 のボンディングワイヤよりもループ高さが高い複数の第 3 のボンディングワイヤで夫々電氣的に接続する工程と、

( g ) 前記半導体チップ、及び前記複数の第 1 乃至第 3 のボンディングワイヤを樹脂で封止する工程とを有し、

前記複数の第 1 乃至第 3 のボンディングワイヤは、前記半導体チップの一辺の中心を横 40

切って前記半導体チップの一辺と直行する仮想線に対して鋭角をなす角度で延在し、  
前記第 3 のボンディングワイヤと前記第 3 の電極パッドとの接続は、前記第 1 のボンディングワイヤと前記第 1 の電極パッドとの接続よりも前記半導体チップの一辺から離れた位置で行われ、

前記 ( e ) 工程、( d ) 工程、及び ( f ) 工程は、この順番で行われることを特徴とする半導体装置の製造方法。

【請求項 13】

請求項 12 に記載の半導体装置の製造方法において、

前記第 2 のボンディングワイヤと前記第 2 の電極パッドとの接続は、前記第 3 のボンディングワイヤと前記第 3 の電極パッドとの接続よりも前記半導体チップの一辺から近い位 50

置で行われることを特徴とする半導体装置の製造方法。

【請求項 14】

請求項 12 に記載の半導体装置の製造方法において、

前記第 2 のボンディングワイヤと前記第 2 の電極パッドとの接続は、前記第 1 のボンディングワイヤと前記第 1 の電極パッドとの接続よりも前記半導体チップの一边から離れた位置で行われることを特徴とする半導体装置の製造方法。

【請求項 15】

請求項 12 に記載の半導体装置の製造方法において、

前記 (e) 工程、(d) 工程、及び (f) 工程は、前記半導体チップの一边の一端側から他端側に向かって行われることを特徴とする半導体装置の製造方法。

10

【請求項 16】

請求項 12 に記載の半導体装置の製造方法において、

前記 (e) 工程、(d) 工程、及び (f) 工程は、前記半導体チップの一边の一端側及び他端側から前記半導体チップの一边の中心に向かって行われることを特徴とする半導体装置の製造方法。

【請求項 17】

請求項 12 に記載の半導体装置の製造方法において、

前記 (e) 工程、(d) 工程、及び (f) 工程は、前記半導体チップの一边の中心から前記半導体チップの一边の一端側及び他端側に向かって行われることを特徴とする半導体装置の製造方法。

20

【請求項 18】

請求項 12 に記載の半導体装置の製造方法において、

前記複数の第 2 の接続部は、前記仮想線から数えて前記第 3 の接続部と同じ段数に位置する前記第 2 の接続部が前記第 3 の接続部よりも前記仮想線から離れる状態で配置され、  
前記複数の第 1 の接続部は、前記仮想線から数えて前記第 2 の接続部と同じ段数に位置する前記第 1 の接続部が前記第 2 の接続部よりも前記仮想線から離れる状態で配置されていることを特徴とする半導体装置の製造方法。

【請求項 19】

請求項 12 に記載の半導体装置の製造方法において、

前記第 2 の接続部は、隣り合う 2 つの前記第 1 の接続部の間に配置され、  
前記第 3 の接続部は、隣り合う 2 つの前記第 2 の接続部の間に配置されていることを特徴とする半導体装置の製造方法。

30

【請求項 20】

請求項 12 に記載の半導体装置の製造方法において、

前記複数の第 1 乃至第 3 の電極パッドは、互いに反対側に位置する 2 つの長辺が前記半導体チップの一边から遠ざかる方向に沿って延在する長形状の平面形状になっていることを特徴とする半導体装置の製造方法。

【請求項 21】

請求項 12 に記載の半導体装置の製造方法において、

前記配線基板は、平面が長方形で形成され、  
前記複数の第 1 乃至第 3 の接続部は、前記配線基板の短辺に沿って配置されていることを特徴とする半導体装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造技術に関し、特に、半導体チップの電極パッドと配線基板の電極パッドとをボンディングワイヤで接続する半導体装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

50

半導体装置として、例えばBGA(Ball Grid Array)型と称される半導体装置が知られている。このBGA型半導体装置は、インターポーザと呼ばれる配線基板の主面側に半導体チップを搭載し、配線基板の主面と反対側の裏面側に外部接続用端子としてボール状の半田バンプを複数配置したパッケージ構造になっている。

#### 【0003】

BGA型半導体装置においては、様々な構造のものが開発され、製品化されているが、大別するとフェースアップボンディング構造(ワイヤボンディング構造)とフェースダウンボンディング構造に分類される。フェースアップボンディング構造では、半導体チップの主面(回路形成面)に配置された電極パッドと、配線基板の主面に配置された電極パッド(配線の一部からなる接続部)との電気的な接続をボンディングワイヤで行っている。フェースダウンボンディング構造では、半導体チップの主面に配置された電極パッドと、配線基板の主面に配置された電極パッドとの電気的な接続をこれらの電極パッド間に介在された突起状電極(例えば半田バンプ、スタッドバンプ等)で行っている。

10

#### 【0004】

フェースアップボンディング構造のBGA型半導体装置については、例えば、特開2001-144214号公報に開示されている。また、フェースダウンボンディング構造のBGA型半導体装置については、例えば、特開平6-34983号公報に開示されている。

#### 【0005】

また、特開2003-31610号公報には、半導体チップの主面にその一辺に沿って配置された複数の電極パッドと、配線基板の主面に前記半導体チップの一辺に沿って2列で配置された複数の電極パッドとを複数のボンディングワイヤで夫々電気的に接続するワイヤボンディングにおいて、先行形成されたワイヤとキャピラリとの干渉を避ける技術が開示されている。

20

#### 【0006】

【特許文献1】特開2001-144214号公報

【特許文献2】特開平6-34983号公報

【特許文献3】特開2003-31610号公報

【発明の開示】

【発明が解決しようとする課題】

30

#### 【0007】

近年、携帯電話、携帯型パーソナルコンピュータ等の電子機器の小型化が進み、これらの電子機器に組み込まれるBGA型半導体装置においても小型化が要求されている。そこで、本発明者は、既存の製造設備が流用でき、フェースダウン構造に比較すると低コストで製造が可能なフェースアップボンディング構造を有するBGA型半導体装置の小型化について検討した結果、以下の問題点を見出した。

#### 【0008】

BGA型半導体装置の小型化を図るためには、配線基板の平面サイズを小さくする必要がある。配線基板の平面サイズを小さくするためには、配線基板の電極パッドの配列ピッチを狭くし、複数の電極パッドからなるパッド列の長さを短くする必要がある。

40

#### 【0009】

BGA型半導体装置においては、半導体チップの主面にその一辺に沿って配置された複数の電極パッド(ボンディングパッド)と、この複数の電極パッドに対応して配線基板の主面に配置された複数の電極パッド(接続部)とを複数のボンディングワイヤで電気的に接続している。従来の配線基板においては、複数の電極パッドを1列で配置することが主であったが、この1列パッド配置では、要求される基板サイズやワイヤ長規格を満足できないことから、2列パッド配置、3列パッド配置といった多列パッド配置が現在主流になっている。

#### 【0010】

多列パッド配置は、1列パッド配置と比較して各パッド列の長さが短くなるが、半導体

50

チップに搭載される集積回路の多機能化や高集積化に伴って電極パッド数が増加傾向にあるため、半導体装置の小型化を図るには多列パッド配置においても電極パッドの配列ピッチを狭くし、各パッド列の長さを短くする必要がある。

【0011】

しかしながら、従来の多列パッド配置、例えば2列パッド配置では、半導体チップ側から数えて1列目の電極パッドに繋がる配線（電極パッドから引き出される配線）が2列目の電極パッド間を通過して引き回されているため、2列目の電極パッドの配列ピッチを狭くすることが困難である。

【0012】

また、パッド列の長さが長くなると、半導体チップから離れて配線基板の電極パッドを配置する必要があり、これに伴って半導体チップの電極パッドと配線基板の電極パッドとを電氣的に接続するボンディングワイヤの長さが長くなる。また、加工精度の違いから配線基板の電極パッドの配列ピッチは半導体チップの電極パッドの配列ピッチよりも広がっているため、ボンディングワイヤの長さは、半導体チップの辺の中心からその端に向かって徐々に長くなるが、配線基板のパッド列の長さが長くなると、更にボンディングワイヤの長さが長くなる。このため、トランスファモールディング法に基づいて樹脂封止体を形成する時、ボンディングワイヤの形状が樹脂の流れによって変形するワイヤ流れにより、隣り合うボンディングワイヤ同士が短絡するといった不具合が発生し易くなる。この不具合は、半導体装置の製造歩留まり低下の要因となる。

10

【0013】

また、配線基板の電極パッドの配列ピッチは半導体チップの電極パッドの配列ピッチよりも広がっているため、ボンディングワイヤは、半導体チップの一边の中心を横切ってその一边と直行する仮想線に対して鋭角をなす角度で半導体チップ側から放射状に延在するが、配線基板のパッド列の長さが長くなると、ボンディングワイヤの前記仮想線に対する角度が広がる。このため、半導体チップの電極パッドにおいて、隣り合う2つの電極パッドのうち一方の電極パッドにボンディングワイヤを接続し、その後、他方の電極パッドにボンディングワイヤを接続する時、一方の電極パッドに接続されたボンディングワイヤにキャピラリが干渉するといった不具合が発生し易くなる。この不具合は、半導体装置の製造歩留まり低下の要因となる。

20

【0014】

本発明の目的は、半導体装置の小型化を図ることが可能な技術を提供することにある。

30

【0015】

また、本発明の他の目的は、半導体装置の製造歩留まり向上を図ることが可能な技術を提供することにある。

【0016】

本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【課題を解決するための手段】

【0017】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

40

(1) 半導体装置は、

主面に形成され、かつ前記主面の一边に沿って配置された複数の電極パッドを有する半導体チップと、

主面に前記半導体チップが搭載された配線基板と、

前記配線基板の前記主面に形成され、かつ前記半導体チップの前記一边に沿って配置された複数の第1の接続部と、

前記配線基板の前記主面に形成され、かつ前記半導体チップの前記一边から前記複数の第1の接続部よりも離れた位置に前記半導体チップの前記一边に沿って配置された複数の第2の接続部と、

50

前記配線基板の前記主面に形成され、かつ前記複数の第1の接続部に夫々繋がる複数の第1の配線と、

前記配線基板の前記主面に形成され、かつ前記複数の第2の接続部に夫々繋がる複数の第2の配線と、

前記複数の電極パッドと、前記複数の第1及び第2の接続部とを夫々接続する複数のボンディングワイヤと、

前記半導体チップ、及び前記複数のボンディングワイヤを封止する樹脂封止体とを有し、

前記複数の第1の配線は、前記複数の第1の接続部の夫々から前記半導体チップの前記一辺に向かって延在し、

前記複数の第2の配線は、前記複数の第2の接続部の夫々から前記半導体チップの前記一辺と反対側に向かって延在している。

(2) 前記手段(1)において、

前記複数の第1の配線の一端部は、前記複数の第1の接続部に夫々繋がり、

前記複数の第2の配線の一端部は、前記複数の第2の接続部に夫々繋がっている。

(3) 前記手段(1)において、

前記第1の接続部の配列ピッチ、及び前記第2の接続部の配列ピッチは、前記電極パッドの配列ピッチの2倍である。

(4) 前記手段(1)において、

前記第1及び第2の接続部、並びに前記電極パッドは、平面が方形状で形成され、

前記第1の接続部の一辺は、対応する前記電極パッドの一辺と向かい合っており、

前記第2の接続部の一辺は、対応する前記電極パッドの一辺と向かい合っている。

(5) 前記手段(1)において、

前記第2の接続部は、隣り合う2つの前記第1の接続部の間に配置されている。

(6) 前記手段(5)において、

前記第2の接続部は、前記2つの第1の接続部における配列ピッチの中間に配置されている。

(7) 前記手段(1)において、

前記配線基板は、表層及び内層の配線層を有する多層配線構造になっている。

(8) 前記手段(1)において、

前記配線基板は、表層及び内層の配線層を有する多層配線構造のビルドアップ基板である。

(9) 前記手段(1)において、

前記配線基板は、表層及び内層の配線層を有する多層配線構造のセミアディティブ基板である。

(10) 半導体装置の製造において、

(a) 主面に形成され、かつ前記主面の一辺に沿って第1の電極パッド、第2の電極パッド及び第3の電極パッドがこの順番で繰り返し配置された半導体チップを準備する工程と

、

(b) 前記半導体チップが搭載されるチップ搭載部と、前記チップ搭載部の外側に前記複数の第1の電極パッドに対応して前記半導体チップの一辺に沿って配置された複数の第1の接続部と、前記半導体チップの一辺から前記複数の第1の接続部よりも離れた位置に前記複数の第2の電極パッドに対応して前記半導体チップの一辺に沿って配置された複数の第2の接続部と、前記半導体チップの一辺から前記複数の第2の接続部よりも離れた位置に前記複数の第3の電極パッドに対応して前記半導体チップの一辺に沿って配置された複数の第3の接続部とを有する配線基板を準備する工程と、

(c) 前記複数の第1の接続部が前記半導体チップの一辺に沿う状態で前記配線基板のチップ搭載部に前記半導体チップを搭載する工程と、

(d) 前記複数の第1の電極パッドと前記複数の第1の接続部とを複数の第1のボンディングワイヤで夫々電氣的に接続する工程と、

10

20

30

40

50

(e) 前記複数の第2の電極パッドと前記複数の第2の接続部とを前記複数の第1のボンディングワイヤよりもループ高さが高い複数の第2のボンディングワイヤで夫々電氣的に接続する工程と、

(f) 前記複数の第3の電極パッドと前記複数の第3の接続部とを前記第2のボンディングワイヤよりもループ高さが高い複数の第3のボンディングワイヤで夫々電氣的に接続する工程と、

(g) 前記半導体チップ、及び前記複数の第1乃至第3のボンディングワイヤを樹脂で封止する工程とを有し、

前記複数の第1乃至第3のボンディングワイヤは、前記半導体チップの一辺の中心を横切って前記半導体チップの一辺と直行する仮想線に対して鋭角をなす角度で延在し、

前記第3のボンディングワイヤと前記第3の電極パッドとの接続は、前記第1のボンディングワイヤと前記第1の電極パッドとの接続よりも前記半導体チップの一辺から離れた位置で行われ、

前記(e)工程、(d)工程、及び(f)工程は、この順番で行われる。

(11) 前記手段(10)において、

前記第2のボンディングワイヤと前記第2の電極パッドとの接続は、前記第3のボンディングワイヤと前記第3の電極パッドとの接続よりも前記半導体チップの一辺から近い位置で行われる。

(12) 前記手段(10)において、

前記第2のボンディングワイヤと前記第2の電極パッドとの接続は、前記第1のボンディングワイヤと前記第1の電極パッドとの接続よりも前記半導体チップの一辺から離れた位置で行われる。

(13) 前記手段(10)において、

前記複数の第1乃至第3の電極パッドは、互いに反対側に位置する2つの長辺が前記半導体チップの一辺から遠ざかる方向に沿って延在する長形状の平面形状になっている。

【発明の効果】

【0018】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0019】

本発明によれば、半導体装置の小型化を図ることができる。

【0020】

本発明によれば、半導体装置の製造歩留まり向上を図ることができる。

【発明を実施するための最良の形態】

【0021】

以下、図面を参照して本発明の実施例を詳細に説明する。なお、発明の実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【実施例1】

【0022】

本実施例1では、BGA型半導体装置として、機能が異なる集積回路が搭載された複数の半導体チップを配線基板に実装して1つのシステムを構築するSIP(System In Package)型半導体装置に本発明を適用した例について説明する。

【0023】

図1乃至図16は、本発明の実施例1である半導体装置に係る図であり、

図1は、半導体装置の内部構造を示す模式的平面図、

図2は、図1におけるボンディングワイヤの一部を省略して示す模式的平面図、

図3は、図1のa'-a'線に沿う模式的断面図、

図4は、図1のb'-b'線に沿う模式的断面図、

図5は、図1の一部(部分A)を簡略化して示す模式的平面図、

10

20

30

40

50

図 6 は、図 5 におけるボンディングワイヤを削除して示す模式的平面図、  
 図 7 は、図 5 の c' - c' 線に沿う模式的断面図、  
 図 8 は、図 5 の d' - d' 線に沿う模式的断面図、  
 図 9 は、図 1 の一部 (部分 B) を簡略化して示す模式的平面図である。  
 図 10 は、図 9 のボンディングワイヤを削除して示す模式的平面図、  
 図 11 は、図 9 の e' - e' 線に沿う模式的断面図、  
 図 12 は、図 9 の f' - f' 線に沿う模式的断面図、  
 図 13 は、図 9 の g' - g' 線に沿う模式的断面図、  
 図 14 乃至図 16 は、半導体装置の製造において、ワイヤボンディング工程を示す模式的  
 平面図である。

10

## 【0024】

図 1 乃至図 4 に示すように、本実施例 1 の半導体装置 1 は、インターポーザとも呼ばれる配線基板 2 の主面側に、1 つの半導体チップ 5、並びに 2 つの半導体チップ (7, 8) が実装され、配線基板 2 の主面と反対側の裏面側に、外部接続用端子として例えばボール状の半田バンプ 12 が複数配置されたパッケージ構造になっている。

## 【0025】

半導体チップ 5、並びに半導体チップ (7, 8) は、厚さ方向と交差する平面形状が方形形状になっている。本実施例 1 では、半導体チップ 5 は、例えば 5.0 mm x 6.7 mm の長方形、半導体チップ (7, 8) は、例えば 1.539 mm x 6.137 mm の長方形になっている。半導体チップ 5、並びに半導体チップ (7, 8) は、これに限定されないが、例えば、主に、半導体基板と、この半導体基板の主面に形成された複数のトランジスタ素子と、前記半導体基板の主面上において絶縁層、配線層の夫々を複数段積み重ねた多層配線層と、この多層配線層を覆うようにして形成された表面保護膜 (最終保護膜) とを有する構成になっている。絶縁層は、例えば酸化シリコン膜で形成されている。配線層は、例えばアルミニウム (Al)、アルミニウム合金、銅 (Cu)、又は銅合金等の金属膜で形成されている。表面保護膜は、例えば、酸化シリコン膜又は窒化シリコン膜等の無機絶縁膜及び有機絶縁膜を積み重ねた多層膜で形成されている。

20

## 【0026】

半導体チップ 5 は、互いに反対側に位置する主面 (素子形成面, 回路形成面) 及び裏面を有し、半導体チップ 5 の主面側には集積回路として例えばデータプロセッサ (MPU: Micro Processing Unit) が形成されている。

30

## 【0027】

半導体チップ 5 の主面には、複数の電極パッド (ボンディングパッド) 6 a からなる第 1 のパッド群、複数の電極パッド (ボンディングパッド) 6 b からなる第 2 のパッド群、複数の電極パッド (ボンディングパッド) 6 c からなる第 3 のパッド群、複数の電極パッド (ボンディングパッド) 6 d からなる第 4 のパッド群が形成されている。第 1 のパッド群の複数の電極パッド 6 a は、半導体チップ 5 の第 1 の辺 5 a に沿って配置されている。第 2 のパッド群の複数の電極パッド 6 b は、半導体チップ 5 の第 1 の辺 5 a とは反対側に位置する第 2 の辺 5 b に沿って配置されている。第 3 のパッド群の複数の電極パッド 6 c は、半導体チップ 5 の第 1 の辺 5 a と交わる第 3 の辺 5 c に沿って配置されている。第 4 のパッド群の複数の電極パッド 6 d は、半導体チップ 5 の第 3 の辺 5 c とは反対側に位置する第 4 の辺 5 d に沿って配置されている。各パッド群の複数の電極パッド (6 a ~ 6 d) は、半導体チップ 5 の多層配線層のうちの最上層の配線層に形成され、これらの電極パッドに対応して半導体チップ 5 の表面保護膜に形成されたボンディング開口によって露出されている。

40

## 【0028】

半導体チップ 7 及び 8 は、互いに反対側に位置する主面 (素子形成面, 回路形成面) 及び裏面を有し、半導体チップ 7 及び 8 の各々の主面側には集積回路として例えばシンクロナス・ディラム (SDRAM: Synchronous Dynamic Random Access Memory) が形成されている。半導体チップ 7 及び 8 の各々の主面には、各々の第 1 の辺 (7 a, 8 a

50

)に沿って配置された複数の電極パッド(ボンディングパッド)9が形成されている。

【0029】

半導体チップ5は、その裏面が配線基板2の主面と向かい合う状態で配線基板2の主面に接着材を介在して接着固定されている。半導体チップ7は、その裏面が配線基板2の主面と向かい合う状態で配線基板2の主面に接着材を介在して接着固定され、半導体チップ8は、その裏面が半導体チップ7の主面と向かい合う状態で半導体チップ7の主面に接着材を介在して接着固定されている。

【0030】

半導体チップ7及び8は、半導体チップ8の第1の辺8aの外側に半導体チップ7の電極パッド9が平面的に位置するように位置をずらした状態で多段に積層されている。また、半導体チップ7及び8は、各々の第1の辺(7a, 8a)の伸びる方向が半導体チップ5の第1の辺5aの伸びる方向と同じ方向を向き、かつ各々の第1の辺(7a, 8a)と反対側の各々の第2の辺(7b, 8b)が半導体チップ5の第1の辺5a側となるように半導体チップ5から離間して配置されている。

【0031】

配線基板2は、その厚さ方向と交差する平面形状が方形状になっており、本実施例1では例えば9mm×11mmの長方形になっている。ここで、配線基板2の平面において、互いに反対側に位置する2つの短辺のうち、一方を第1の辺2a、他方を第2の辺2bと呼び、互いに反対側に位置する2つの長辺のうち、一方を第3の辺2c、他方を第4の辺2dと呼ぶ。

【0032】

半導体チップ5は、その長辺(第1及び第2の辺5a, 5b)の伸びる方向が配線基板2の短辺(2a, 2b)の伸びる方向と同じ方向を向く状態で配線基板2の主面に配置されている。

【0033】

配線基板2の主面には、複数の電極パッド(接続部)3a1からなるパッド群、複数の電極パッド(接続部)3a2からなるパッド群、複数の電極パッド(接続部)3b1からなるパッド群、複数の電極パッド(接続部)3b2からなるパッド群、複数の電極パッド(接続部)3b3からなるパッド群、複数の電極パッド(接続部)3cからなるパッド群、複数の電極パッド(接続部)3dからなるパッド群、並びに複数の電極パッド(接続部)3eからなるパッド群が形成されている。

【0034】

複数の電極パッド3a1は、半導体チップ5と半導体チップ(7, 8)との間において、半導体チップ5の第1の辺5aの外側に半導体チップ5の第1の辺5aに沿って配置されている。複数の電極パッド3a2は、半導体チップ5と半導体チップ(7, 8)との間において、半導体チップ5の第1の辺5aから複数の電極パッド3a1よりも離れた位置に半導体チップ5の第1の辺5aに沿って配置されている。即ち、半導体チップ5と半導体チップ(7, 8)の間には、半導体チップ5の第1の辺5aに沿って複数の電極パッド(3a1, 3a2)が2列で配置されている。

【0035】

複数の電極パッド3b1は、半導体チップ5の第2の辺5bと配線基板2の第2の辺2bとの間において、半導体チップ5の第2の辺5bの外側に半導体チップ5の第2の辺5bに沿って配置されている。複数の電極パッド3b2は、半導体チップ5の第2の辺5bと配線基板2の第2の辺2bとの間において、半導体チップ5の第2の辺5bから複数の電極パッド3b1よりも離れた位置に半導体チップ5の第2の辺5bに沿って配置されている。複数の電極パッド3b3は、半導体チップ5の第2の辺5bと配線基板2の第2の辺2bとの間において、半導体チップ5の第2の辺5bから複数の電極パッド3b2よりも離れた位置に半導体チップ5の第2の辺5bに沿って配置されている。即ち、半導体チップ5の第2の辺5bと配線基板2の第2の辺2bとの間には、半導体チップ5の第2の辺5bに沿って複数の電極パッド(3b1, 3b2, 3b3)が3列で配置されている。

## 【0036】

複数の電極パッド3cは、半導体チップ5の第3の辺5cと配線基板2の第3の辺2cとの間において、半導体チップ5の第3の辺5cの外側に半導体チップ5の第3の辺5cに沿って配置されている。即ち、半導体チップ5の第3の辺5cと配線基板2の第3の辺2cとの間には、半導体チップ5の第3の辺5cに沿って複数の電極パッド3cが1列で配置されている。

## 【0037】

複数の電極パッド3dは、半導体チップ5の第4の辺5dと配線基板2の第4の辺2dとの間において、半導体チップ5の第4の辺5dの外側に半導体チップ5の第4の辺5dに沿って配置されている。即ち、半導体チップ5の第4の辺5dと配線基板2の第4の辺2dとの間には、半導体チップ5の第4の辺5dに沿って複数の電極パッド3dが1列で配置されている。

10

## 【0038】

複数の電極パッド3eは、半導体チップ(7, 8)の第1の辺(7a, 8a)と配線基板2の第1の辺2aとの間において、半導体チップ(7, 8)の第1の辺(7a, 8a)の外側に半導体チップ(7, 8)の第1の辺(7a, 8a)に沿って配置されている。即ち、半導体チップ(7, 8)の第1の辺(7a, 8a)と配線基板2の第1の辺2aとの間には、半導体チップ(7, 8)の第1の辺(7a, 8a)に沿って複数の電極パッド3eが1列で配置されている。

## 【0039】

半導体チップ5の複数の電極パッド6aは、複数のボンディングワイヤ(10a1, 10a2)によって配線基板2の複数の電極パッド(3a1, 3a2)と夫々電氣的に接続されている。半導体チップ5の複数の電極パッド6bは、複数のボンディングワイヤ(10b1, 10b2, 10b3)によって配線基板2の複数の電極パッド(3b1, 3b2, 3b3)と夫々電氣的に接続されている。半導体チップ5の複数の電極パッド6cは、複数のボンディングワイヤ10cによって配線基板2の複数の電極パッド3cと夫々電氣的に接続されている。半導体チップ5の複数の電極パッド6dは、複数のボンディングワイヤ10dによって配線基板2の複数の電極パッド3dと夫々電氣的に接続されている。半導体チップ(7, 8)の複数の電極パッド9は、複数のボンディングワイヤ10eによって配線基板2の複数の電極パッド3eと夫々電氣的に接続されている。

20

30

## 【0040】

ボンディングワイヤとしては、例えば、金(Au)ワイヤが用いられている。また、ボンディングワイヤの接続方法としては、例えば熱圧着に超音波振動を併用したネイルヘッドボンディング(ボールボンディング)法が用いられている。各ボンディングワイヤの接続は、半導体チップ5の電極パッドを一次接続、配線基板2の電極パッドを二次接続とする正ボンディング法で行われている。

## 【0041】

半導体チップ5、半導体チップ(7, 8)、及び複数のボンディングワイヤ等は、配線基板2の主面上に形成された樹脂封止体11によって樹脂封止されている。樹脂封止体11は、低応力化を図る目的として、例えば、フェノール系硬化剤、シリコンゴム及び多数のフィラー(例えばシリカ)等が添加されたエポキシ系の熱硬化性絶縁樹脂で形成されている。

40

## 【0042】

樹脂封止体11は、厚さ方向と交差する平面形状が方形状になっており、本実施例1では例えば配線基板2と同一の平面サイズになっている。樹脂封止体11の形成方法としては、例えば大量生産に好適なトランスファモールディング法が用いられている。

## 【0043】

ここで、BGA型半導体装置の製造においては、スクライプラインによって区画された複数の製品形成領域(デバイス形成領域, 製品取得領域)を有するマルチ配線基板(複数個取り配線基板)を使用し、各製品形成領域に搭載された半導体チップを各製品形成領域

50

毎に樹脂封止する個別方式のトランスファモールディング法や、複数の製品形成領域を有するマルチ配線基板を使用し、各製品形成領域に搭載された半導体チップを1つの樹脂封止体で一括して樹脂封止する一括方式のトランスファモールディング法が採用されている。本実施例1では、例えば一括方式のトランスファモールディング法を採用している。

【0044】

一括方式のトランスファモールディング法の場合、樹脂封止体を形成した後、マルチ配線基板及び樹脂封止体は、例えばダイシングによって複数の小片に分割される。従って、本実施例1の樹脂封止体11と配線基板2は、外形サイズがほぼ同一になっている。

【0045】

図7に示すように、配線基板2の主面と反対側の裏面には、複数の電極パッド29aが配置されている。この複数の電極パッド29aには、半田バンプ12が夫々固着（電氣的にかつ機械的に接続）されている。

10

【0046】

配線基板2は、図7に示すように、表層及び内層の配線層を有する多層配線構造になっており、本実施例1では例えば4層配線構造になっている。配線基板2は、これに限定されないが、コア材20と、コア材20の主面に設けられた配線層21と、配線層21を覆うようにしてコア材20の主面上に設けられた絶縁層23と、絶縁層23上に設けられた配線層24と、配線層24を覆うようにして絶縁層23上に設けられた絶縁層25と、コア材20の主面と反対側の裏面に設けられた配線層26と、配線層26を覆うようにしてコア材20の裏面上に設けられた絶縁層28と、絶縁層28上に設けられた配線層29と、配線層29を覆うようにして絶縁層28上に設けられた絶縁層30とを有する構成になっている。コア材20は、例えばガラス繊維にエポキシ樹脂、若しくはポリイミド樹脂を含浸させた高弾性樹脂基板からなる。表層の絶縁層25及び30は、表層の配線層に形成された配線を保護する目的で設けられており、例えば絶縁性の樹脂膜（ソルダーレジスト膜）で形成されている。

20

【0047】

配線基板2は、コア材20に絶縁層及び配線層を1層ずつ形成し、層間を接続して配線層を積み上げることによって多層化するビルドアップ工法で形成されている。また、配線基板は、配線層をセミアディティブ工法で形成している。

【0048】

配線基板2の主面に配置された複数の電極パッド（3a1, 3a2, 3b1~3b3, 3c, 3d, 3e）は、多層配線層の上から数えて第1層目の配線層24に形成され、配線基板2の裏面に配置された複数の電極パッド29aは、多層配線層の上から数えて第4層目の配線層29に形成されている。

30

【0049】

図5及び図6に示すように、半導体チップ5の複数の電極パッド6aは、平面形状が長方形で形成され、互いに向かい合う2つの長辺が半導体チップ5の第1の辺5aから遠ざかる方向に沿って延在するように、換言すれば2つの短辺が半導体チップ5の第1の辺5aと向かい合うように配置されている。配線基板2の複数の電極パッド3a1及び3a2は、平面が長方形で形成され、互いに向かい合う2つの長辺が半導体チップの第1の辺5aから遠ざかる方向に沿って延在するように、換言すれば2つの短辺が半導体チップの第1の辺5aと向かい合うように配置されている。

40

【0050】

ここで、半導体チップ5の電極パッド6aにおいて、ボンディングワイヤ10a1を介して配線基板2の1列目の電極パッド3a1と電氣的に接続される電極パッド6aを参照符号aで区別し、ボンディングワイヤ10a2を介して配線基板2の2列目の電極パッド3a2と電氣的に接続される電極パッド6bを参照符号bで区別する。また、配線基板2の電極パッドにおいて、半導体チップ5の電極パッド6a（a）に対応する1列目の電極パッド3a1、半導体チップ5の電極パッド6a（b）に対応する電極パッド3a2を夫々参照符号a、bで区別する。

50

## 【0051】

複数の電極パッド3 a 1及び3 a 2は、半導体チップ5の第1の辺5 aに沿って1つずつ交互に配置した千鳥配列になっている。電極パッド3 a 1の配列ピッチn 1、及び電極パッド3 a 2の配列ピッチn 2は、設計上の値が電極パッド6 aの配列ピッチm 1の2倍になっている。電極パッド3 a 1の一边(短辺)は、対応する電極パッド6 aの一边(短辺)と向かい合っており、電極パッド3 a 2の一边(短辺)は、対応する電極パッド6 aの一边(短辺)と向かい合っている。電極パッド3 a 2は、隣り合う2つの電極パッド3 a 1の間に配置され、更に電極パッド3 a 1の配列ピッチn 2の中間に配置されている。即ち、複数の電極パッド3 a 1及び3 a 2は、電極パッド3 a 1と電極パッド3 a 2との配列ピッチn 1 2が半導体チップ5の電極パッド6 aの配列ピッチm 1に対して同一(設計上の値)となる配列で配置されている。本実施例1において、電極パッド6 aの配列ピッチm 1は例えば55[ $\mu\text{m}$ ]程度であり、電極パッド3 a 1の配列ピッチn 1及び電極パッド3 a 2の配列ピッチn 2は例えば110[ $\mu\text{m}$ ]程度であり、電極パッド3 a 1と電極パッド3 a 2との配列ピッチn 1 2は例えば55[ $\mu\text{m}$ ]程度である。

10

## 【0052】

なお、電極パッドの配列ピッチに関しては、あくまでも設計値であり、実際の寸法は加工精度のバラツキ等により若干ずれることは言うまでもない。

## 【0053】

複数の電極パッド6 aと複数の電極パッド3 a 1とを夫々電氣的に接続する複数のボンディングワイヤ10 a 1、複数の電極パッド6 aと複数の電極パッド3 a 2とを夫々電氣的に接続する複数のボンディングワイヤ10 a 2は、ほぼ並行に延在し、更に半導体チップ5の第1の辺5 aの中間を横切ってその第1の辺5 aと直交する仮想線に対してもほぼ並行に延在している。図7及び図8に示すように、ボンディングワイヤ10 a 2のループ高さ(ボンディング面からワイヤの最長部までの高さ)a h 2は、ボンディングワイヤ10 a 1のループ高さa h 1よりも高くなっている。

20

## 【0054】

図6乃至図8に示すように、複数の電極パッド3 a 1には、電極パッド3 a 1と同一の配線層に形成された複数の配線4 aが夫々繋がっている。また、複数の電極パッド3 a 2においても、電極パッド3 a 2と同一の配線層に形成された配線4 bが夫々繋がっている。複数の配線4 aは、各々の一端部が複数の電極パッド3 a 1と夫々一体的に繋がっており、複数の配線4 bにおいても、各々の一端部が複数の電極パッド3 a 2と夫々一体的に繋がっている。即ち、電極パッド3 a 1は配線4 aの一部で形成され、電極パッド3 a 2は配線4 bの一部で形成されている。

30

## 【0055】

複数の配線4 aは、複数の電極パッド3 a 1の夫々から半導体チップ5の第1の辺5 aに向かって延在している(延びている)。一方、複数の配線4 bは、複数の電極パッドの夫々から半導体チップ5の第1の辺5 aとは反対側に向かって延在している(延びている)。

## 【0056】

図9及び図10に示すように、半導体チップ5の複数の電極パッド6 bは、平面形状が長方形で形成され、互いに向かい合う2つの長辺が半導体チップ5の第2の辺5 bから遠ざかる方向に沿って延在するように、換言すれば2つの短辺が半導体チップ5の第2の辺5 bと向かい合うように配置されている。配線基板2の複数の電極パッド3 b 1~3 b 3は、平面が長方形で形成され、互いに向かい合う2つの長辺が半導体チップの第1の辺5 aから遠ざかる方向に対して若干ずれて延在するように、換言すれば2つの短辺が半導体チップ5の第2の辺5 bに対して若干斜めになるように配置されている。

40

## 【0057】

3列目の複数の電極パッド3 b 3、2列目の複数の電極パッド3 b 2、及び1列目の複数の電極パッド3 b 1は、半導体チップ5の第2の辺5 bの中心を横切って第2の辺5 bと直交する仮想線(中心線)5 sから数えて同じ段数(順番)に位置する電極パッドにお

50

いて、3列目の電極パッド3 b 3よりも2列目の電極パッド3 b 2、2列目の電極パッド3 b 2よりも1列目の電極パッド3 b 1の方が仮想線5 sから離れる状態で配置されている。

【0058】

ここで、半導体チップ5の複数の電極パッド6 bにおいて、ボンディングワイヤ10 b 1を介して配線基板2の1列目の電極パッド3 b 1と電氣的に接続される電極パッド6 bを参照符号aで区別し、ボンディングワイヤ10 b 2を介して配線基板2の2列目の電極パッド3 b 2と電氣的に接続される電極パッド6 bを参照符号bで区別し、ボンディングワイヤ10 b 3を介して配線基板2の3列目の電極パッド3 b 3と電氣的に接続される電極パッド6 b参照符号cで区別する。

10

【0059】

また、配線基板2の電極パッドにおいて、半導体チップ5の電極パッド6 b ( a )に対応する1列目の電極パッド3 b 1、半導体チップ5の電極パッド6 b ( b )に対応する電極パッド3 b 2、半導体チップ5の電極パッド6 b ( c )に対応する電極パッド5 b 3を夫々参照符号a、b、cで区別する。

【0060】

複数の電極パッド6 bは、半導体チップ5の第2の辺5 bに沿って半導体チップ5の第2の辺5 bの中心からその端部に向かって電極パッドc、電極パッドb及び電極パッドaがこの順番で繰り返し配置されている。即ち、半導体チップ5の電極パッド6 b ( c )と配線基板2の3列目の電極パッド3 b 3とを接続するボンディングワイヤ10 b 3、半導体チップ5の電極パッド6 b ( b )と配線基板2の2列目の電極パッド3 b 2とを接続するボンディングワイヤ10 b 2、及び半導体チップ5の電極パッド6 b ( a )と配線基板2の1列目の電極パッド3 b 1とを接続するボンディングワイヤ10 b 1は、この順番で半導体チップ5の第2の辺5 bの中心からその端部に向かって繰り返し配置されている。

20

【0061】

複数のボンディングワイヤ10 b 1 ~ 10 b 3は、仮想線5 sに対して鋭角をなす角度で半導体チップ5の第2の辺5 bの中心を起点にして半導体チップ5側から放射状に延在している。

【0062】

図9並びに図11乃至図13に示すように、ボンディングワイヤ10 b 3と半導体チップ5の電極パッド6 b ( c )との接続は、ボンディングワイヤ10 b 1と半導体チップ5の電極パッド6 b ( a )との接続よりも半導体チップ5の第2の辺5 bから離れた位置で行われている。ボンディングワイヤ10 b 2と半導体チップ5の電極パッド6 b ( b )との接続は、ボンディングワイヤ10 b 1と半導体チップ5の電極パッド6 b ( a )との接続よりも半導体チップ5の第2の辺5 bから離れた位置で行われている。図11乃至図13に示すように、ボンディングワイヤ10 b 2のループ高さb h 2 ( 図12参照 ) は、ボンディングワイヤ10 b 1のループ高さb h 1 ( 図11参照 ) よりも高くなっている。ボンディングワイヤ10 b 3のループ高さb h 3 ( 図13参照 ) は、ボンディングワイヤ10 b 2のループ高さb h 2 ( 図12参照 ) よりも高くなっている。

30

【0063】

次に、半導体装置1の製造について説明する。

40

【0064】

まず、半導体チップ5、及び2つの半導体チップ(7, 8)を準備すると共に、マルチ配線基板を準備する。

【0065】

次に、マルチ配線基板の各製品形成領域のチップ搭載部に半導体チップ5、半導体チップ7及び8を搭載する。半導体チップの搭載は、各製品形成領域におけるパッド列が半導体チップの辺に沿う状態で行う。

【0066】

次に、各製品形成領域において、半導体チップの複数の電極パッドと半導体チップの周

50

囲に配置された複数の電極パッドとを複数のボンディングワイヤで夫々電氣的に接続する。この工程により、マルチ配線基板の各製品形成領域に、半導体チップ 5、半導体チップ 7 及び 8 が実装される。

【0067】

ここで、実装とは、基板に半導体チップが接着固定され、基板の接続用パッドと半導体チップの接続用パッドとが電氣的に接続された状態を言う。本実施例 1 では、半導体チップ 2 の接着固定は、接着材によって行われており、マルチ配線基板の電極パッドと半導体チップの電極パッドとの電氣的な接続は、ボンディングワイヤによって行われている。

【0068】

次に、一括方式のトランスファモールディング法を使用して、マルチ配線基板の各製品形成領域 3 7 に実装された半導体チップを一括して樹脂封止する樹脂封止体を形成する。 10

【0069】

次に、マルチ配線基板の主面と反対側の裏面に、各製品形成領域に対応して複数の半田バンプ 1 2 を形成する。半田バンプ 1 2 は、これに限定されないが、例えば、マルチ配線基板の裏面の電極パッド上にフラックス材を塗布し、その後、電極パッド 3 2 上に半田ボールを供給し、その後、半田ボールを溶融して電極パッドとの接合を行うことによって形成される。

【0070】

次に、半田バンプ形成工程において使用したフラックスを洗浄にて除去し、その後、マルチ配線基板の各製品形成領域 3 7 に対応して樹脂封止体の上面に、例えば品名、社名、品種、製造ロット番号等の識別マークを、インクジェットマーキング法、ダイレクト印刷法、レーザマーキング法等を用いて形成する。 20

【0071】

次に、マルチ配線基板及び樹脂封止体を各製品形成領域に対応して複数の小片に分割する。この分割は、例えば、ダイシングシートに樹脂封止体を貼り付けた状態で、マルチ配線基板のスクライブラインに沿ってマルチ配線基板及び樹脂封止体をダイシングブレードでダイシングすることによって行われる。この工程により、図 1 に示す半導体装置 1 がほぼ完成する。

【0072】

次に、半導体チップ 5 の主面にその主面の第 1 の辺 5 b に沿って配置された複数の電極パッド 6 b と、この複数の電極パッド 6 b に対応して配線基板 2 の主面に 3 列で配置された複数の電極パッド (3 b 1, 3 b 2, 3 b 3) とを複数のボンディングワイヤ (1 0 b 1, 1 0 b 2, 1 0 b 3) で夫々電氣的に接続するワイヤボンディングについて説明する。 30

【0073】

まず、図 1 4 に示すように、配線基板 2 に配置された 1 列目の複数の電極パッド 3 b 1 (a) と、半導体チップ 5 の複数の電極パッド 6 b のうち、配線基板 2 の 1 列目の複数の電極パッド 3 b 1 と対応する複数の電極パッド 6 b (a) とを複数のボンディングワイヤ 1 0 b 1 で夫々電氣的に接続する。この工程において、ボンディングワイヤ 1 0 b 1 と電極パッド 6 b (a) との接続は、電極パッド a の 2 つの短辺のうち、半導体チップ 5 の第 2 の辺 5 b に近い方の短辺に偏った位置 (接続点 k 1) で行う。また、ボンディングワイヤ 1 0 b 1 は、仮想線 5 s に対して鋭角を成す角度で延在する。 40

【0074】

次に、図 1 5 に示すように、配線基板 2 に配置された 2 列目の複数の電極パッド 3 b 2 (b) と、半導体チップ 5 の複数の電極パッド 6 b のうち、配線基板 2 の 2 列目の複数の電極パッド 3 b 2 と対応する複数の電極パッド 6 b (b) とを複数のボンディングワイヤ 1 0 b 2 で夫々電氣的に接続する。ボンディングワイヤ 1 0 b 2 と電極パッド 6 b (b) との接続は、電極パッド 6 b (b) の 2 つの短辺のうち、半導体チップ 5 の第 2 の辺 5 b から離れた方の短辺に偏った位置 (接続点 k 2) で行う。換言すると、ボンディングワイヤ 1 0 b 1 が接続された電極パッド 6 b (a) の短辺側とは異なる短辺側に偏った位置で 50

、ボンディングワイヤ10b2の接続を行う。また、ボンディングワイヤ10b2は、仮想線5sに対して鋭角を成す角度で延在する。この工程において、電極パッド6b(b)におけるボンディングワイヤ10b2の接続位置(接続点k2)と隣り合う電極パッド6b(a)におけるボンディングワイヤ10b1の接続位置(接続点k1)は、それぞれ異なる短辺に偏った位置で接続をしている。換言すると、それぞれの接続点が千鳥配置の関係でそれぞれのボンディングワイヤと接続されているため、電極パッド6b(b)にキャピラリが降りた時、ボンディングワイヤ10b1とキャピラリとの距離が電極パッド6bの配列ピッチよりも大きくなる。このため、ボンディングワイヤ10b1とキャピラリとの干渉を抑制することができる。

【0075】

次に、図16に示すように、配線基板2に配置された3列目の複数の電極パッド3b3(c)と、半導体チップ5の複数の電極パッド6bのうち、配線基板2の3列目の複数の電極パッド3b3と対応する複数の電極パッド6b(c)とを複数のボンディングワイヤ10b3で夫々電氣的に接続する。ボンディングワイヤ10b3と電極パッド6b(c)との接続は、電極パッドcの2つの短辺のうち、半導体チップ5の第2の辺5bから離れた方の短辺に偏った位置(接続点k2)で行う。換言すると、電極パッド6b(b)においてボンディングワイヤ10b2が接続される短辺と同じ側の短辺に偏った位置で行う。また、ボンディングワイヤ10b2は、仮想線5sに対して鋭角を成す角度で延在する。

【0076】

この工程において、電極パッド6b(c)と隣り合う電極パッド6b(b)に接続されたボンディングワイヤ10b2は、仮想線5sに対して鋭角をなす角度、即ち電極パッド6b(c)に対して外側を向いているため、電極パッド6b(c)にキャピラリが降りた時、ボンディングワイヤ10b2とキャピラリとの距離が電極パッド6bの配列ピッチよりも大きくなる。このため、ボンディングワイヤ10b1とキャピラリとの干渉を抑制することができる。一方、電極パッド6b(c)と隣り合う電極パッド6b(a)に接続されたボンディングワイヤ10b1は、仮想線5sに対して鋭角をなす角度、即ち電極パッド6b(c)に対して内側を向いているが、ボンディングワイヤ10b3と電極パッド6b(c)との接続は、ボンディングワイヤ10b1と電極パッド3b1との接続位置よりも半導体チップ5の第2の辺5bから離れた位置で行われるため、電極パッド6b(c)にキャピラリが降りた時、ボンディングワイヤ10b1とキャピラリとの距離が電極パッド6bの配列ピッチよりも大きくなる。このため、ボンディングワイヤ10b1とキャピラリとの干渉を抑制することができる。

【0077】

ここで、本実施例1のように配線基板2の電極パッドが多列の場合、1列目の電極パッド3b1に接続されるボンディングワイヤ10b1と、2列目の電極パッド3b2に接続されるボンディングワイヤ10b2と、3列目の電極パッド3b3に接続されるボンディングワイヤ10b3とでは、夫々のワイヤ長が異なる。このようにワイヤ長が異なるワイヤボンディングでは、ワイヤだれ(ワイヤループが中間でたれ下がる状態)や、ワイヤのよれ(2点間を接続したワイヤが上方から見て直線ではなく湾曲した状態)によって、半導体チップにボンディングワイヤが接触、又は隣接するワイヤ同士が接触するといったワイヤタッチ不良を抑制するため、ボンディングワイヤのループ高さを変える必要がある。本実施例1では、2列目の電極パッド3b2に接続されるボンディングワイヤ10b2のループ高さbh2(図12参照)は、1列目の電極パッド3b1に接続されるボンディングワイヤ10b1のループ高さbh1(図11参照)よりも高く、3列目の電極パッド3b3に接続されるボンディングワイヤ10b3のループ高さbh3(図13参照)は、2列目の電極パッド3b2に接続されるボンディングワイヤ10b2のループ高さbh2(図12参照)よりも高くなっている。

【0078】

ボンディングワイヤのループ高さを考慮しなければ、半導体チップ5の第2の辺5bの両端からその中央に向かって順次ワイヤボンディングを行うことによって、ボンディング

10

20

30

40

50

ワイヤとキャピラリとの干渉を抑制することができるが、ボンディングワイヤのループ高さを考慮した場合は、半導体チップ5の第2の辺5bの端からその中央に向かってワイヤボンディングを行うと、ループ高さが高いボンディングワイヤ10b3で接続した後に、ループ高さが低いボンディングワイヤ10b1で接続することになるため、ループ高さが高いボンディングワイヤ10b3にその後のワイヤボンディングを行うキャピラリが干渉してしまう。

【0079】

従って、本実施例1のように、1列目の電極パッド3b1のワイヤ接続後に2列目の電極パッド3b2のワイヤ接続、2列目の電極パッド3b2のワイヤ接続後に3列目の電極パッド3b3のワイヤ接続という順番で行う、換言すれば、同じワイヤ長から成るワイヤ接続を全て完了した後、異なるワイヤ長からなるワイヤ接続を行うことが有効である。

10

【0080】

本実施例1において、図5乃至図8に示すように、半導体チップ5の第1の辺5aに沿って配線基板2の主面に2列で配置された複数の電極パッド(3a1, 3a2)のうち、1列目に配置された複数の電極パッド3a1に繋がる複数の配線4aは、各々の電極パッド3a1から半導体チップ5の第1の辺5aに向かって延在し、2列目に配置された複数の電極パッド3a2に繋がる複数の配線4bは、各々の電極パッド3a2から半導体チップ5の第1の辺5aと反対側に向かって延在している。このような構成にすることにより、電極パッド3a2の配列ピッチを小さくすることができるので、2列目のパッド列の長さを短くすることができる。また、2列目の電極パッド3a2の配列ピッチの縮小に伴い、1列目の電極パッド3b1の配列ピッチも小さくすることができるので、1列目のパッド配列の長さを短くすることができる。これにより、配線基板2の平面サイズを縮小できるため、半導体装置1の小型化を図ることができる。

20

【0081】

また、1列目の電極パッド3a1及び2列目の電極パッド3a2を半導体チップ5の第1の辺5aに近づけることができるため、ボンディングワイヤの長さを短くすることができる。これにより、トランスファモールディング法に基づいて樹脂封止体を形成する時、ボンディングワイヤの形状が樹脂の流れによって変形するワイヤ流れにより、隣り合うボンディングワイヤ同士が短絡するといった不具合の発生を抑制することができるため、半導体装置1の製造歩留まり向上を図ることができる。

30

【0082】

また、配線基板2の電極パッドの配列ピッチは半導体チップ5の電極パッドの配列ピッチよりも広がっているため、ボンディングワイヤは、半導体チップの一辺の中心を横切ってその一辺と直行する仮想線に対して鋭角をなす角度で半導体チップ側から放射状に延在するが、配線基板のパッド列の長さが長くなると、ボンディングワイヤの前記仮想線に対する角度が小さくなるため、半導体チップの電極パッドにおいて、隣り合う2つの電極パッドのうち一方の電極パッドにボンディングワイヤを接続し、その後、他方の電極パッドにボンディングワイヤを接続する時、一方の電極パッドに接続されたボンディングワイヤにキャピラリが干渉するといった不具合の発生を抑制することができる。この結果、半導体装置の製造歩留まり向上を図ることができる。

40

【0083】

本実施例1において、図5及び図6に示すように、半導体チップ5の第1の辺5aに沿って配線基板2の主面に2列で配置された複数の電極パッド(3a1, 3a2)のうち、1列目の複数の電極パッド3a1は、対応する複数の電極パッド6aと向かい合って配置され、2列目の複数の電極パッド3a2は、対応する複数の電極パッド6aと向かい合って配置されている。このような構成にすることにより、更に1列目のパッド列の長さ及び2列目のパッド列の長さを短くすることができるので、半導体装置1の小型化、半導体装置1の歩留まり向上を更に図ることができる。

【0084】

本実施例1の配線基板2は、セミアディティブ工法で形成されている。セミアディティブ

50

ブ工法は、サブトラ工法と比較して加工精度が高く、完成した導体パターン（配線、電極パッド）の上幅と下幅との差がほとんどないため、高密度に配線や電極パッドを形成することができる。従って、更に1列目のパッド列の長さ及び2列目のパッド列の長さを短くすることができるので、半導体装置1の小型化、半導体装置1の歩留まり向上を更に図ることができる。

#### 【0085】

配線基板2の電極パッドには、ボンディングワイヤとのボンダビリティ向上を図るため、メッキ層が形成される。このメッキ層は、低コストでのメッキが可能な電界メッキ法が使用されるが、この場合、電極パッドに給電用配線を接続する必要がある。本実施例1の配線基板2は、表層及び内層の配線層を有する多層配線構造になっている。従って、配線基板2の内層の配線層を使って給電用配線を引き回すことができるため、2列目の電極パッド3a2間に給電用配線を通すことなく、1列目の電極パッド3a1に給電用配線を接続することができる。

10

#### 【0086】

本実施例1の配線基板2は、ビルドアップ工法で形成されている。ビルドアップ工法は、コア材に絶縁層及び配線層を1層ずつ形成し、層間を接続して配線層を積み上げることによって多層化するため、配線の引き回し自由度が高い。従って、ビルドアップ工法で形成された配線基板を使用することにより、狭ピッチの電極パッドを配置することができる。

#### 【0087】

半導体チップ5の主面にその主面の第1の辺5bに沿って配置された複数の電極パッド6bと、この複数の電極パッド6bに対応して配線基板2の主面に3列で配置された複数の電極パッド(3b1, 3b2, 3b3)とを複数のボンディングワイヤ(10b1, 10b2, 10b3)で夫々電氣的に接続するワイヤボンディングにおいて、2列目の複数の電極パッド3b2は、半導体チップ5の第2の辺5bの中心を横切って第2の辺5bと直交する仮想線(中心線)5sから数えて3列目の電極パッド3b3と同じ順位(順番)に位置する電極パッド3b2が仮想線5sから離れる状態で配置する。1列目の複数の電極パッド3b1は、仮想線5sから数えて2列目の電極パッド3b2と同じ順位(順番)に位置する電極パッド3b1が仮想線5sから離れる状態で配置する。

20

1列目の複数の電極パッド3b1とこれに対応する複数の電極パッド6b(a)とを複数のボンディングワイヤ10b1で夫々電氣的に接続する工程、2列目の複数の電極パッド3b2とこれに対応する複数の電極パッド6b(b)とを複数のボンディングワイヤ10b2で夫々電氣的に接続する工程、及び3列目の複数の電極パッド3b3とこれに対応する複数の電極パッド6b(c)とを複数のボンディングワイヤ10b3で夫々電氣的に接続する工程を、この順番で行う。

30

ボンディングワイヤ10b3と3列目の電極パッド3b3との接続、並びにボンディングワイヤ10b2と2列目の電極パッド3b2との接続は、ボンディングワイヤ10b1と1列目の電極パッド3b1との接続よりも半導体チップ5の第2の辺5bから離れた位置で行う。

#### 【0088】

このようにしてワイヤボンディングを行うことにより、キャピラリが電極パッドに降りた時、隣接するボンディングワイヤとキャピラリとの距離が電極パッド6bの配列ピッチよりも大きくなるため、隣接するボンディングワイヤとキャピラリとの干渉を抑制することができる。これにより、半導体装置1の製造歩留まり向上を図ることができる。

40

#### 【0089】

なお、実施例1では、ボンディングワイヤ10b2と電極パッド6b(b)との接続を、ボンディングワイヤ10b1と電極パッド6b(a)との接続よりも半導体チップ5の第2の辺5bから離れた位置で行う例について説明したが、ボンディングワイヤ10b2と電極パッド6b(b)との接続は、ボンディングワイヤ10b1と電極パッド6b(a)との接続と同じように半導体チップ5の第2の辺5bに近い位置、即ち、ボンディング

50

ワイヤ10b3と電極パッド6b(c)よりも半導体チップ5の第2の辺5bと近い位置に配置しても、同様の効果が得られる。

【0090】

各ボンディングワイヤ(10b1, 10b2, 10b3)の接続は、半導体チップ5の第2の辺5bの一端側から他端側に向かって連続的に行っても良いし、半導体チップ5の第2の辺5bの一端側及び他端側からその第2の辺5bの中心に向かって連続的に行っても良いし、半導体チップ5の第2の辺5bの中心からその第2の辺5bの一端側及び他端側に向かって連続的に行っても良い。

【0091】

ただし、半導体チップ5の電極パッド6b(a)と配線基板2の1列目の電極パッド3b1とをボンディングワイヤ10b1で接続する第1のワイヤボンディング工程の後、半導体チップ5の電極パッド6b(b)と配線基板2の2列目の電極パッド3b2とをボンディングワイヤ10b2で接続する第2のワイヤボンディング工程を実施し、第2のワイヤボンディング工程の後、半導体チップ5の電極パッド6b(c)と配線基板2の3列目の電極パッド3b3とをボンディングワイヤ10b3で接続する第3のワイヤボンディング工程を実施する。

10

【0092】

第1のワイヤボンディング工程の後、第3のワイヤボンディング工程を実施すると、第3のワイヤボンディング工程で張られたボンディングワイヤ10b3に第2のワイヤボンディング工程におけるキャピラリが干渉し易くなるため、第1、第2、第3の順番でワイヤボンディング工程を実施することが重要である。

20

【実施例2】

【0093】

図17は、本発明の実施例2である半導体装置の概略構成を示す模式的平面図であり、図18は、図17のボンディングワイヤを省略して示す模式的平面図である。

【0094】

本実施例2は、パッド配列ピッチを小さくする本発明を3列パッド配置に適用した例である。

【0095】

図17及び18に示すように、電極パッド3a1(a)は対応する電極パッド6a(a)と向かい合っており、電極パッド3a2(b)は対応する電極パッド6a(b)と向かい合っており、電極パッド3a3(c)は対応する電極パッド6a(c)と向かい合っている。

30

【0096】

電極パッド3a1(a)の配列ピッチn1、電極パッド3a2(b)の配列ピッチn2、及び電極パッド3a3(c)の配列ピッチn3は、設計値で半導体チップ5の電極パッド6aの配列ピッチm1の3倍になっている。

【0097】

電極パッド3a1(a)と電極パッド3a2(b)との配列ピッチn12、並びに電極パッド3a2(b)と電極パッド3a3(c)との配列ピッチn23は、設計値で電極パッド6aの配列ピッチm1と同一になっている。

40

【0098】

本実施例2においても、前述の実施例1と同様の効果が得られる。

【0099】

また、各列の電極パッドの配列ピッチが大きくなるので、電極パッド間に配線を通して、各パッド列の長さは長く成らない。

【実施例3】

【0100】

図19は、本発明の実施例3である半導体装置の概略構成を示す模式的平面図であり、図20は、図19のボンディングワイヤを省略して示す模式的平面図である。

50

## 【0101】

本実施例3は、パッド配列ピッチを小さくする本発明を4列パッド配置に適用した例である。

## 【0102】

図19及び20に示すように、電極パッド3a1~3a4(a~d)は夫々対応する電極パッド6a(a~d)と向かい合っている。電極パッド3a1(a)の配列ピッチn1、電極パッド3a2(b)の配列ピッチn2、電極パッド3a3(c)の配列ピッチn3、電極パッド3a4(d)の配列ピッチn4は、電極パッド6aの配列ピッチm1の4倍になっている。

## 【0103】

電極パッド3a1と電極パッド3a2との配列ピッチn12、電極パッド3a2と電極パッド3a3との配列ピッチn23、並びに電極パッド3a3と電極パッド3a4との配列ピッチn34は、設計値が電極パッド6aの配列ピッチm1と同一になっている。

10

## 【0104】

本実施例3においても、前述の実施例1と同様の効果が得られる。

## 【0105】

また、各列の電極パッドの配列ピッチが大きくなるので、電極パッド間に配線を通して、各パッド列の長さは長く成らない。

## 【実施例4】

## 【0106】

図21は、本発明の実施例4である半導体装置の概略構成を示す模式的平面図である。

20

## 【0107】

本実施例4は、キャピラリ干渉を抑制する本発明を4列パッド配置に適用した例である。本実施例4においても、実施例1と同様の効果が得られる。

## 【0108】

更には、最初にボンディングワイヤで接続された位置と最後にボンディングワイヤで接続される位置が千鳥配置の関係を満たせば、電極パッドの配置は4列以上であっても良い。

## 【0109】

以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

30

## 【図面の簡単な説明】

## 【0110】

【図1】本発明の実施例1である半導体装置の内部構造を示す模式的平面図である。

【図2】図1におけるボンディングワイヤの一部を省略した状態を示す模式的平面図である。

【図3】図1のa'-a'線に沿う模式的断面図である。

【図4】図1のb'-b'線に沿う模式的断面図である。

【図5】図1の一部(部分A)を簡略化して示す模式的平面図である。

40

【図6】図5におけるボンディングワイヤを省略して示す模式的平面図である。

【図7】図5のc'-c'線に沿う模式的断面図である。

【図8】図5のd'-d'線に沿う模式的断面図である。

【図9】図1の一部(部分B)を簡略化して示す模式的平面図である。

【図10】図9のボンディングワイヤを省略して示す模式的平面図である。

【図11】図9のe'-e'線に沿う模式的断面図である。

【図12】図9のf'-f'線に沿う模式的断面図である。

【図13】図9のg'-g'線に沿う模式的断面図である。

【図14】本発明の実施例1である半導体装置の製造において、ワイヤボンディング工程を示す模式的平面図である。

50

【図15】本発明の実施例1である半導体装置の製造において、ワイヤボンディング工程を示す模式的平面図である。

【図16】本発明の実施例1である半導体装置の製造において、ワイヤボンディング工程を示す模式的平面図である。

【図17】本発明の実施例2である半導体装置の概略構成を示す模式的平面図である。

【図18】図17のボンディングワイヤを省略して示す模式的平面図である。

【図19】本発明の実施例3である半導体装置の概略構成を示す模式的平面図である。

【図20】図19のボンディングワイヤを省略して示す模式的平面図である。

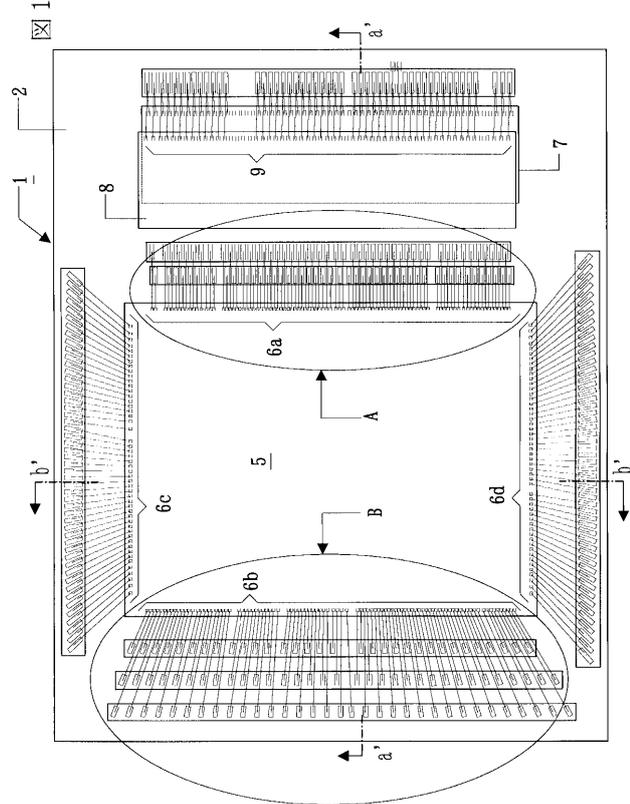
【図21】本発明の実施例4である半導体装置の概略構成を示す模式的平面図である。

【符号の説明】

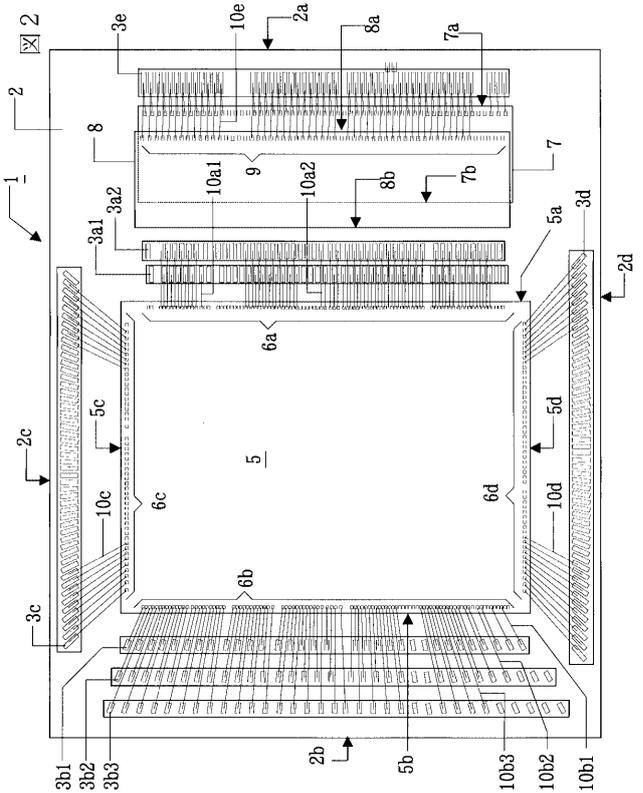
【0111】

- 1 ... 半導体装置、
- 2 ... 配線基板、3 a 1 , 3 a 2 , 3 b 1 , 3 b 2 , 3 b 3 , 3 c , 3 d , 3 e ... 電極パッド（接続部）、4 a , 4 b ... 配線、
- 5 ... 半導体チップ、5 a , 5 b , 5 c , 5 d ... 第1～第4の辺、6 a , 6 b , 6 c , 6 d ... 電極パッド（ボンディングパッド）、
- 7 , 8 ... 半導体チップ、9 ... 電極パッド（ボンディングパッド）、
- 10 a 1 , 10 a 2 , 10 b 1 , 10 b 2 , 10 b 3 , 10 c , 10 d , 10 e ... ボンディングワイヤ、11 ... 樹脂封止体、12 ... 半田バンプ。

【図1】

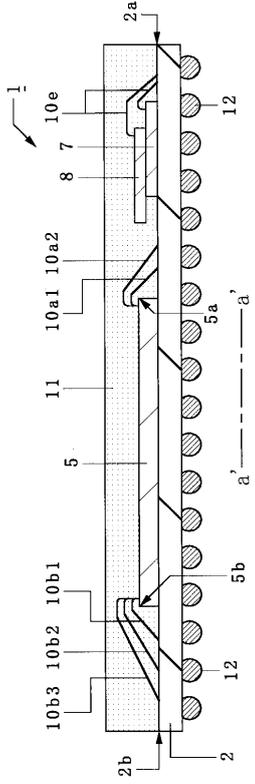


【図2】



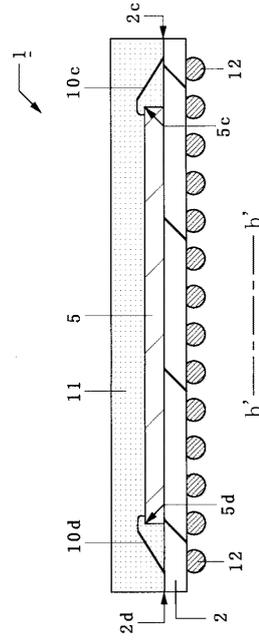
【 図 3 】

図3



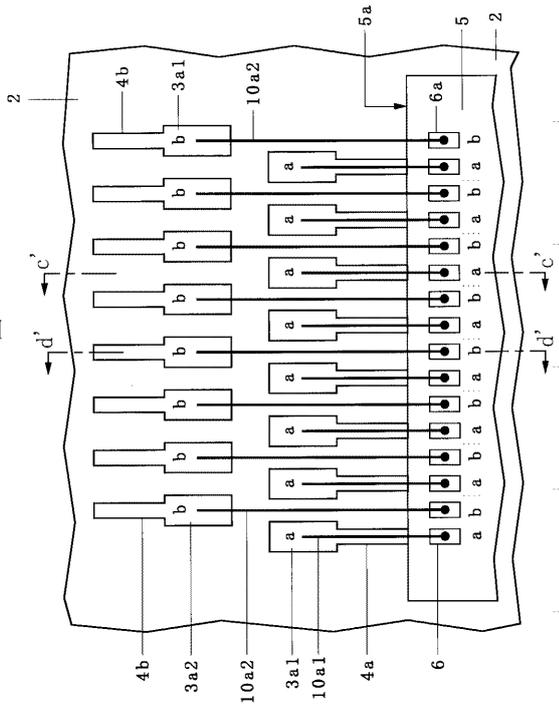
【 図 4 】

図4



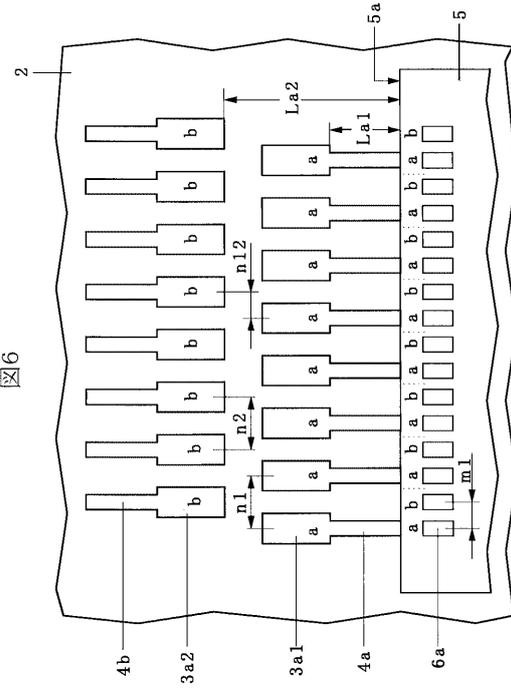
【 図 5 】

図5



【 図 6 】

図6





【 図 1 3 】

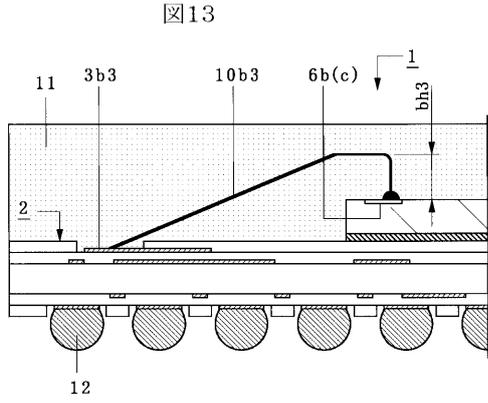


図13

【 図 1 4 】

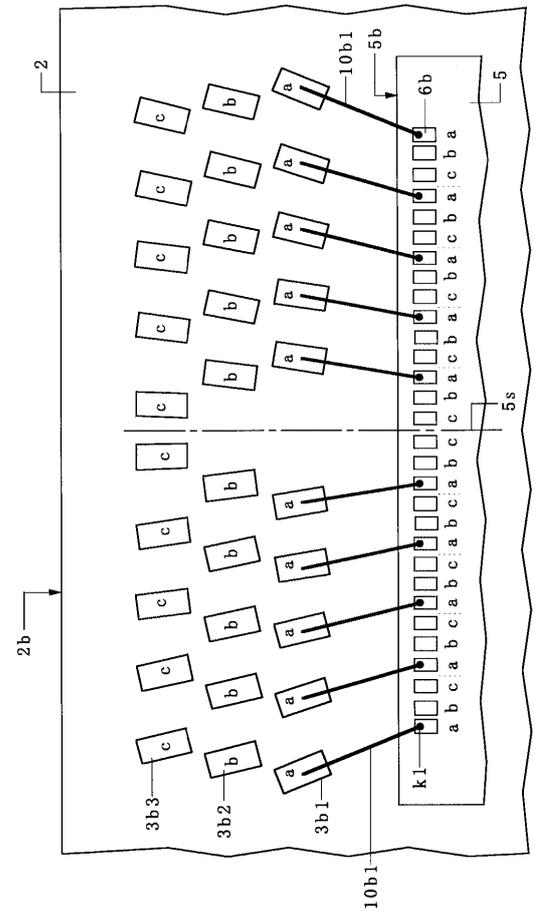


図14

【 図 1 5 】

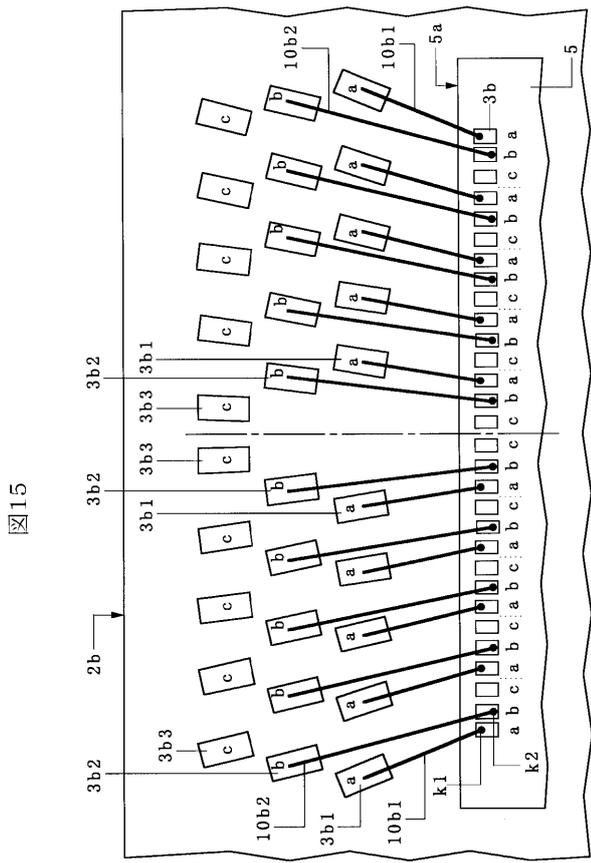


図15

【 図 1 6 】

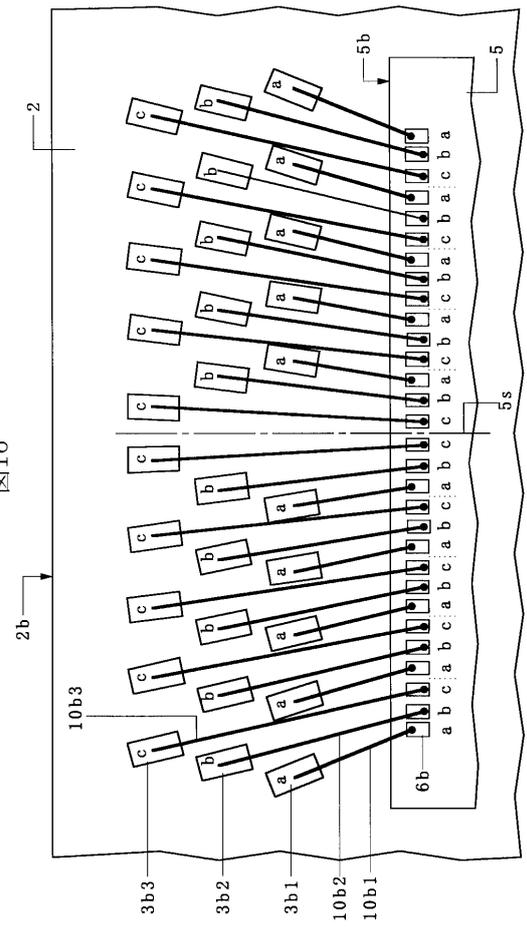


図16

【 図 17 】

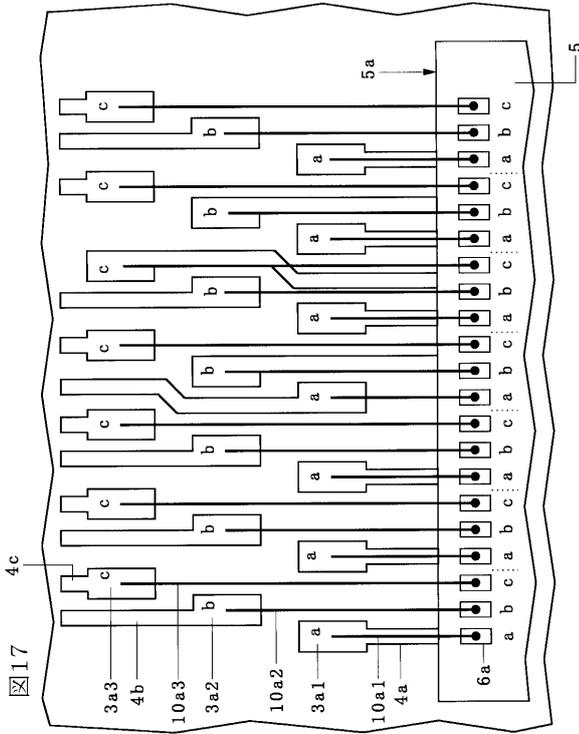


図 17

【 図 18 】

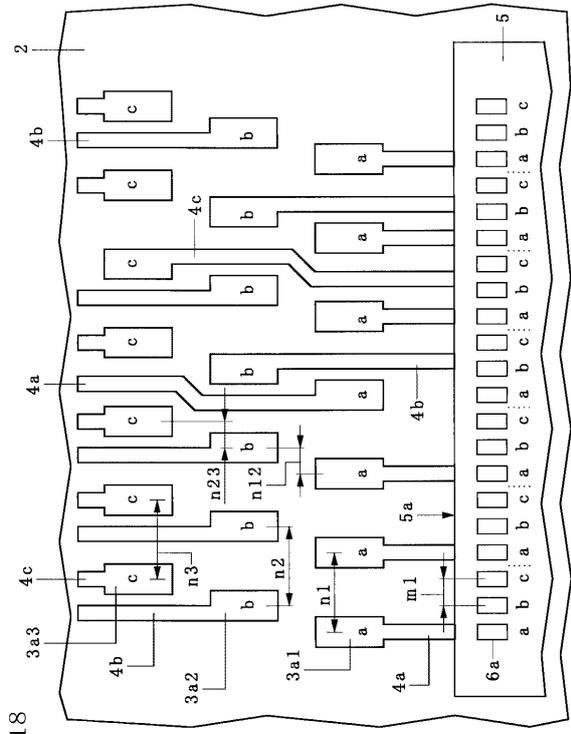


図 18

【 図 19 】

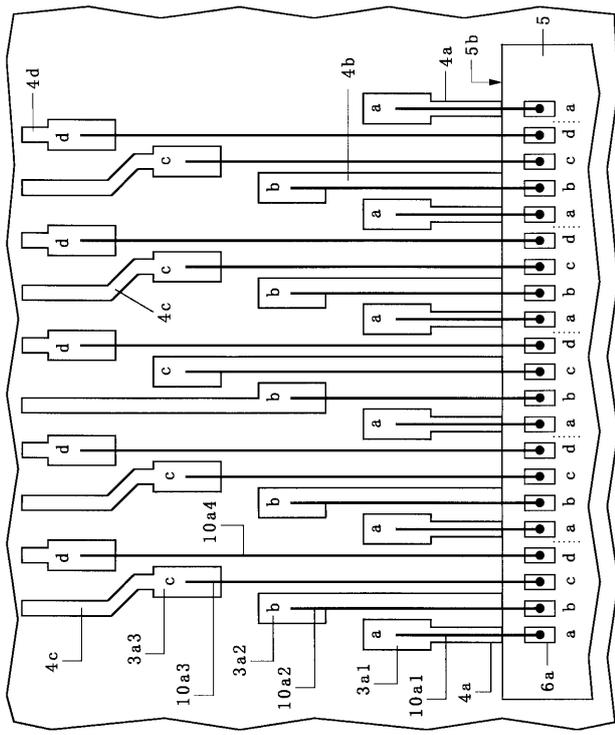


図 19

【 図 20 】

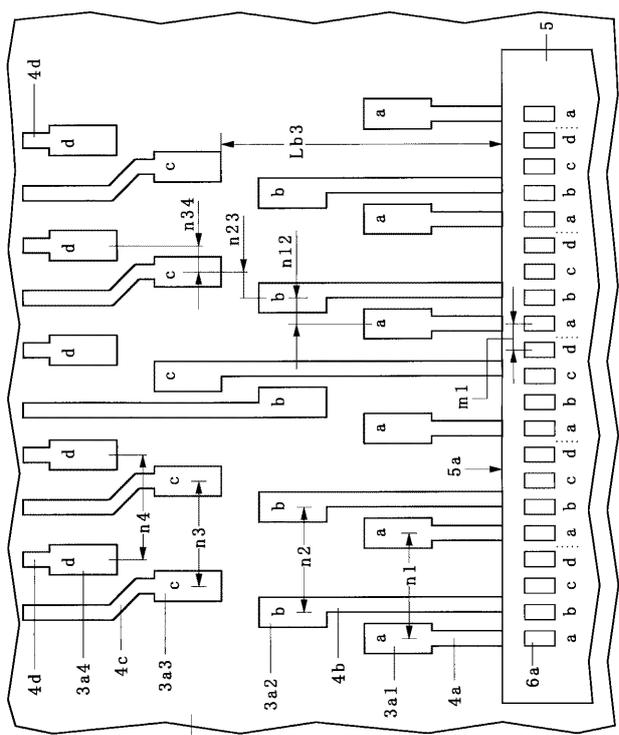


図 20

