



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I770804 B

(45)公告日：中華民國 111 (2022) 年 07 月 11 日

(21)申請案號：110104172

(22)申請日：中華民國 110 (2021) 年 02 月 04 日

(51)Int. Cl. : *H01L27/11563 (2017.01) H01L21/8239 (2006.01)*

(71)申請人：華邦電子股份有限公司 (中華民國) WINBOND ELECTRONICS CORP. (TW)

臺中市 428 大雅區科雅一路 8 號

(72)發明人：李俊霖 LI, CHUN-LIN (TW)

(74)代理人：洪澄文

(56)參考文獻：

TW 531836

TW 201214654A

TW 201727837A

CN 107359123A

CN 108231777A

CN 109860175A

CN 110875322A

審查人員：陳憶緣

申請專利範圍項數：16 項 圖式數：4 共 41 頁

(54)名稱

記憶體裝置及其製造方法

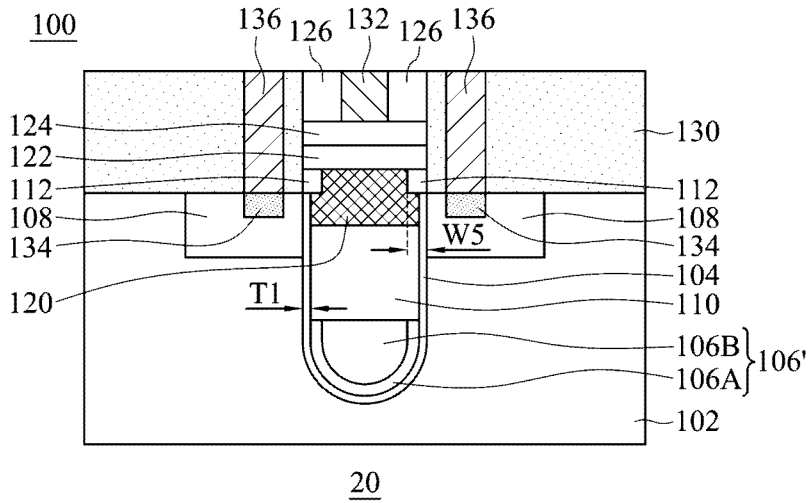
(57)摘要

在此提供一種記憶體裝置及其製造方法。此記憶體裝置包括基板及電子熔絲結構。基板包括陣列區及電子熔絲區，且基板的電子熔絲區中具有電子熔絲溝槽。電子熔絲結構包括第一閘極氧化物層、多個摻雜區、虛設埋入式字元線及電子熔絲閘極。第一閘極氧化物層形成於電子熔絲溝槽的表面上。這些摻雜區分別形成於電子熔絲溝槽之外的相對兩側的基板中，並與第一閘極氧化物層接觸。虛設埋入式字元線形成於第一閘極氧化物層上。電子熔絲閘極形成於虛設埋入式字元線上且與第一閘極氧化物層接觸。虛設埋入式字元線與電子熔絲閘極電性隔絕。

A memory device and its manufacturing method are provided.

The memory device includes a substrate and an eFuse structure. The substrate includes an array region and an eFuse region and the eFuse region of the substrate has an eFuse trench. The eFuse structure includes a first gate oxide layer, a plurality of doped regions, a dummy buried word line, and an eFuse gate. The first gate oxide layer is conformally formed on a surface of the eFuse trench. The doped regions are respectively formed in the substrate on opposite sides outside the eFuse trench, and in contact with the first gate oxide layer. The dummy buried word line is formed on the first gate oxide layer. The eFuse gate is formed on the dummy buried word line and in contact with the first gate oxide layer. The dummy buried word line is electrically isolated with the eFuse gate.

指定代表圖：



第 2G 圖

符號簡單說明：

20:電子熔絲區

100:電子熔絲結構

102:基板

104:閘極氧化物層

106':虛設埋入式字元線

106A:第一導電層

106B:第二導電層

108:摻雜區(源極/汲極結構)

110:絕緣填充層

112:閘極氧化物層

120:電子熔絲閘極

122:金屬矽化物層

124:金屬層

126:蓋層

130:第二絕緣層

132:導電層

134:金屬矽化物層

136:源極/汲極接觸結構

T1:厚度

W5:第五寬度



公告本

I770804

【發明摘要】

【中文發明名稱】 記憶體裝置及其製造方法

【英文發明名稱】 Memory device and method for
manufacturing the same

【中文】

在此提供一種記憶體裝置及其製造方法。此記憶體裝置包括基板及電子熔絲結構。基板包括陣列區及電子熔絲區，且基板的電子熔絲區中具有電子熔絲溝槽。電子熔絲結構包括第一閘極氧化物層、多個摻雜區、虛設埋入式字元線及電子熔絲閘極。第一閘極氧化物層形成於電子熔絲溝槽的表面上。這些摻雜區分別形成於電子熔絲溝槽之外的相對兩側的基板中，並與第一閘極氧化物層接觸。虛設埋入式字元線形成於第一閘極氧化物層上。電子熔絲閘極形成於虛設埋入式字元線上且與第一閘極氧化物層接觸。虛設埋入式字元線與電子熔絲閘極電性隔絕。

【英文】

A memory device and its manufacturing method are provided. The memory device includes a substrate and an eFuse structure. The substrate includes an array region and an eFuse region and the eFuse region of the substrate has an eFuse trench. The eFuse structure includes a first gate oxide

layer, a plurality of doped regions, a dummy buried word line, and an eFuse gate. The first gate oxide layer is conformally formed on a surface of the eFuse trench. The doped regions are respectively formed in the substrate on opposite sides outside the eFuse trench, and in contact with the first gate oxide layer. The dummy buried word line is formed on the first gate oxide layer. The eFuse gate is formed on the dummy buried word line and in contact with the first gate oxide layer. The dummy buried word line is electrically isolated with the eFuse gate.

【指定代表圖】 第2G圖

【代表圖之符號簡單說明】

20: 電子熔絲區

100: 電子熔絲結構

102: 基板

104: 閘極氧化物層

106': 虛設埋入式字元線

106A: 第一導電層

106B: 第二導電層

108: 摻雜區(源極/汲極結構)

110: 絕緣填充層

112: 閘極氧化物層

120:電子熔絲閘極

122:金屬矽化物層

124:金屬層

126:蓋層

130:第二絕緣層

132:導電層

134:金屬矽化物層

136:源極/汲極接觸結構

T1:厚度

W5:第五寬度

【發明說明書】

【中文發明名稱】 記憶體裝置及其製造方法

【英文發明名稱】 Memory device and method for
manufacturing the same

【技術領域】

【0001】 本發明係有關於一種記憶體裝置，且特別係有關於一種具有電子熔絲結構的記憶體裝置及其製造方法。

【先前技術】

【0002】 隨著電子產品日漸小型化之趨勢，對於記憶體裝置亦有逐漸小型化的需求。然而，隨著記憶體裝置的小型化，提高記憶體裝置的可靠度及良率變得更為困難。

【0003】 舉例而言，在習知的動態隨機存取記憶體(dynamic random access memory, DRAM)中，通常會在陣列區與周邊區之間形成電子熔絲(electronic fuse, eFuse)。電子熔絲一般包括兩個導電結構，以及位於這兩個導電結構之間的介電層(例如，閘極氧化層)。當進行寫入操作時，對這兩個導電結構施加高偏壓，以使介電層崩潰(breakdown)，而在介電層內形成永久的導電路徑。隨著介電層發生崩潰的位置不同，可從電子熔絲結構讀出的電流值也有所不同。隨著介電層發生崩潰的位置連結至兩個導電結構的路徑長度的降低，可降低從電子熔絲結構讀出的電阻值，並且可使所讀出

的電阻值的分佈更為集中。如此一來，將有利於改善記憶體裝置的良率及可靠度。然而，在現有技術中，介電層發生崩潰的位置是隨機而難以控制的，因此，不利於改善記憶體裝置的良率及可靠度。

【0004】 因此，在本技術領域中，對於具有高良率及高可靠度的記憶體裝置及其形成方法仍有所需求。

【發明內容】

【0005】 本發明實施例提供一種記憶體裝置及其製造方法，能夠改善電子熔絲結構的電阻值以及電阻值分佈。因此，能夠大幅改善記憶體裝置的效能及良率。

【0006】 本發明之一實施例係揭示一種記憶體裝置，包括：基板，其中基板包括陣列區及電子熔絲區，且基板的電子熔絲區中具有電子熔絲溝槽；以及電子熔絲結構，包括：第一閘極氧化物層，順應性地形成於電子熔絲溝槽的表面上；多個摻雜區，分別形成於電子熔絲溝槽之外的相對兩側的基板中，其中摻雜區與第一閘極氧化物層接觸；虛設埋入式字元線，形成於第一閘極氧化物層上；及電子熔絲閘極，形成於虛設埋入式字元線上且與第一閘極氧化物層接觸，其中虛設埋入式字元線與電子熔絲閘極電性隔絕。

【0007】 本發明之一實施例係揭示一種記憶體裝置的製造方法，包括：提供基板，其中基板包括陣列區及電子熔絲區；形成電子熔絲結構於基板的電子熔絲區中，其中形成電子熔絲結構包括：形成電子熔絲溝槽於基板的電子熔絲區中；形成第一閘極氧化物；

層於電子熔絲溝槽的表面上；形成虛設埋入式字元線於第一閘極氧化物上；分別形成多個摻雜區於電子熔絲溝槽之外的相對兩側的基板中，其中摻雜區與第一閘極氧化物層接觸；以及形成電子熔絲閘極於虛設埋入式字元線上且與第一閘極氧化物層接觸，其中虛設埋入式字元線與電子熔絲閘極電性隔絕。

【0008】 在本發明實施例所提供之記憶體裝置中，藉由將虛設埋入式字元線及絕緣填充層設置於電子熔絲閘極下方，可將電子熔絲閘極的厚度控制在合適的範圍內。因此，能夠改善電子熔絲結構的電阻值以及電阻值分佈。如此一來，能夠大幅改善記憶體裝置的效能及良率。再者，在本發明實施例所提供之記憶體裝置的製造方法中，電子熔絲區的製程前半段可與陣列區的製程整合，且電子熔絲區的製程後半段可同時與陣列區及周邊區的製程整合。因此，能夠大幅降低生產成本及製程的複雜度。

【圖式簡單說明】

【0009】

第1A圖到第1F圖為本發明一些實施例之陣列區及電子熔絲區在製程各個階段的剖面示意圖。

第2A圖到第2G圖為本發明一些實施例之電子熔絲結構在製程各個階段的剖面示意圖。

第3圖為本發明一些實施例之陣列區的剖面示意圖。

第4圖為本發明一些實施例之周邊區的剖面示意圖。

【實施方式】

【0010】 為使本發明之上述和其他目的、特徵、優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下。再者，本發明的不同範例中可能使用重複的參考符號及/或用字。這些重複符號或用字係為了簡化與清晰的目的，並非用以限定各個實施例及/或所述外觀結構之間的關係。

【0011】 在此，「約」、「大約」之用語通常表示在一給定值或範圍的20%之內，較佳是10%之內，且更佳是5%之內。在此給定的數量為大約的數量，意即在沒有特定說明的情況下，仍可隱含「約」、「大約」之含義。

【0012】 本發明提供一種記憶體裝置及其製造方法，第1A圖到第1F圖為本發明一些實施例之陣列區10及電子熔絲區20在製程各個階段的剖面示意圖。應注意的是，在本說明書中的「電子熔絲結構」，可以是藉由施加電壓而使兩個導電結構彼此電性絕緣的電子熔絲結構，亦可以是藉由施加電壓而使兩個導電結構彼此電性連接的反熔絲(anti-fuse)結構。

【0013】 請參照第1A圖，形成第一絕緣層103及硬罩幕層105於基板102上。接著，形成罩幕圖案107於硬罩幕層105上。之後，順應性地形成第一犧牲層109於罩幕圖案107上。

【0014】 基板102的材料可包括矽、含矽半導體、絕緣層上覆矽(silicon on insulator, SOI)、其他合適之材料或上述材料之組

合。在本實施例中，基板102為矽基板。在一些實施例中，可在基板102中形成淺溝隔離結構。在一些實施例中，亦可在基板102中形成其他的結構。舉例而言，可藉由佈植製程在基板102中形成p型井區、n型井區或導電區。為了簡化說明，圖式中並未繪示上述的淺溝隔離結構及其他結構，且關於基板102中的結構及其形成方法，在此不再詳述。第一絕緣層103的材料可包括氧化物、氮化物、氮氧化物、碳化物、其他合適的絕緣材料或上述之組合。在本實施例中，第一絕緣層103為由熱氧化法所形成的氧化矽。

【0015】 硬罩幕層105的材料可包括多晶矽、氧化物、氮化物、氮氧化物、碳系材料(例如，類鑽碳膜)、其他合適的絕緣材料或上述之組合。在本實施例中，硬罩幕層105為類鑽碳膜。罩幕圖案107的材料可包括多晶矽、氧化物、氮化物、氮氧化物、碳系材料(例如，類鑽碳膜)、光阻、其他合適的罩幕材料或上述之組合。為了在後續的蝕刻製程中具有蝕刻選擇性，硬罩幕層105的材料可不同於罩幕圖案107的材料。在本實施例中，罩幕圖案107為碳氧化矽。硬罩幕層105及罩幕圖案107可各自獨立地為由單一材料所形成的單層結構或是由多種不同材料所形成的多層結構。

【0016】 第一犧牲層109的材料可包括氧化物、氮化物、氮氧化物或上述之組合。在本實施例中，第一犧牲層109為氧化矽。可藉由合適的沉積製程形成第一犧牲層109，例如，化學氣相沉積製程、原子層沈積製程或上述製程之組合。

【0017】 仍請參照第1A圖，在陣列區10中，相鄰的罩幕圖案

107具有第一間距P1，且在電子熔絲區20中，相鄰的罩幕圖案107具有小於第一間距P1的第二間距P2。因此，當第一犧牲層109填滿位於電子熔絲區20的罩幕圖案107之間間隙時，位於陣列區10的罩幕圖案107之間間隙尚未被填滿。亦即，在陣列區10中，第一犧牲層109會在相鄰的罩幕圖案107之間形成一個第一溝槽115。

【0018】請參照第1B圖，可進行多個蝕刻製程，以將硬罩幕層105圖案化，而形成多個硬罩幕圖案105'。更詳言之，首先，進行第一蝕刻製程，以部分地移除第一犧牲層109，使得罩幕圖案107的頂表面被暴露出，且被部分地移除後的第一犧牲層109在陣列區10中的罩幕圖案107的側壁上形成間隙壁(spacer)。此外，在第一蝕刻製程之後，在陣列區10中，位於第一溝槽115底部的硬罩幕層105的頂表面被暴露出；在電子熔絲區20中，位於罩幕圖案107之間的硬罩幕層105的頂表面未被暴露出，而仍被第一犧牲層109覆蓋。接著，進行第二蝕刻製程，以移除罩幕圖案107，並保留第一犧牲層109。接著，使用第一犧牲層109作為蝕刻罩幕，對硬罩幕層105進行第三蝕刻製程，以將第一犧牲層109的圖案轉移到硬罩幕層105。於第三蝕刻製程後，在陣列區10中，硬罩幕圖案105'具有第一寬度W1，並且在電子熔絲區20中，硬罩幕圖案105'具有大於第一寬度W1的第二寬度W2。

【0019】第一蝕刻製程、第二蝕刻製程及第三蝕刻製程可各自獨立地包括非等向性蝕刻製程。為了形成用以轉移到硬罩幕層105的第一犧牲層109的圖案，在第一蝕刻製程中，第一犧牲層109

的移除速率可遠大於罩幕圖案107的移除速率及硬罩幕層105的移除速率，並且在第二蝕刻製程中，罩幕圖案107的移除速率可遠大於第一犧牲層109的移除速率。

【0020】請參照第1C圖，形成第二犧牲層111覆蓋於硬罩幕圖案105'上，以填滿相鄰硬罩幕圖案105'之間間隙。接著，對第二犧牲層111進行回蝕刻製程，以暴露出硬罩幕圖案105'的頂表面。第二犧牲層111的材料與形成方法可相同於或相似於第一犧牲層109的材料與形成方法，在此不再詳述。在本實施例中，第二犧牲層111為氧化矽，且藉由化學氣相沉積所形成。

【0021】請參照第1D圖，進行第四蝕刻製程，移除硬罩幕圖案105'，且保留第二犧牲層111，以形成由第二犧牲層111所形成的圖案。第四蝕刻製程可包括非等向性蝕刻製程。為了選擇性地移除硬罩幕圖案105'，在第四蝕刻製程中，硬罩幕圖案105'的移除速率可遠大於第二犧牲層111的移除速率。

【0022】請參照第1E圖，使用第二犧牲層111作為蝕刻罩幕，對基板102及第一絕緣層103進行第五蝕刻製程，以在陣列區10中形成多個具有第一寬度W1的第二溝槽145於基板102中，並且在電子熔絲區20中形成多個具有第二寬度W2的第三溝槽155於基板102中。第五蝕刻製程可包括非等向性蝕刻製程。於第二溝槽145中，後續將形成埋入式字元線106(繪示於第1F圖)。因此，在本說明書中，第二溝槽145亦稱為「字元線溝槽145」。另一方面，於第三溝槽155中，後續將形成電子熔絲結構(繪示於第2G圖)。因此，

在本說明書中，第三溝槽155亦稱為「電子熔絲溝槽155」。

【0023】 為了簡化圖式，第1F圖僅繪示出位於陣列區10的一個字元線溝槽145及位於電子熔絲區20的一個電子熔絲溝槽155。請參照第1F圖，順應性地形成閘極氧化物層104於基板102上，藉此，字元線溝槽145及電子熔絲溝槽155的表面具有閘極氧化物層104。在本實施例中，閘極氧化物層104為由熱氧化法所形成的氧化矽。接著，順應性地形成第一導電層106A於閘極氧化物層104上。接著，形成第二導電層106B於已形成有第一導電層106A的字元線溝槽145及電子熔絲溝槽155中。第一導電層106A與第二導電層106B的頂表面低於基板102的頂表面。

【0024】 第一導電層106A的材料可包括鈦、氮化鈦、氮化鎢、鈮或氮化鈮、其他合適的導電材料或上述之組合。第二導電層106B的材料可包括鎢、鋁、銅、金、銀、上述之合金、其他合適的金屬材料或上述之組合。第一導電層106A及第二導電層106B可各自獨立地藉由化學氣相沉積製程、物理氣相沉積製程、原子層沉積製程、其他合適的沉積製程或上述之組合而形成。在本實施例中，第一導電層106A為氮化鈦，且第二導電層106B為鎢。在一些實施例中，位於字元線溝槽145中的第一導電層106A及第二導電層106B可被合稱為「埋入式字元線106」。再者，位於電子熔絲溝槽155中的第一導電層106A及第二導電層106B可被合稱為「虛設埋入式字元線106'」，以表示其未與其他元件電性連接。

【0025】 請參照第1F圖，電子熔絲溝槽155的寬度(即第二寬

度W2)大於字元線溝槽145的寬度(即第一寬度W1)。因此，在第二導電層106B填滿字元線溝槽145後，位於字元線溝槽145中的第二導電層106B的頂表面會高於位於電子熔絲溝槽155中的第二導電層106B的頂表面。接著，可部分地移除(例如藉由回蝕刻製程)第一導電層106A及第二導電層106B，使位於字元線溝槽145中的埋入式字元線106具有第一厚度H1，且位於電子熔絲溝槽155中的虛設埋入式字元線106'具有小於第一厚度H1的第二厚度H2。換言之，埋入式字元線106的頂表面高於虛設埋入式字元線106'的頂表面。

【0026】 仍請參照第1F圖，將絕緣材料填入於分別形成有埋入式字元線106及虛設埋入式字元線106'的字元線溝槽145及電子熔絲溝槽155中。接著，藉由平坦化製程(例如，化學機械研磨製程)移除多餘的絕緣材料，以形成絕緣填充層110於埋入式字元線106及虛設埋入式字元線106'上。在本實施例中，此平坦化製程也會移除位於基板102的頂表面上的閘極氧化物層104，而暴露出基板102的頂表面。絕緣填充層110的材料可包括氧化物、氮化物、氮氧化物、其他合適的絕緣材料或上述之組合。在本實施例中，絕緣填充層110為氮化矽。

【0027】 接著，對基板102進行佈植製程，以於字元線溝槽145之外的相對兩側的基板102中形成摻雜區108，並且於電子熔絲溝槽155之外的相對兩側的基板102中形成摻雜區108。為了簡化說明，在本說明書中，亦可將摻雜區108稱為「源極/汲極結構108」。

【0028】 第2A圖到第2G圖為本發明一些實施例之電子熔絲

結構100在製程各個階段的剖面示意圖。為了簡化圖式，第2A圖到第2G圖僅繪示出位於電子熔絲區20的一個電子熔絲結構100。請參照第2A圖，在形成如第1F圖所繪示的結構之後，依序形成閘極氧化物層112、硬罩幕層114及圖案化光阻層116於基板102上。圖案化光阻層116具有開口165A。開口165A的位置對應於電子熔絲溝槽155的位置。閘極氧化物層112的材料及形成方法可相同於或相似於閘極氧化物層104的材料及形成方法。硬罩幕層114的材料及形成方法可相同於或相似於硬罩幕層105的材料及形成方法。圖案化光阻層116的材料可為習知的光阻材料。

【0029】 請參照第2B圖，使用圖案化光阻層116作為蝕刻罩幕，對硬罩幕層105及第二介電層112進行第六蝕刻製程，以將開口165A的圖案轉移到第二介電層112中。第六蝕刻製程可包括非等向性蝕刻製程。接著進行第七蝕刻製程，部分地移除絕緣填充層110，以形成電子熔絲閘極容置空間165。如第2B圖所示，電子熔絲閘極容置空間165位於被移除第一厚度D1的絕緣填充層110上，且包括相互連通的開口165A與具有第一厚度D1的容置空間165B。第七蝕刻製程可包括等向性蝕刻製程或非等向性蝕刻製程。在第七蝕刻製程期間，絕緣填充層110的移除速率遠大於第一絕緣層103的移除速率及第二介電層112的移除速率。如此一來，在部分地移除絕緣填充層110之後，仍可保留閘極氧化物層104及閘極氧化物層112。

【0030】 請參照第2C圖，將導電材料填入電子熔絲閘極容置空間165中。接著，進行平坦化製程移除多餘的導電材料，以形成

電子熔絲閘極120於電子熔絲閘極容置空間165中。電子熔絲閘極120形成於絕緣填充層110上且與閘極氧化物層104及閘極氧化物層112接觸。電子熔絲閘極120的材料可包括經過摻雜的多晶矽、其他合適的導電材料或上述之組合。在本實施例中，電子熔絲閘極120的材料為經過摻雜的多晶矽。

【0031】 在本實施例中，電子熔絲閘極120的頂表面可齊平於閘極氧化物層112的頂表面，且高於摻雜區108的頂表面。如此一來，可有利於後續形成平坦的金屬矽化物層122。在其他實施例中，可進行回蝕刻製程(例如，乾式蝕刻或濕式蝕刻)移除多餘的導電材料，因此，電子熔絲閘極120的頂表面可低於閘極氧化物層112的頂表面，且可齊平於摻雜區的頂表面。如此一來，可有利於降低電子熔絲結構100的操作電壓。

【0032】 請參照第2D圖，依序形成金屬矽化物層122、金屬層124、蓋層126、硬罩幕層128及圖案化光阻層129於閘極氧化物層112及電子熔絲閘極120上。圖案化光阻層129的位置對應於電子熔絲閘極120的位置。金屬矽化物層122的材料可包括金屬(例如，鈷、鎢、鎳或上述之組合)的矽化物。金屬層124的材料可包括鈷、鎢、鎳、其他合適的金屬或上述之組合。蓋層126的材料可包括氧化物、氮化物、氮氧化物、其他合適的絕緣材料或上述之組合。在本實施例中，蓋層126為氮化矽。金屬矽化物層122、金屬層124及蓋層126可各自獨立地藉由化學氣相沉積製程、物理氣相沉積製程、原子層沉積製程、其他合適的沉積製程或上述之組合而形成。

硬罩幕層128的材料及形成方法可相同於或相似於硬罩幕層105的材料及形成方法。圖案化光阻層129的材料可為習知的光阻材料。

【0033】請參照第2E圖，使用圖案化光阻層129作為蝕刻罩幕進行第八蝕刻製程，以將閘極氧化物層112、金屬矽化物層122、金屬層124及蓋層126圖案化，並且移除硬罩幕層128。第八蝕刻製程可包括非等向性蝕刻製程。在第八蝕刻製程之後，殘留的閘極氧化物層112、金屬矽化物層122、金屬層124及蓋層126形成於電子熔絲溝槽之上，且其位置對應於電子熔絲溝槽的位置。再者，在第八蝕刻製程之後，暴露出基板102及源極/汲極結構108的頂表面。

【0034】請參照第2F圖，形成第二絕緣層130於基板102上。第二絕緣層130的頂表面可與蓋層126的頂表面共平面。第二絕緣層130的材料可包括氧化物、氮化物、氮氧化物、碳化物、其他合適的絕緣材料或上述之組合。在本實施例中，第二絕緣層130為旋塗式玻璃(spin on glass, SOG)。接著，進行第九蝕刻製程，以形成開口175於蓋層126中，並形成源極/汲極接觸孔185於第二絕緣層130中。開口175暴露出金屬層124，且源極/汲極接觸孔185暴露出源極/汲極結構108。第九蝕刻製程可包括非等向性蝕刻製程。再者，為了確保能夠暴露金屬層124及/或源極/汲極結構108，在一些實施例中，第九蝕刻製程可以過蝕刻(over etching)。

【0035】請參照第2G圖，將導電材料填入開口175及源極/汲極接觸孔185中。接著，進行平坦化製程移除多餘的導電材料，以形成導電層132於開口175中，並且形成源極/汲極接觸結構136於

源極/汲極接觸孔185中，以完成電子熔絲結構100。在本實施例中，在將導電材料填入源極/汲極接觸孔185之後，可進行加熱製程，以形成金屬矽化物層134於源極/汲極接觸結構136與源極/汲極結構108之間。導電層132及源極/汲極接觸結構136的材料可相同於或相似於金屬層124的材料。金屬矽化物層134的材料可相同於或相似於金屬矽化物層122的材料。電子熔絲閘極120可藉由金屬矽化物層122、金屬層124及導電層132電性連接至外部元件。因此，在本說明書中，亦可將金屬矽化物層122、金屬層124及導電層132合稱為「電子熔絲接觸結構」。

【0036】 導電層132的寬度可小於或等於金屬層124的寬度。在本實施例中，導電層132的寬度小於金屬層124的寬度，因此，可降低金屬層124與源極/汲極接觸結構136之間發生短路的風險，進而改善記憶體裝置的良率。在其他實施例中，導電層132的寬度等於金屬層124的寬度，因此，可降低電子熔絲接觸結構的電阻值，進而改善記憶體裝置的效能。

【0037】 在如第2G圖所述的相關製程完成之後，後續可進行其他習知的製程，以完成記憶體裝置。為了簡化說明，關於其他習知的製程，在此不再詳述。

【0038】 第3圖為本發明一些實施例之陣列區10的剖面示意圖。第4圖為本發明一些實施例之周邊區30的剖面示意圖。在一些實施例中，周邊區30圍繞陣列區10，且電子熔絲區20位於陣列區10與周邊區30的交界處。在其他實施例中，可依據設計的需求而將

陣列區10、電子熔絲區20與周邊區30以任何合適的排列方式設置。在如第2G圖所述的相關製程完成之後，陣列區10、電子熔絲區20與周邊區30的剖面輪廓分別繪示於第3圖、第2G圖與第4圖。

【0039】 在本實施例所提供之記憶體裝置的製造方法中，電子熔絲區20的製程前半段可與陣列區10的製程整合，且電子熔絲區20的製程後半段可同時與陣列區10及周邊區30的製程整合。因此，能夠大幅降低生產成本及製程的複雜度。

【0040】 更詳言之，請參照第1A圖至第1F圖，位於陣列區10的字元線溝槽145與位於電子熔絲區20的電子熔絲溝槽155是在相同的製程中同時形成，且位於陣列區10的埋入式字元線106與位於電子熔絲區20的虛設埋入式字元線106'是在相同的製程中同時形成。在習知技術中，為了形成具有合適尺寸的電子熔絲結構，在進行陣列區或周邊區的製程時，通常會使用額外的罩幕層遮蔽電子熔絲區。換言之，陣列區、電子熔絲區與周邊區的製程式彼此獨立的。因此，習知技術的製程複雜度及生產成本均很高。在本實施例所提供之記憶體裝置的製造方法中，可同時形成具有不同寬度的字元線溝槽145與電子熔絲溝槽155。換言之，在如第1A圖至第1F圖所述的製程中，可將電子熔絲區20的製程前半段與陣列區10的製程整合在一起。如此一來，能夠降低製程複雜度及生產成本。

【0041】 在一些實施例中，在如第1A圖至第1F圖所述的製程中，周邊區30並未受到影響(例如，可藉由罩幕層覆蓋周邊區30)。因此，為了簡化圖式，在第1A圖至第1F圖中並未繪示周邊區30。

【0042】 另一方面，在如第2A圖所述的製程中，在陣列區10中，圖案化光阻層116在相鄰的埋入式字元線106之間具有開口(未繪示出)，並且在周邊區30中，圖案化光阻層116不具有開口。應注意的是，在陣列區10中，圖案化光阻層116的開口位置並非位於埋入式字元線106正上方。因此，在字元線溝槽145中不會形成電子熔絲閘極120。在如第2B圖所述的製程中，在陣列區10中，形成位元線接觸溝槽於相鄰的埋入式字元線106之間。在如第2C圖所述的製程中，在陣列區10中，填入位元線接觸溝槽的導電材料形成位元線接觸結構140，並且在周邊區30中，形成導電材料層於閘極氧化物層112之上。在如第2D圖所述的製程中，在陣列區10中，圖案化光阻層129的位置對應於位元線接觸結構140的位置，並且在周邊區30中，圖案化光阻層129的位置對應於後續將形成的閘極結構150的位置。在如第2E圖所述的製程中，在陣列區10中，包括金屬矽化物層122、金屬層124及蓋層126的堆疊結構形成於位元線接觸結構140之上。在此步驟中，位於周邊區30的導電材料層被圖案化，而形成閘極結構150。因此，在周邊區30中，包括閘極氧化物層112、閘極結構150、金屬矽化物層122、金屬層124及蓋層126的堆疊結構形成於基板102之上。在如第2F圖所述的製程中，在陣列區10中，並未形成開口於第二絕緣層130中。在此步驟中，相似於電子熔絲區20，在周邊區30中，形成開口於蓋層126中，並形成源極/汲極接觸孔於第二絕緣層130中。在如第2G圖所述的製程中，陣列區10並未受到影響(舉例而言，可藉由罩幕層覆蓋陣列區10)，因而

形成如第3圖所繪示的結構。在此步驟中，相似於電子熔絲區20，在周邊區30中，形成導電層132於蓋層126中，形成源極/汲極接觸結構136於源極/汲極接觸孔中，並且形成金屬矽化物層134於源極/汲極接觸結構136與源極/汲極結構108之間。在一些實施例中，位於周邊區30的源極/汲極結構108可在如第1F圖所述的佈植製程中形成。在另一些實施例中，位於周邊區30的源極/汲極結構108可在如第2E圖所述的製程之後進行額外的佈植製程而形成。

【0043】 位於周邊區30的閘極結構150可藉由金屬矽化物層122、金屬層124及導電層132電性連接至外部元件。因此，在本說明書中，亦可將位於周邊區30的閘極結構150上方的金屬矽化物層122、金屬層124及導電層132合稱為「閘極接觸結構」。

【0044】 如上所述，根據本實施例所提供之記憶體裝置的製造方法，可在陣列區10與電子熔絲區20同時形成位元線接觸結構140與電子熔絲閘極120，並且在電子熔絲區20與周邊區30同時形成電子熔絲接觸結構與閘極接觸結構。換言之，在如第2A圖至第2G圖所述的製程中，可將電子熔絲區20的製程後半段與陣列區10及周邊區30的製程整合在一起。如此一來，能夠進一步降低製程複雜度及生產成本。

【0045】 本發明之一些實施例提供一種記憶體裝置。請同時參照第2G圖、第3圖及第4圖，記憶體裝置包括基板102，且基板102包括陣列區10、電子熔絲區20及周邊區30。如第1F圖及第2G圖所示，在電子熔絲區20中，記憶體裝置包括電子熔絲結構100。電子

熔絲結構100包括配置於電子熔絲溝槽155中的閘極氧化物層104、虛設埋入式字元線106'及絕緣填充層110，且閘極氧化物層104是順應性地形成於電子熔絲溝槽155的表面，虛設埋入式字元線106'是形成於閘極氧化物層104上，絕緣填充層110是形成於虛設埋入式字元線106'上。電子熔絲溝槽155形成於基板102中。電子熔絲結構100還包括閘極氧化物層112、多個摻雜區108及電子熔絲閘極120。閘極氧化物層112具有開口165A(標示於第2B圖中)，且形成於基板102上並與閘極氧化物層104相連。這些摻雜區108分別形成於電子熔絲溝槽155之外的相對兩側的基板102中，並且與閘極氧化物層104接觸。電子熔絲閘極120形成於電子熔絲溝槽155中，且位於絕緣填充層110上，並與閘極氧化物層104及閘極氧化物層112接觸。絕緣填充層110被配置以電性隔離電子熔絲閘極102與虛設埋入式字元線106'。於本實施例中，電子熔絲閘極120還形成於閘極氧化物層112的開口165A中，且電子熔絲閘極120的頂表面與閘極氧化物層112的頂表面共平面。

【0046】 電子熔絲結構100還包括形成於電子熔絲閘極120上的電子熔絲接觸結構。電子熔絲接觸結構包括依序形成於電子熔絲閘極120上的金屬矽化物層122、金屬層124及導電層132。於一實施例中，導電層132是配置於蓋層126的開口中，且金屬矽化物層122與金屬層124更延伸地配置於閘極氧化物層112上。

【0047】 為了有利於裝置的微型化，字元線溝槽145的寬度越窄越好。然而，形成開口165A的圖案化步驟的臨界尺寸需大於字元

線溝槽145的臨界尺寸，以降低電子熔絲結構的操作電壓。若是電子熔絲溝槽155的寬度與字元線溝槽145的寬度相同，則電子熔絲溝槽155的寬度會小於開口165的寬度。在這種情況下，填入電子熔絲閘極容置空間165的導電材料容易殘留於摻雜區108的頂表面上，從而導致短路。如此一來，將降低記憶體裝置的良率。另一方面，若電子熔絲溝槽155的寬度太小，則形成開口165A時，將難以對準電子熔絲溝槽155與開口165A。如此一來，會發生電子熔絲閘極120的阻抗上升，甚至無法與閘極氧化物層104接觸，從而導致電子熔絲結構100無法工作的問題。

【0048】請參照第1F圖，於一實施例中，第二寬度W2相對於第一寬度W1的比率 $W2/W1$ 為2.0-5.0，藉此可有利於將電子熔絲區20的製程後半段與陣列區10及周邊區30的製程整合在一起，並且可降低或避免發生上述問題。

【0049】請參照第2B圖，在形成閘極氧化物層104後，電子熔絲溝槽155的開口寬度為第三寬度W3，且第三寬度W3大於開口165A的第四寬度W4。因此，閘極氧化物層112的開口165A小於電子熔絲閘極120的底部寬度(即第三寬度W3)。在一些實施例中，將閘極氧化物層112的突出部寬度定義為 $(W3-W4)/2$ ，且突出部寬度為電子熔絲閘極120的底部寬度(即第三寬度W3)的5%-45%。亦即，第四寬度W4相對於第三寬度W3的比率為0.1~0.9，如此可有利於使發生崩潰的位置集中在閘極氧化物層104中。

【0050】請參照第2G圖，在本實施例中，閘極氧化物層112

的寬度(即，第五寬度W5)大於閘極氧化物層104的厚度T1。因此，當對電子熔絲結構100進行寫入操作時，相較於閘極氧化物層112，在閘極氧化物層104中較容易發生崩潰。

【0051】 另一方面，如第2C圖所示，本實施例於虛設埋入式字元線106'及絕緣填充層110上方設置電子熔絲閘極120。因此，能夠將發生崩潰的位置控制在位於電子熔絲閘極120與源極/汲極結構108之間的閘極氧化物層104。在本實施例中，能夠降低自電子熔絲結構讀出的電阻值，並且能夠使所讀出的電阻值分佈更為集中。如此一來，將有利於改善記憶體裝置的良率及可靠度。

【0052】 請參照第2B圖及第2C圖，電子熔絲閘極120與閘極氧化物層104的接觸厚度為第一厚度D1，摻雜區108具有深度D2，且厚度D1小於深度D2。為了有效地集中發生崩潰的位置，進而改善電子熔絲結構的電阻值分佈，在一些實施例中，深度D2相對於第一厚度D1的比率D2/D1為1.5-5.0。

【0053】 綜上所述，在本發明實施例所提供之記憶體裝置中，藉由將電子熔絲閘極設置於虛設埋入式字元線及絕緣填充層上方，可將閘極氧化物層發生崩潰的位置控制特定的範圍內。因此，能夠改善電子熔絲結構的電阻值以及電阻值分佈。如此一來，能夠大幅改善記憶體裝置的效能及良率。再者，在本發明實施例所提供之記憶體裝置的製造方法中，電子熔絲區的製程前半段可與陣列區的製程整合，且電子熔絲區的製程後半段可同時與陣列區及周邊區的製程整合。因此，能夠大幅降低生產成本及製程的複雜度。

【0054】 雖然本發明已以數個較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者在不脫離本發明之精神和範圍內，當可作任意之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0055】

10:陣列區

20:電子熔絲區

30:周邊區

100:電子熔絲結構

102:基板

103:第一絕緣層

104:閘極氧化物層

105:硬罩幕層

105':硬罩幕圖案

106:埋入式字元線

106':虛設埋入式字元線

106A:第一導電層

106B:第二導電層

107:罩幕圖案

108:摻雜區(源極/汲極結構)

- 109:第一犧牲層
- 110:絕緣填充層
- 111:第二犧牲層
- 112:閘極氧化物層
- 114:硬罩幕層114
- 115:第一溝槽
- 116:圖案化光阻層
- 120:電子熔絲閘極
- 122:金屬矽化物層
- 124:金屬層
- 126:蓋層
- 128:硬罩幕層
- 129:圖案化光阻層
- 130:第二絕緣層
- 132:導電層
- 134:金屬矽化物層
- 136:源極/汲極接觸結構
- 140:位元線接觸結構
- 145:第二溝槽(字元線溝槽)
- 150:閘極結構
- 155:第三溝槽(電子熔絲溝槽)
- 165:電子熔絲閘極容置空間

165 A: 開口

165 B: 容置空間

175: 開口

185: 源極/汲極接觸孔

D1: 厚度

D2: 深度

H1: 第一厚度

H2: 第二厚度

P1: 第一間距

P2: 第二間距

T1: 厚度

W1: 第一寬度

W2: 第二寬度

W3: 第三寬度(溝槽寬度)

W4: 第四寬度

W5: 第五寬度

【發明申請專利範圍】

【請求項1】 一種記憶體裝置，包括：

一基板，其中該基板包括一陣列區及一電子熔絲區，且該基板的該電子熔絲區中具有一電子熔絲溝槽；以及

一電子熔絲結構，包括：

一第一閘極氧化物層，順應性地形成於該電子熔絲溝槽的表面上；

多個摻雜區，分別形成於該電子熔絲溝槽之外的相對兩側的該基板中，其中該些摻雜區與該第一閘極氧化物層接觸；

一虛設埋入式字元線，形成於該第一閘極氧化物層上；及

一電子熔絲閘極，形成於該虛設埋入式字元線上且與該第一閘極氧化物層接觸，其中該虛設埋入式字元線與該電子熔絲閘極電性隔絕。

【請求項2】 如請求項1所述之記憶體裝置，其中該電子熔絲結構更包括設置於該虛設埋入式字元線與該電子熔絲閘極之間的一絕緣填充層，該電子熔絲閘極與該第一閘極氧化物層的接觸厚度為一第一厚度D1，且各該摻雜區具有大於該第一厚度D1的一深度D2。

【請求項3】 如請求項2所述之記憶體裝置，其中該深度D2相對於該第一厚度D1的比率D2/D1為1.5-5.0。

【請求項4】 如請求項1所述之記憶體裝置，其中該基板的該陣列區中具有一字元線溝槽，且更包括：

一埋入式字元線，形成於該字元線溝槽中，其中該埋入式字元線的一頂表面高於該虛設埋入式字元線的一頂表面，

其中該字元線溝槽具有一第一寬度W1，該電子熔絲溝槽具有一第二寬度W2，且該第二寬度W2相對於該第一寬度W1的比率 $W2/W1$ 為2.0-5.0。

【請求項5】 如請求項1所述之記憶體裝置，更包括形成於該基板上的一第二閘極氧化物層，其中該第二閘極氧化物層具有一開口，該開口暴露出該電子熔絲閘極，且該開口的一寬度小於該電子熔絲閘極的一底部寬度。

【請求項6】 如請求項5所述之記憶體裝置，其中該開口的該寬度相對於該電子熔絲閘極的該底部寬度的比率為0.1~0.9。

【請求項7】 如請求項5所述之記憶體裝置，其中該電子熔絲閘極的一頂表面低於或齊平於該第二閘極氧化物層的一頂表面。

【請求項8】 如請求項7所述之記憶體裝置，其中該電子熔絲閘極的一頂表面高於或齊平於各該摻雜區的一頂表面。

【請求項9】 如請求項1所述之記憶體裝置，更包括：

一電子熔絲接觸結構，係與該電子熔絲閘極電性連接，該電子熔絲接觸結構包括：

一金屬矽化物層，形成於該電子熔絲閘極上；

一金屬層，形成於該金屬矽化物層上；及

一導電層，形成於該金屬層上，其中該導電層的一寬度小於或等於該金屬層的一寬度。

【請求項10】 一種記憶體裝置的製造方法，包括：

提供一基板，其中該基板包括一陣列區及一電子熔絲區；及

形成一電子熔絲結構於該基板的該電子熔絲區中，其中形成該

電子熔絲結構包括：

形成一電子熔絲溝槽於該基板的該電子熔絲區中；

形成一第一閘極氧化物層於該電子熔絲溝槽的表面上；

形成一虛設埋入式字元線於該第一閘極氧化物層上；

分別形成多個摻雜區於該電子熔絲溝槽之外的相對兩側的該基板中，其中該些摻雜區與該第一閘極氧化物層接觸；以及

形成一電子熔絲閘極於該虛設埋入式字元線上且與該第一閘極氧化物層接觸，其中該虛設埋入式字元線與該電子熔絲閘極電性隔絕。

【請求項11】 如請求項10所述之記憶體裝置的製造方法，其中形成該電子熔絲結構更包括：

在形成該虛設埋入式字元線後，形成一絕緣填充層於該虛設埋入式字元線上，使該虛設埋入式字元線與該電子熔絲閘極電性隔絕，

其中該電子熔絲閘極與該第一閘極氧化物層的接觸厚度為一第一厚度D1，且各該摻雜區具有大於該第一厚度D1的一深度D2。

【請求項12】 如請求項11所述之記憶體裝置的製造方法，更包括：

在形成該絕緣填充層之後且形成該電子熔絲閘極之前，形成一第二閘極氧化物層於該基板及該絕緣填充層上；

圖案化該第二閘極氧化物層，使該第二閘極氧化物層具有一開口；以及

部分地移除該絕緣填充層，使該絕緣填充層減少該第一厚度，以在該電子熔絲溝槽中形成與該開口相互連通的一容置空間，

其中，形成該電子熔絲閘極於該虛設埋入式字元線上包括形成該電子熔絲閘極於該容置空間中，

其中，該開口暴露出該電子熔絲閘極，且該開口的一寬度小於該電子熔絲閘極的一底部寬度。

【請求項13】 如請求項10所述之記憶體裝置的製造方法，更包括：

形成一金屬矽化物層於該電子熔絲閘極上；

形成一金屬層於該金屬矽化物層上；

形成一蓋層於該金屬層上；

圖案化該金屬矽化物層、該金屬層及該蓋層；

形成一絕緣層於該基板上，並使該絕緣層與該蓋層共平面；

進行一蝕刻製程，以形成一開口於該蓋層中，其中該開口暴露出該金屬層；以及

形成一導電層於該開口中，其中該導電層的一寬度小於或等於該金屬層的一寬度，且其中該金屬矽化物層、該金屬層及該導電層構成一電子熔絲接觸結構。

【請求項14】 如請求項10所述之記憶體裝置的製造方法，更包括：

形成一字元線溝槽於該基板的該陣列區中，其中該字元線溝槽與該電子熔絲溝槽同時形成；以及

形成一埋入式字元線於該字元線溝槽中，其中該埋入式字元線與該虛設埋入式字元線同時形成。

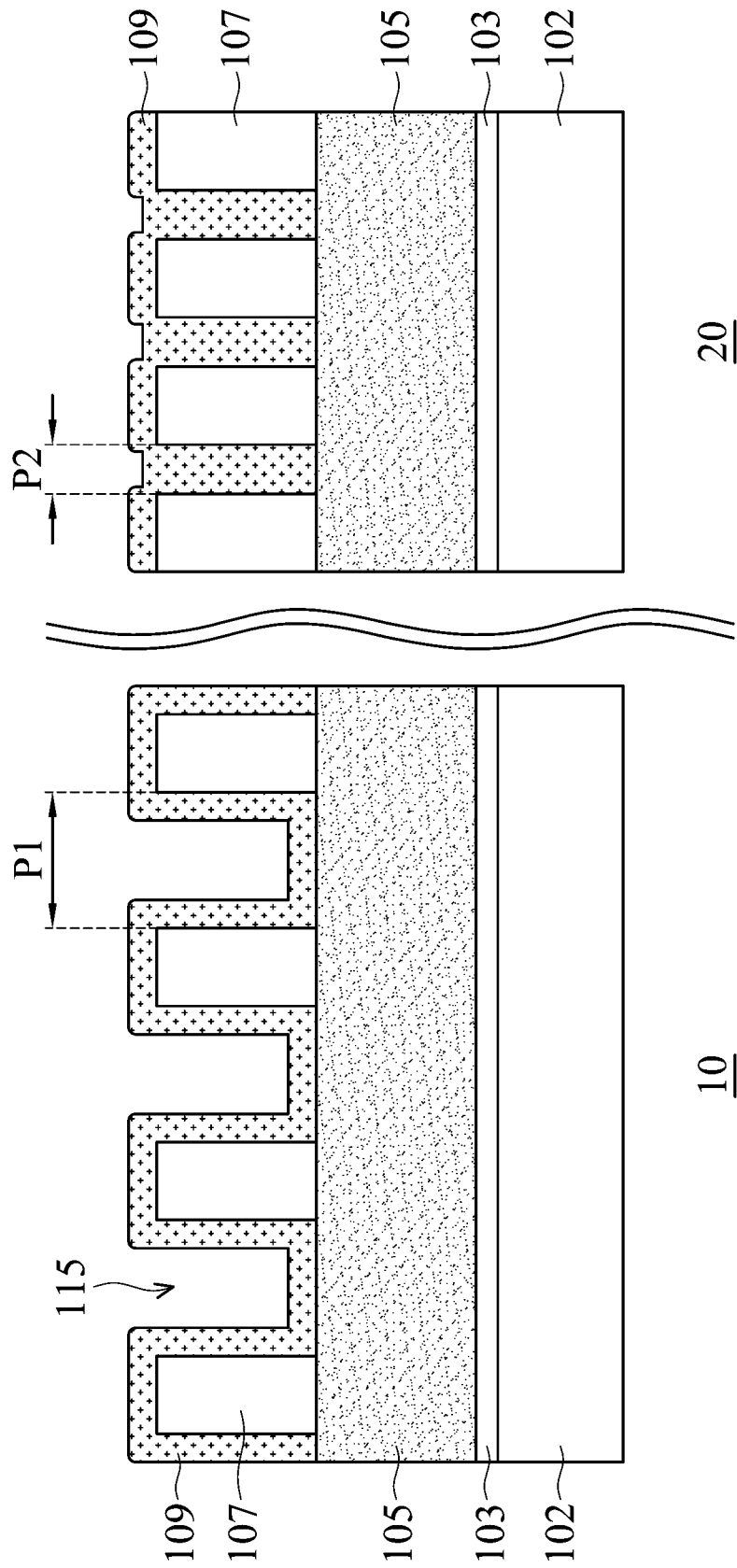
【請求項15】 如請求項14所述之記憶體裝置的製造方法，其中該字元線溝槽具有一第一寬度 $W1$ ，該電子熔絲溝槽具有一第二寬度 $W2$ ，且該第二寬度 $W2$ 相對於該第一寬度 $W1$ 的比率 $W2/W1$ 為2.0-5.0。

【請求項16】 如請求項13所述之記憶體裝置的製造方法，更包括：

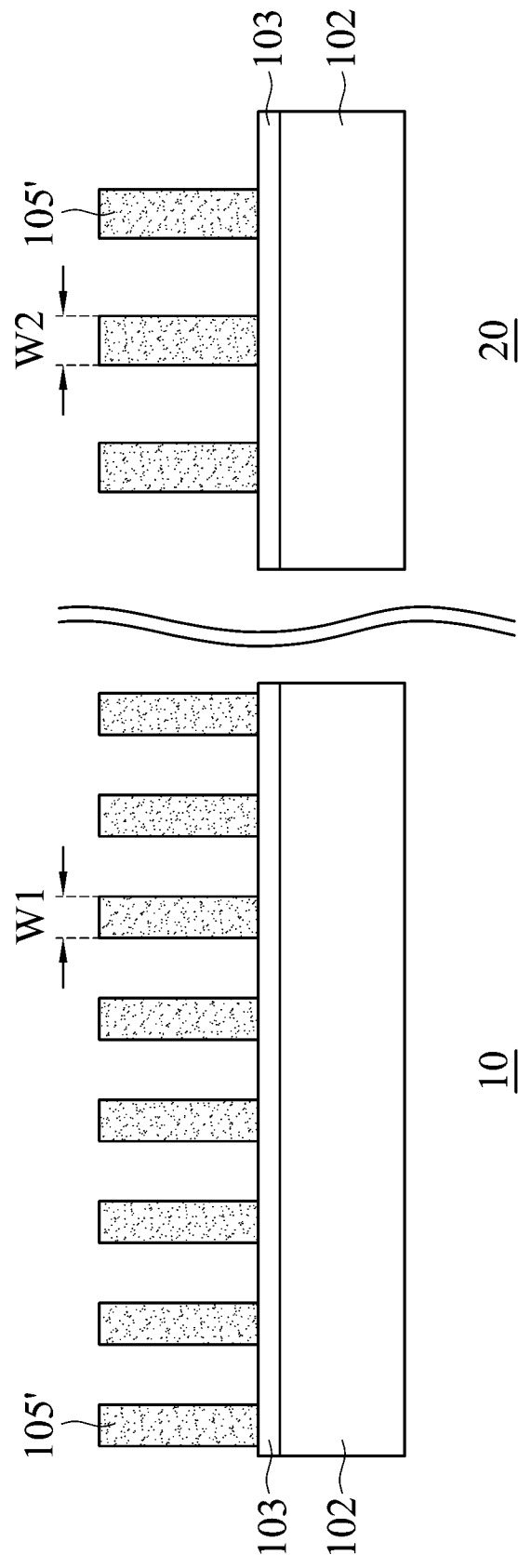
形成一閘極結構於該基板的一周邊區中；以及

形成一閘極接觸結構於該閘極結構上，其中該閘極接觸結構與該電子熔絲接觸結構同時形成。

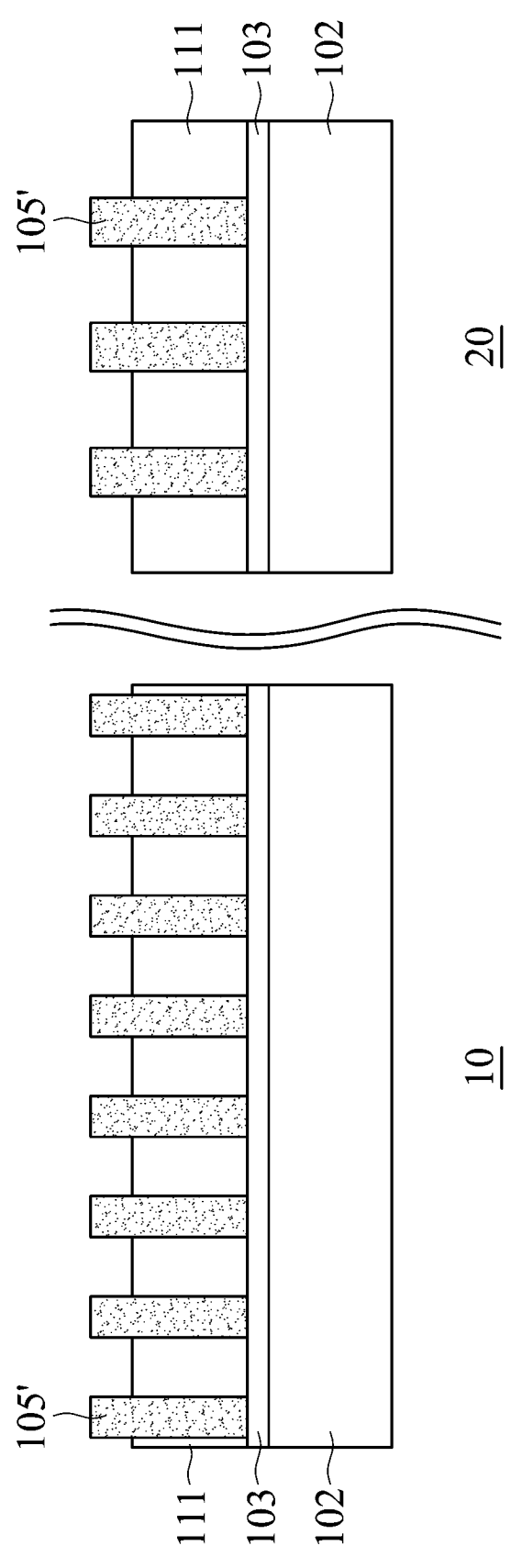
【發明圖式】



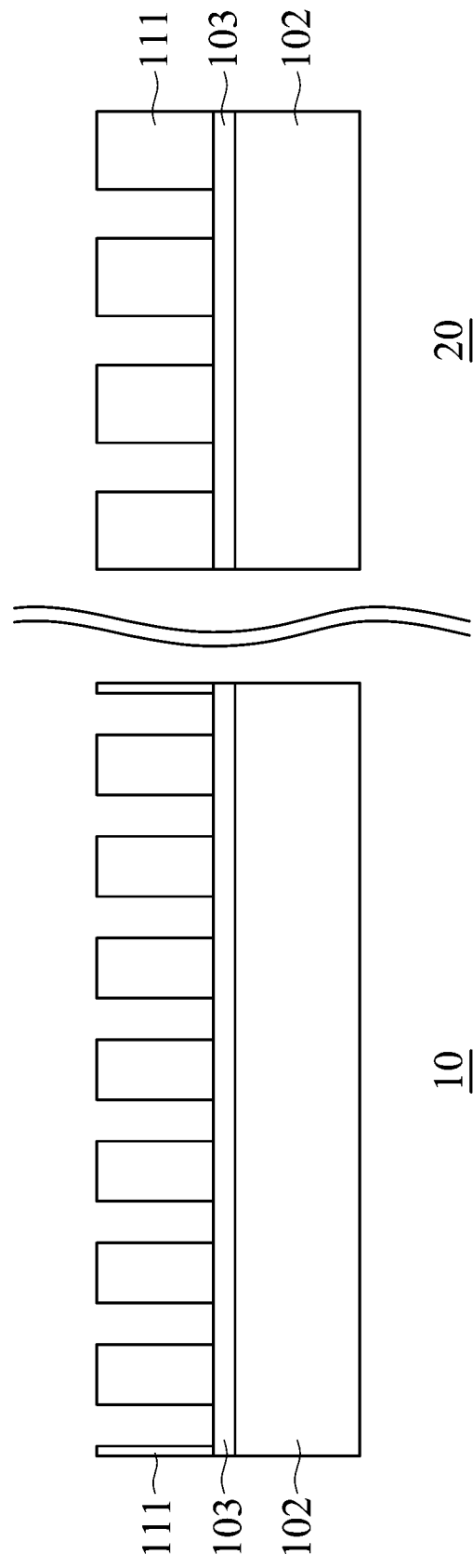
第1A圖



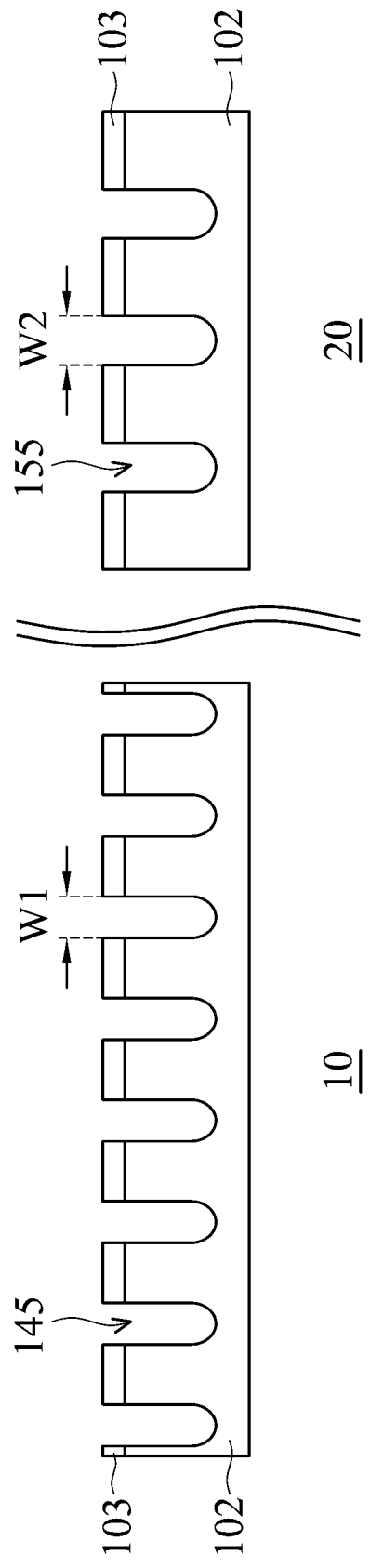
第 1B 圖



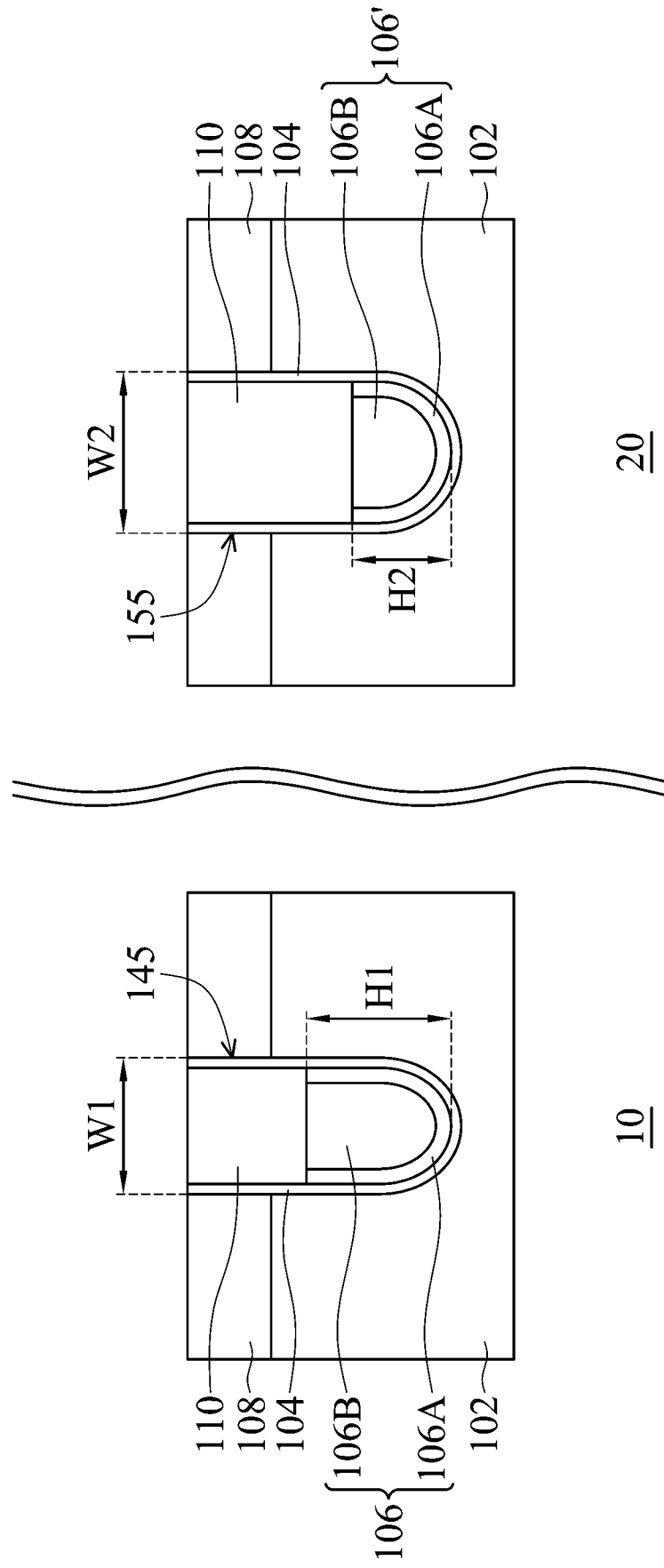
第1C圖



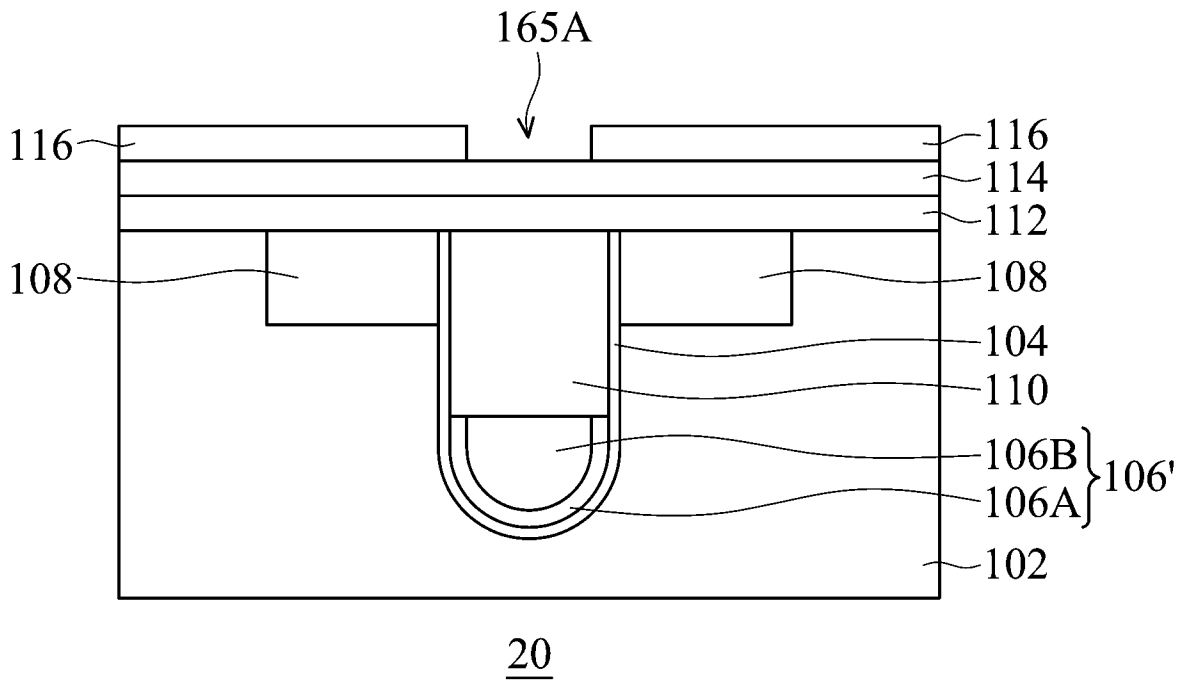
第1D圖



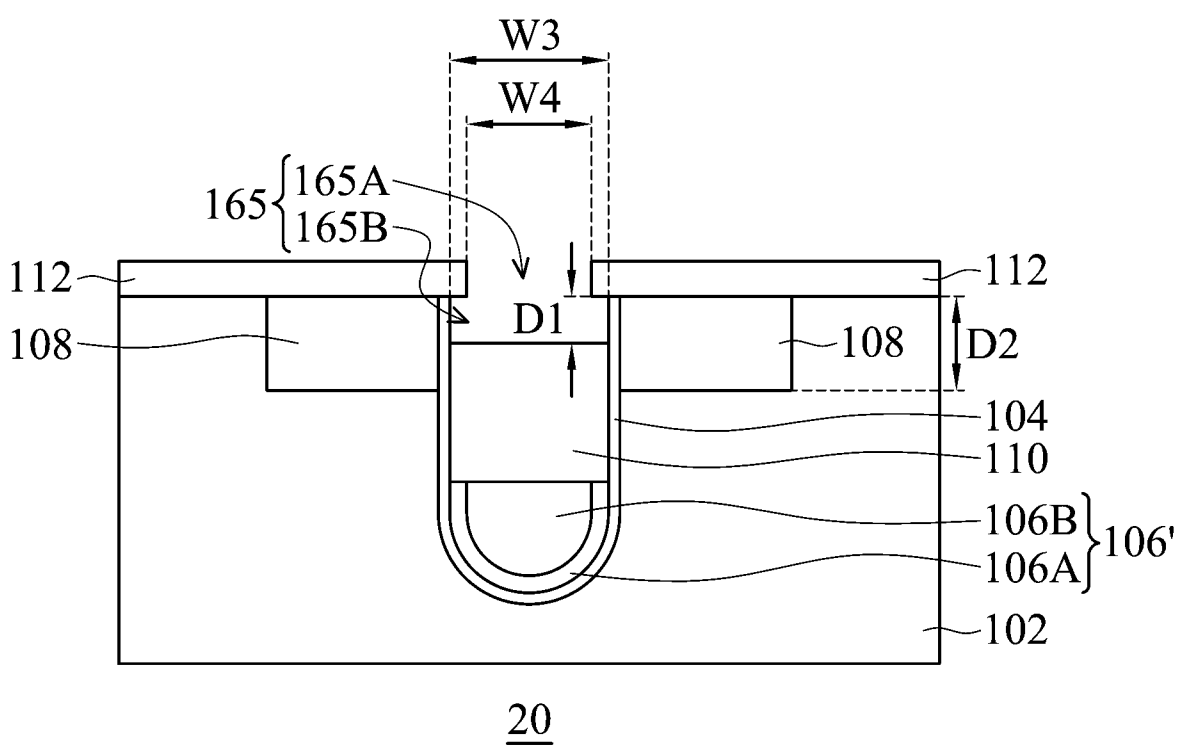
第1E圖



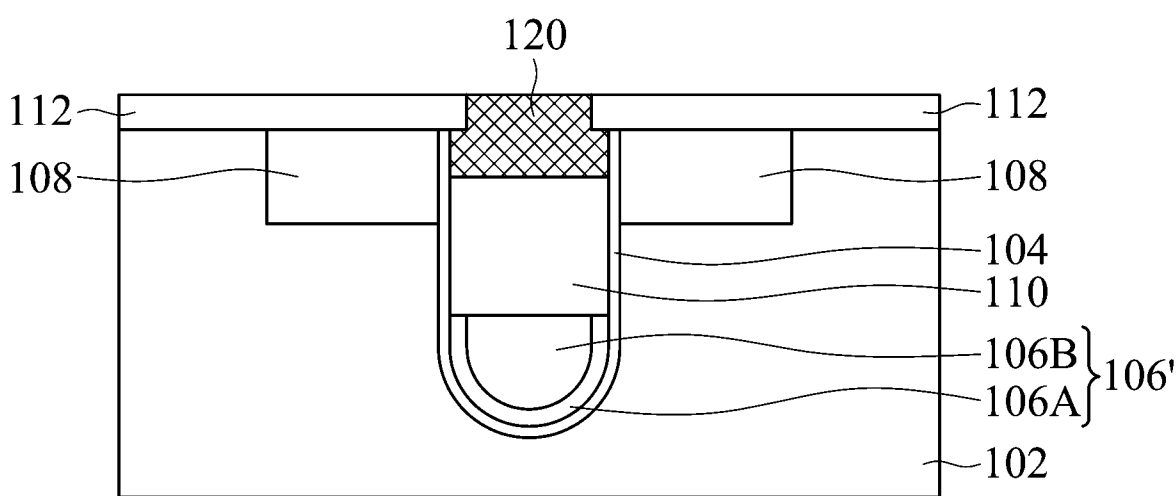
第1F圖



第 2A 圖

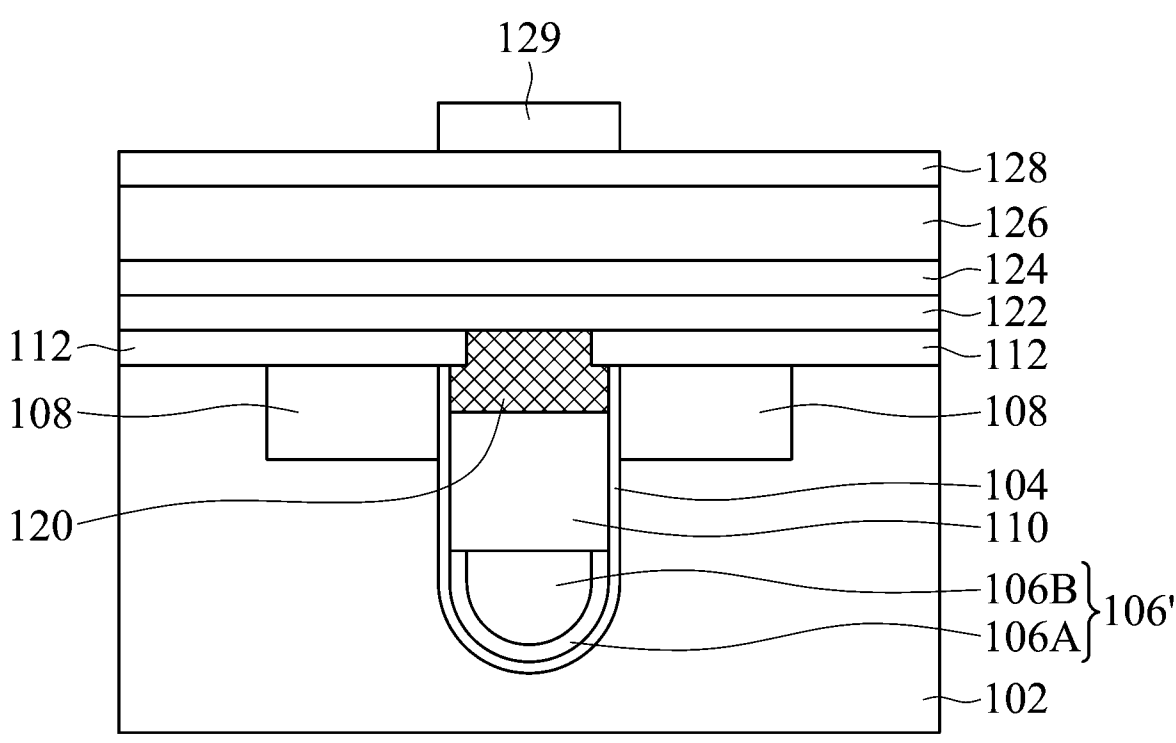


第 2B 圖



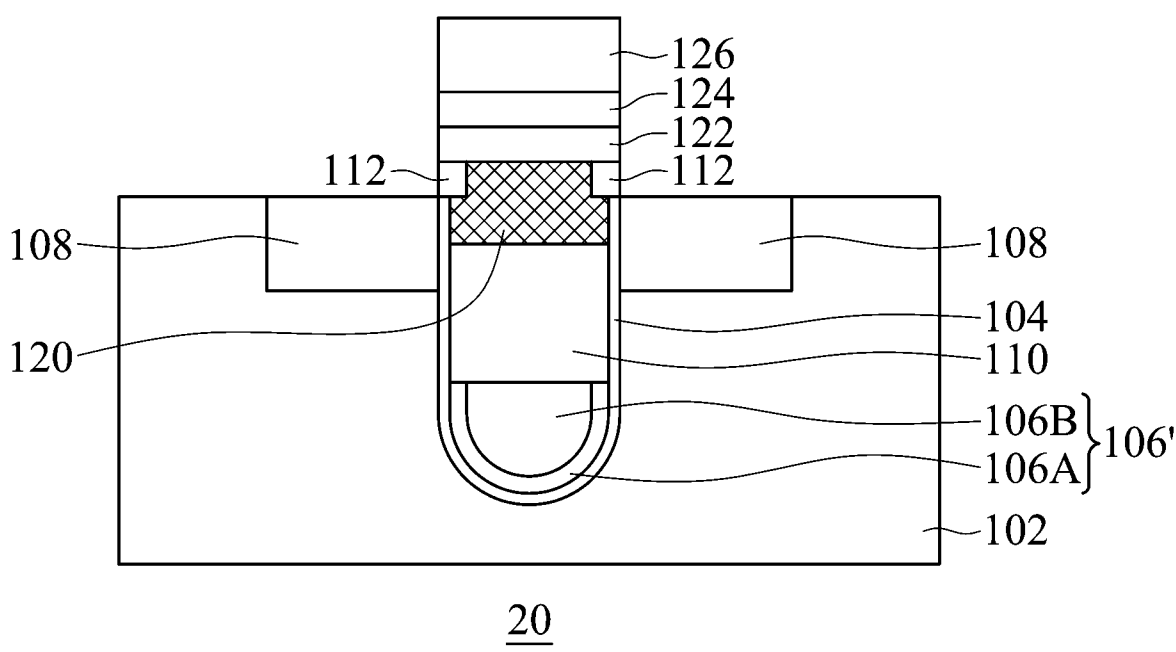
20

第 2C 圖

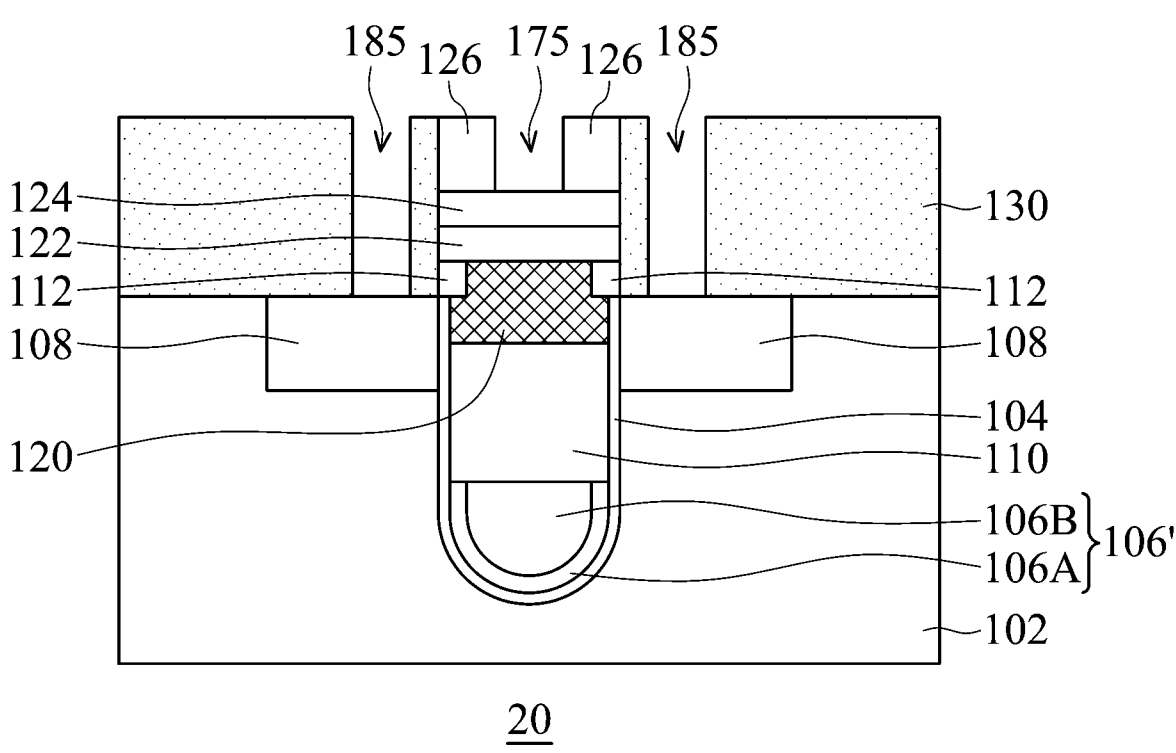


20

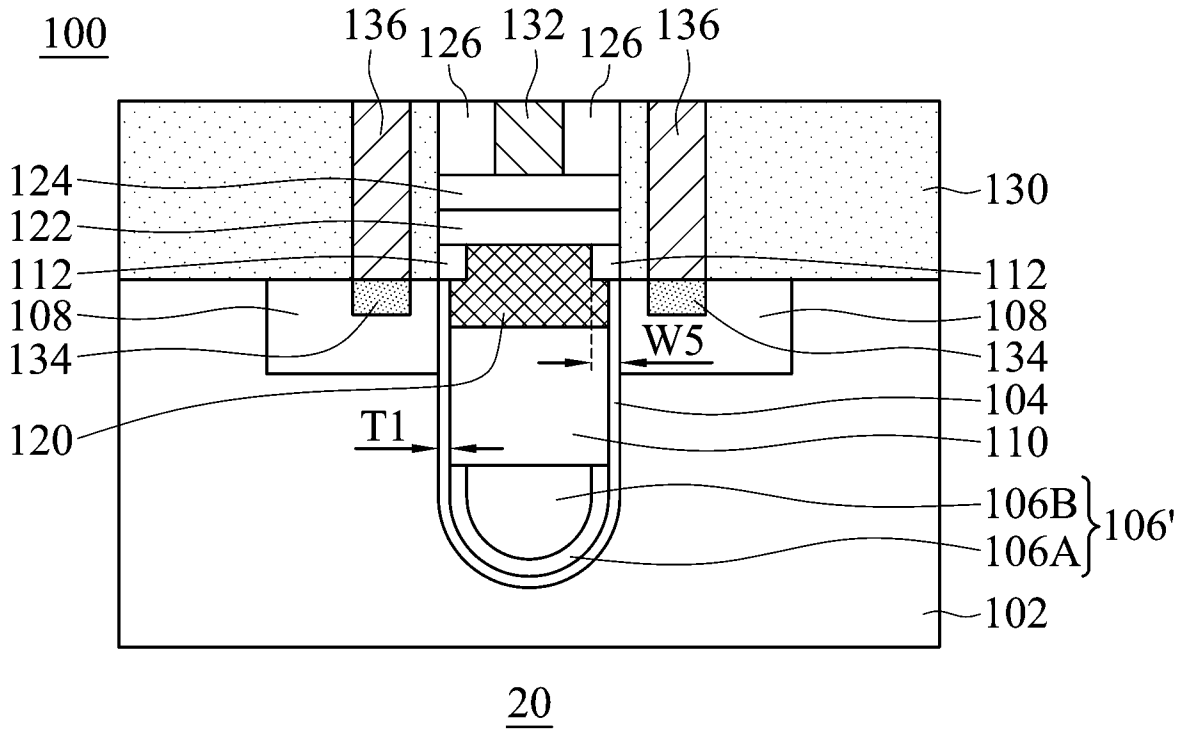
第 2D 圖



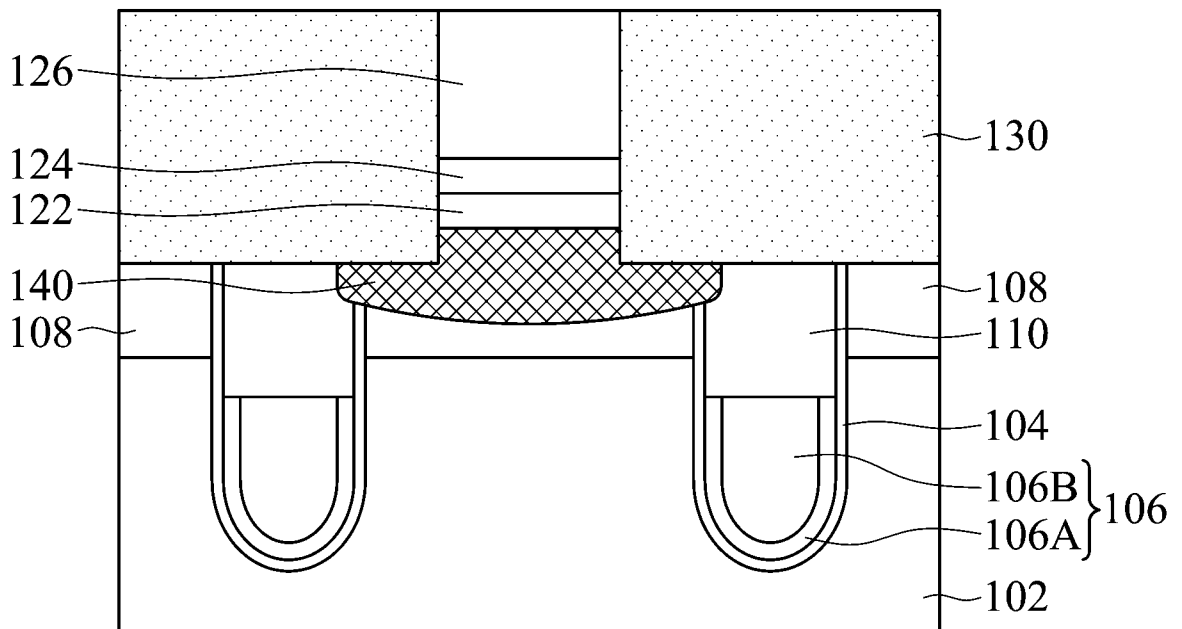
20
第 2E 圖



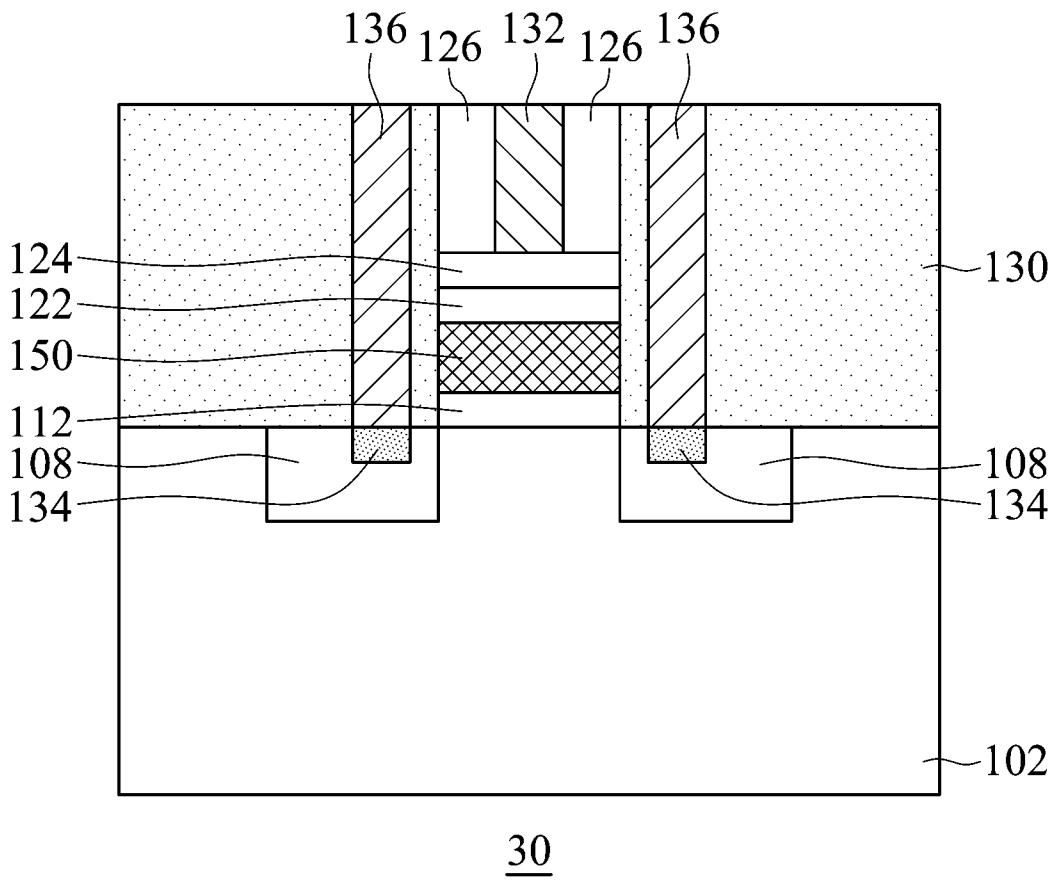
20
第 2F 圖



第 2G 圖



第 3 圖



第 4 圖