



(12)发明专利

(10)授权公告号 CN 103001631 B

(45)授权公告日 2017.04.12

(21)申请号 201210339895.2

(22)申请日 2012.09.14

(65)同一申请的已公布的文献号
申请公布号 CN 103001631 A

(43)申请公布日 2013.03.27

(30)优先权数据
13/235058 2011.09.16 US

(73)专利权人 英飞凌科技奥地利有限公司
地址 奥地利菲拉赫

(72)发明人 H. 克尔纳

(74)专利代理机构 中国专利代理(香港)有限公司 72001
代理人 王岳 李浩

(51)Int.Cl.

H03L 7/18(2006.01)

(56)对比文件

- CN 101114832 A, 2008.01.30,
- US 2011/0019767 A1, 2011.01.27, 全文.
- CN 101154921 A, 2008.04.02,
- US 7365607 B2, 2008.04.29, 说明书第4、8
- 栏, 附图4、7C.
- CN 1960186 A, 2007.05.09,
- CN 1433152 A, 2003.07.30,
- CN 1669223 A, 2005.09.14,

审查员 吴卿

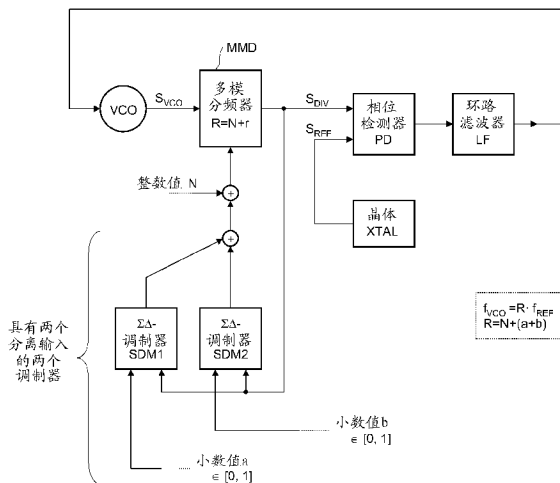
权利要求书2页 说明书4页 附图3页

(54)发明名称

小数N锁相环路

(57)摘要

本发明涉及小数N锁相环路。具有有理值分频比的分频电路包括:分频器,具有可选择整数分频比,被供给有第一频率的输入信号。输出信号提供第二频率。第一Σ-Δ调制器提供表示第一小数的第一调制后控制信号。第二Σ-Δ调制器提供第二小数的第二调制后控制信号。根据对第一和第二调制后控制信号的调制来修改分频器的整数分频比。



1. 一种具有有理值分频比的分频电路,所述电路包括:
 - 分频器,具有可选择整数分频比,被配置为被供给有第一频率的输入信号并提供第二频率的输出信号;
 - 第一 $\Sigma-\Delta$ 调制器,被配置为提供表示第一小数的第一调制后控制信号;以及
 - 第二 $\Sigma-\Delta$ 调制器,被配置为提供表示第二小数的第二调制后控制信号,
 - 其中根据对第一和第二调制后控制信号的调制来修改所述分频器的整数分频比;
 - 所述电路还包括:加法器,被配置为将第一调制后控制信号和第二调制后控制信号相加以提供和信号,其中根据所述和信号来设置所述分频器的整数分频比。
2. 根据权利要求1所述的电路,其中所述加法器还被配置为加上整数偏移信号。
3. 根据权利要求1所述的电路,其中所述第一 $\Sigma-\Delta$ 调制器和所述第二 $\Sigma-\Delta$ 调制器是二阶MASH调制器。
4. 根据权利要求1所述的电路,其中所述第一小数不等于所述第二小数。
5. 一种锁相环路(PLL),包括:
 - 振荡器,被配置为提供具有能够根据控制输入而调整的第一频率的输出信号,其中所述振荡器包括压控振荡器(VCO)或数控振荡器(NCO);
 - 分频器,具有可选择整数分频比,被配置为被供给有所述输出信号并提供第二频率的分频器输出信号;
 - 相位检测器,被耦合以接收所述分频器输出信号和具有参考频率的参考信号,所述相位检测器被配置为将所述参考信号与所述分频器输出信号的相位和/或频率进行比较并根据所述比较来提供误差信号;
 - 环路滤波器,被配置为对所述误差信号进行滤波,其中所述振荡器的控制输入是滤波后的误差信号或者是从滤波后的误差信号导出的,因此闭合该环路;
 - 第一 $\Sigma-\Delta$ 调制器,被配置为提供表示第一小数的第一调制后控制信号;以及
 - 第二 $\Sigma-\Delta$ 调制器,被配置为提供表示第二小数的第二调制后控制信号,其中根据对第一和第二控制信号的调制来修改所述分频器的整数分频比;
 - 所述锁相环路(PLL),还包括加法器,被配置为将第一和第二调制后控制信号相加以提供和信号,其中根据所述和信号来设置所述分频器的整数分频比。
6. 根据权利要求5所述的锁相环路(PLL),其中所述加法器还被配置为加上整数偏移信号。
7. 根据权利要求5所述的锁相环路(PLL),其中所述第一 $\Sigma-\Delta$ 调制器和所述第二 $\Sigma-\Delta$ 调制器是二阶MASH调制器。
8. 根据权利要求5所述的锁相环路(PLL),其中所述第一小数不等于所述第二小数。
9. 一种用于控制分频器的分频比的方法,所述分频器具有可选择整数分频比,被供给有第一频率的输入信号并提供第二频率的输出信号;所述方法包括:
 - 生成表示第一小数的第一 $\Sigma-\Delta$ 调制后控制信号;
 - 生成表示第二小数的第二 $\Sigma-\Delta$ 调制后控制信号,以及
 - 根据对第一和第二控制信号的调制来修改所述分频器的整数分频比;
 - 将第一和第二调制后控制信号相加以提供和信号,其中根据所述和信号来设置所述分频器的整数分频比。

10. 根据权利要求9所述的方法,其中相加还包括加上整数值偏移信号。
11. 根据权利要求9所述的方法,其中所述第一 $\Sigma-\Delta$ 调制后控制信号和所述第二 $\Sigma-\Delta$ 调制后控制信号是使用二阶MASH调制技术来生成的。
12. 根据权利要求9所述的方法,其中所述第一小数不等于所述第二小数。

小数N锁相环路

技术领域

[0001] 本公开涉及使用可以在锁相环路中应用的 $\Sigma - \Delta$ (sigma-delta) 调制器的小数N分频技术。

背景技术

[0002] 对具有任意分频(通过有理分频比N)的锁相环路(PLL)的使用是用于合成期望频率的公知方法。所谓的小数N间接数字频率合成(即,使用PLL)特别好地适于集成电路应用。该技术允许与输出频率相比非常窄的信道间隔、与该信道间隔相比PLL中的大带宽、以及与集成电路中使用的处理技术相比高的输出频率。因此,小数N分频的低噪声、低寄生频率形式的可用性可以对用在消费者产品中的低成本频率合成器的性能具有显著影响。

[0003] 通过使用小数N分频,所给出的信道间隔的更宽环路带宽允许更快的建立时间以及对压控振荡器(VCO)施加降低的相位噪声需求。在降低的相位噪声需求下,可能使用更低成本的、可能在芯片上的VCO。由基于PLL的小数N频率合成的更宽环路带宽引起的更快建立时间具有以下潜力:淘汰典型地包括在PLL中的附加硬件,以提供快速建立。因此,高性能小数N频率合成器技术可以得到芯片上的完整高性能合成器。

[0004] 已知使用 $\Sigma - \Delta$ 调制器来即时更改反馈分频模(参见例如Tom A.D. Riley: Delta-Sigma Modulation in Fractional-N Frequency Synthesis, in: IEEE Journal of Solid-State Circuits, vol. 28, no. 5, May 1993)。然而,这典型地引入了过多的相位噪声和小数杂散。对三阶多级噪声成形调制器(3阶MASH调制器)的使用通常能够提供高稳定性和充足的噪声成形特性。然而,特别是当有理分频比接近于整数时,在PLL输出信号的频谱中可能出现显著的杂散(被称为“小数杂散”)。因此,一般仍然需要具有有理分频比的改进分频(所谓的小数N分频)以提供对小数杂散的改进剔除。

发明内容

[0005] 公开了一种具有有理值分频比的分频电路。该电路包括:分频器,具有可选择整数值分频比,被供给有第一频率的输入信号并提供第二频率的输出信号。此外,该电路包括:第一 $\Sigma - \Delta$ 调制器,被配置为提供表示第一小数的第一调制后控制信号;以及第二 $\Sigma - \Delta$ 调制器,被配置为提供表示第二小数的第二调制后控制信号。根据对第一和第二控制信号的调制来修改所述分频器的整数值分频比。此外,公开了一种用于控制分频器的分频比的对应方法。

[0006] 此外,公开了一种锁相环路(PLL)。所述PLL包括:压控振荡器(VCO)或数控振荡器(NCO),被配置为提供具有能够根据控制输入而调整的第一频率的输出信号。所述PLL还包括:分频器,具有可选择整数值分频比,被供给有所述输出信号并提供第二频率的分频器输出信号;以及相位检测器,接收所述分频器输出信号和具有参考频率的参考信号,所述相位检测器被配置为将所述分频器输出信号的相位和/或频率与所述参考信号进行比较,并根据所述比较来提供误差信号。环路滤波器被配置为对所述误差信号进行滤波,其中所述VCO

或NCO的控制输入是滤波后的误差信号或者是从滤波后的误差信号导出的,因此闭环环路。第一 $\Sigma-\Delta$ 调制器被配置为提供表示第一小数的第一调制后控制信号。类似地,第二 $\Sigma-\Delta$ 调制器被配置为提供表示第二小数的第二调制后控制信号。最后,根据对第一和第二控制信号的调制来修改所述分频器的整数分频比。

附图说明

[0007] 可以参照以下附图和描述来更好地理解本发明。附图中的组件不必按比例绘制,而是重点在于示意本发明的原理。此外,在附图中,相似的参考标记表示对应的部分。在附图中:

[0008] 图1示意了具有小数N分频的传统PLL,该小数N分频是使用被供给有 $\Sigma-\Delta$ 调制器的输出的多模分频器以设置分频比来实现的;

[0009] 图2示意了根据图1而构建的PLL中出现的小数杂散的影响;

[0010] 图3示意了作为本发明的一个示例的使用其输出被组合以对分频器的分频比进行设置的两个 $\Sigma-\Delta$ 调制器的PLL;以及

[0011] 图4是示意了图1和3的示例性PLL的PLL输出信号的幅度谱的图。

具体实施方式

[0012] 图1示意了使用 $\Sigma-\Delta$ 调制器即时更改反馈分频模的锁相环路(PLL)。这种PLL的基本原理是公知的并且例如在以下文献中描述:Tom A.D. Riley: Delta-Sigma Modulation in Fractional-N Frequency Synthesis, in: IEEE Journal of Solid-State Circuits, vol. 28, no. 5, May 1993,该文献通过参考而并入此处。

[0013] 锁相环路包括压控振荡器VCO(或者在数字振荡中为数控振荡器,简写:NCO),其生成具有被表示为 f_{VCO} 的频率的振荡输出信号 S_{VCO} , f_{VCO} 是根据振荡器VCO的控制输入(振荡器控制信号 S_{CTRL})来设置的。将振荡输出信号 S_{VCO} 供给至具有可选择分频比R的分频器MMD。即,分频器MMD被配置为分割被供给至其输入的频率并生成具有被表示为 f_{DIV} 的频率的分频器输出信号 S_{DIV} ,其中 $f_{VCO} = R \cdot f_{DIV}$ 。分频比可根据被供给至分频器MMD的选择输入的信号来选择。

[0014] 将分频器输出信号 S_{DIV} 以及具有频率 f_{REF} 的参考信号 S_{REF} 供给至相位检测器PD(也被称为相位比较器)。根据实施方式,可以替代地采用相位频率检测器PFD。相位检测器以及相位频率检测器常用在PLL领域中。参考信号 S_{REF} 可以由参考振荡器提供,参考振荡器通常是(但不必必须是)这里表示为XTAL的晶体振荡器。即,频率 f_{REF} 可以由石英晶体振荡器的谐振频率确定。

[0015] 相位(频率)检测器P(F)D的输出由确定控制环路的带宽的环路滤波器LF滤波。环路滤波器的输出用作控制信号 S_{CTRL} 以调整振荡器VCO的频率 f_{VCO} ,因此闭合控制环路。闭合的环路确保了频率 f_{VCO} 被调谐至分频器输出信号 S_{DIV} 和参考信号 S_{REF} 的相位所匹配的这种值。

[0016] 如上所述,分频比由 $\Sigma-\Delta$ 调制器SDM确定。 $\Sigma-\Delta$ 调制器SDM由分频器输出信号 f_{DIV} (时钟频率 f_{DIV})时控。 $\Sigma-\Delta$ 调制器被供给有表示0与1之间的合适小数的(例如,数字)输入值r。例如,假定r是3比特数,那么r可以假定以下值:0、1/8、1/4、3/8、1/2、5/8、3/4和7/8。

$\Sigma - \Delta$ 调制器SDM的输出处的比特流将平均等于输入值 r 。可以将整数偏移值 N 与调制器输出相加。平均值 R 等于 $N+r$ ，然后被供给至分频器MMD，分频器MMD根据该和值来设置分频比。即，分频器MMD根据调制器输出来接收 S_{Div} 的每个时钟周期的更新分频比。由于 $\Sigma - \Delta$ 调制，平均分频比为 $R=N+r$ ，即整数比 N 被扩大了小数值 r 。

[0017] 应当注意， r 不必必须是0与1之间的有理数。其他区间(例如0至2)可以适用并依赖于 $\Sigma - \Delta$ 调制器SDM和PLL的实际设计。通常，使用具有3阶MASH(多级噪声成形)结构的 $\Sigma - \Delta$ 调制器(也被称为MASH3调制器)。此外，被供给至 $\Sigma - \Delta$ 调制器的输入值 r 不必必须覆盖值的全部范围，这在理论上将是可能的。在图2的示例中， r 可以假定0与1之间的任何值。可替换地，可以使从0至1的区间离散，使得例如 r 可以以 $1/26$ 的步长从0至 $25/26$ 变化。在这种情况下， r 将必须是5比特数，由此实际上使用了32个可能值中的仅26个值。

[0018] 图2示意了在使用图1的PLL实施方式时可能出现的小数杂散的问题。特别是当有理分频比 $R=N+r$ 接近于整数值时，可能出现具有与VCO输出信号 S_{VCO} (通常用作RF应用中的RF载波信号)的频率 f_{VCO} 接近的频谱的主导小数杂散。结果，杂散不能被环路滤波器容易地抑制，并且需要防止这种小数杂散的小数N PLL设计。在图2的示例中，由晶体振荡器XTAL提供的参考频率 f_{REF} 是26 MHz。可以使分频比 R 从 $R=12$ 变化至 $R=13$ ，因此可以将VCO频率(载波频率) f_{VCO} 从312 MHz调整至338 MHz。 12.03846 ($N=12$ 且 $r=0.03846$)的分频比 R 得到313 MHz的VCO频率 f_{VCO} 。然而，出现中心频率为312和314 MHz的主导小数杂散。

[0019] 图3示意了所改进小数N PLL的一个示例，该所改进小数N PLL被设计为使得避免在频谱上接近于VCO频率 f_{VCO} 的主导小数杂散。图3所示的锁相环路(PLL)与图1的PLL实质上相同。主要区别在于：使用两个分离的 $\Sigma - \Delta$ 调制器SDM1和SDM2来对分频比 $N+r$ 的小数部分进行“编码”。在本示例中，分频比 r 的小数部分是 a 与 b 之和，因此 $R=N+a+b$ ，由此值 a 是被供给至第一 $\Sigma - \Delta$ 调制器SDM1且由第一 $\Sigma - \Delta$ 调制器SDM1处理的(数字)值，而值 b 是被供给至第二 $\Sigma - \Delta$ 调制器SDM2且由第二 $\Sigma - \Delta$ 调制器SDM2处理的(数字)值。

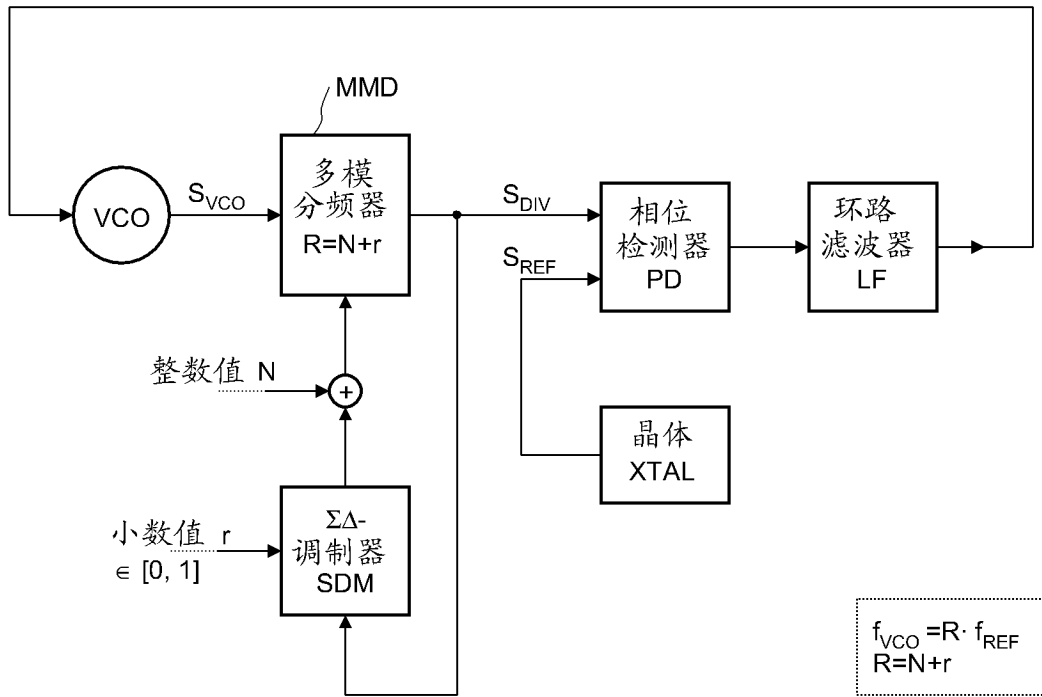
[0020] 这两个 $\Sigma - \Delta$ 调制器SDM1和SDM2均接收分频器输出信号 S_{Div} 作为时钟信号。第一调制器SDM1被配置为提供表示小数值 a 的输出比特流，而第二调制器SDM2被配置为提供表示小数值 b 的输出比特流。这两个小数值均可以是0与1之间的合适小数。然而，更小和更大的区间可以适用。将调制器的输出比特流相加。附加地，可以加上整数偏移 N ，并将和值 $N+a+b$ 供给至分频器MMD，如图1的示例中那样。结果，和 $a+b$ 可以从0变化至2，这例如在期望VCO频率 f_{VCO} 的变化以使得将必须使 r (在图1的示例中)在例如0.99与1.01之间变化时与图1的示例相比可以具有一些优势。由于 r 实际限于小于1的最大值，因此在这种情况下，整数因子 N 将必须以1切换，这在实际的实施方式中可能是困难的。 r 的这种“溢出”可能特别出现在必须覆盖高动态频率范围时，例如在执行FSK(频移键控)调制时。从0至 $a+b=2$ 的范围提供更多灵活性并降低整数因子 N 的所需改变的频率。

[0021] 由于 $\Sigma - \Delta$ 调制，第一调制器SDM1的输出的平均值等于 a ，第二调制器SDM2的输出的平均值等于 b ，且平均分频比等于 $N+a+b$ 。应当注意， a 和 b 不应当相等以便确保对小数杂散的良好抑制。

[0022] 在本示例中，使用了两个2阶MASH(MASH2)调制器(而在该示例中包括一个3阶MASH调制器)。在图4的图中将载波信号(VCO输出信号) S_{VCO} 的所得频谱进行比较。可见，这两个频谱均在 $f_{VCO}=434$ MHz处具有其主峰。当采用具有一个MASH3调制器的图1的传统PLL时，载波

信号 S_{vco} 的频谱包括约433.8 MHz和434.2 MHz处的两个强小数杂散。在图4的第二频谱中高度降低这些杂散的幅度(从约11 mV降低至2 mV峰值之下),该第二频谱是在使用具有两个MASH2调制器的图3的改进PLL时所得的频谱。该改进与14.8 dB的杂散降低相对应。

[0023] 尽管公开了本发明的各个示例性实施例,但是对于本领域技术人员来说将显而易见,在不脱离本发明的精神和范围的情况下可以进行各种改变和修改,这将实现本发明的一些优势。对于本领域合理技术人员来说将显而易见,可以用执行相同功能的其他组件进行适当替换。应当提及,可以将参照具体附图而说明的特征与其他附图的特征进行组合,即使在未显式提及的附图中。此外,可以在使用适当处理器指令的所有软件实施方式中实现本发明的方法,或者可以在利用硬件逻辑和软件逻辑的组合以实现相同结果的混合实施方式中实现本发明的方法。对本发明概念的这种修改预期由所附权利要求覆盖。



传统实施方式

图 1

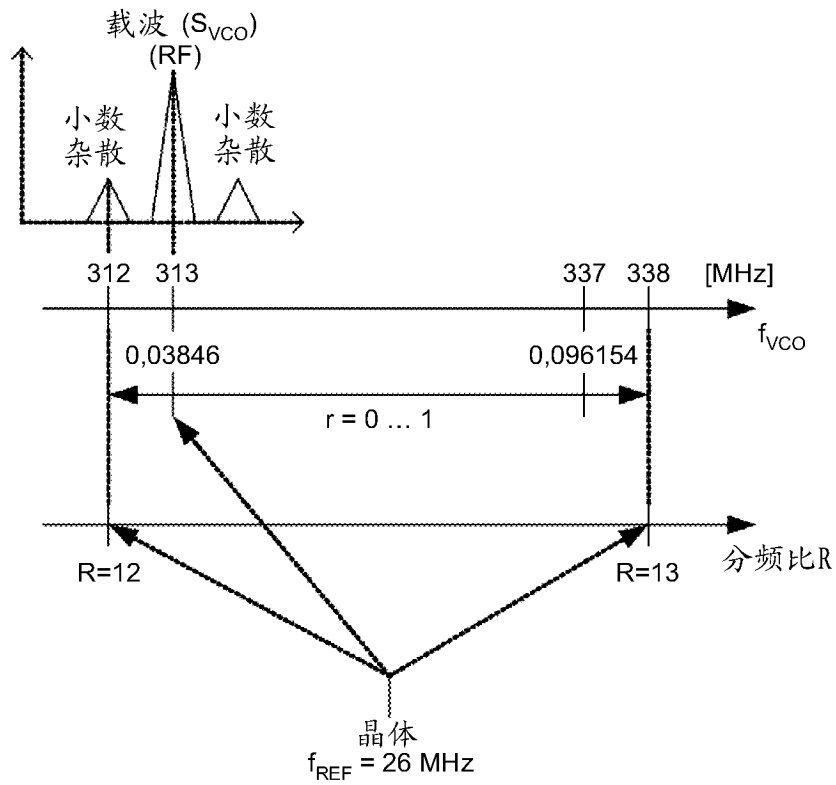


图 2

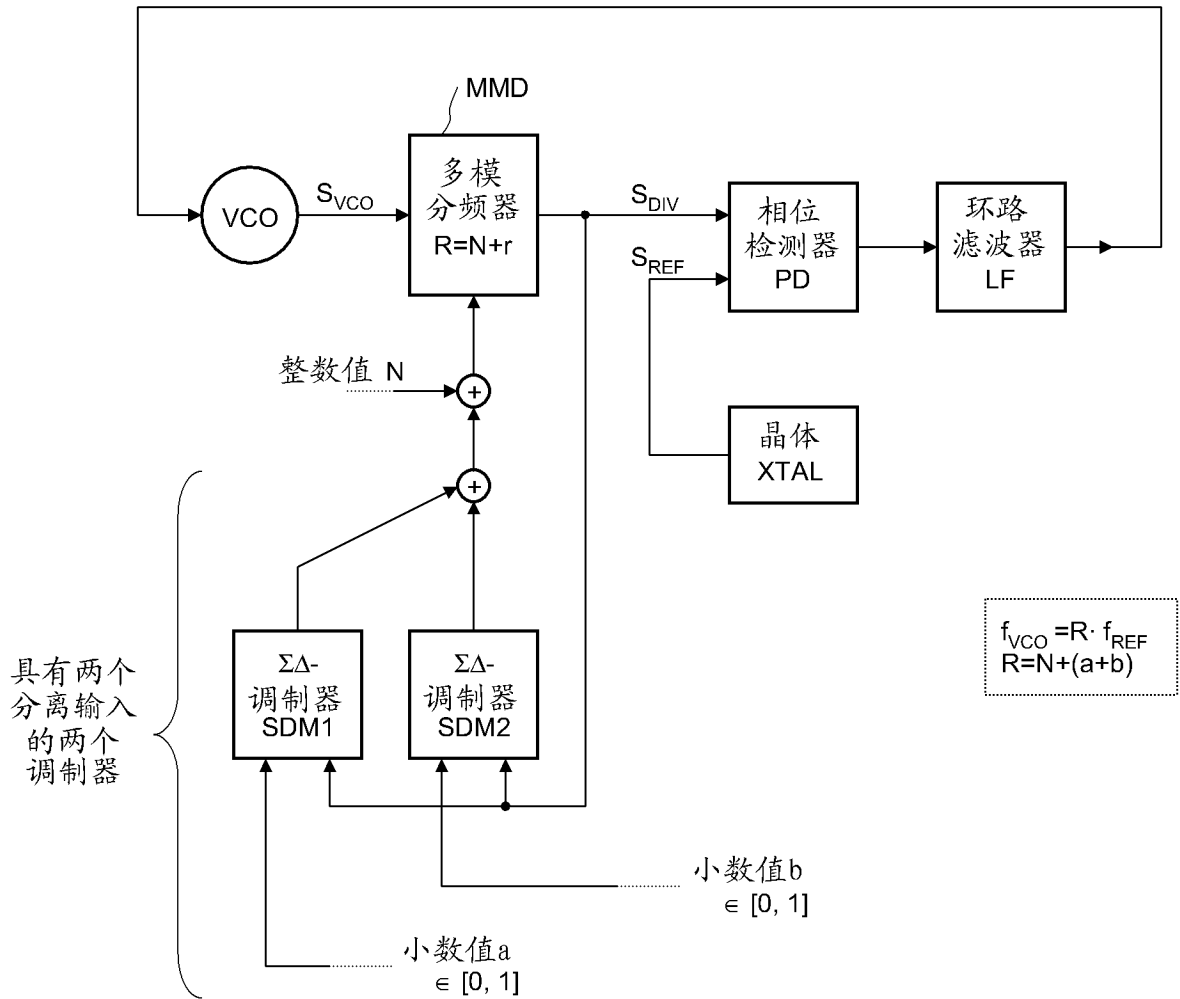


图 3

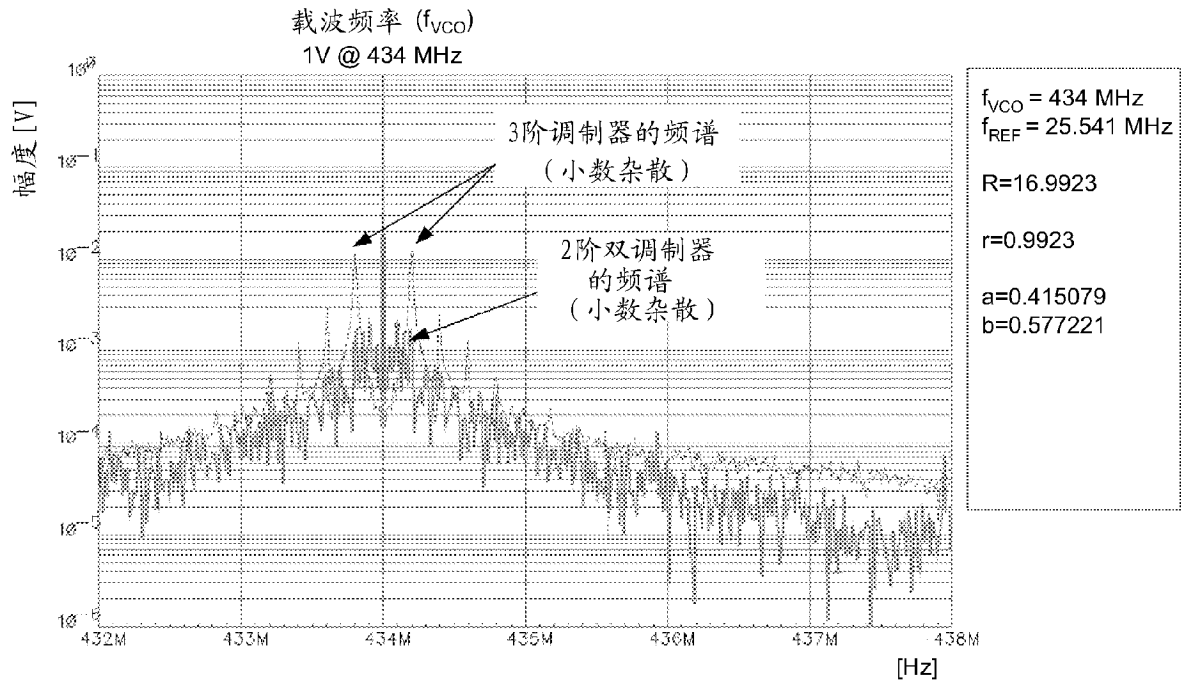


图 4