

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年2月5日(05.02.2015)



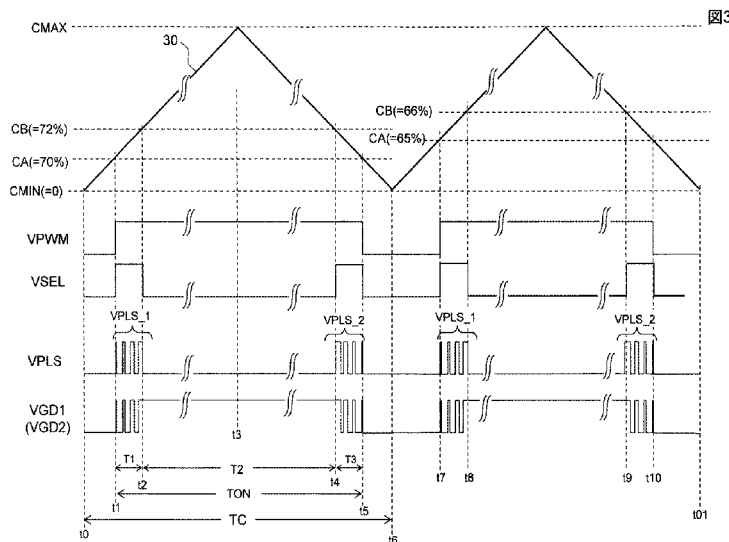
(10) 国際公開番号
WO 2015/015616 A1

- (51) 国際特許分類:
H02M 3/155 (2006.01) H02M 7/12 (2006.01)
- (21) 国際出願番号: PCT/JP2013/070885
- (22) 国際出願日: 2013年8月1日(01.08.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: ルネサスエレクトロニクス株式会社
(RENEAS ELECTRONICS CORPORATION)
[JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部
1753番地 Kanagawa (JP).
- (72) 発明者: 竹屋 典里(TAKEYA, Norisato); 〒2118668
神奈川県川崎市中原区下沼部1753番地 ル
ネサスエレクトロニクス株式会社内 Kanagawa
(JP). 大柴 雅史(OSHIBA, Masashi); 〒2118668 神
奈川県川崎市中原区下沼部1753番地 ルネ
サスエレクトロニクス株式会社内 Kanagawa (JP).
熊木 哲(KUMAKI, Satoshi); 〒2118668 神奈川県
川崎市中原区下沼部1753番地 ルネサスエ
レクトロニクス株式会社内 Kanagawa (JP). 堀越
康敬(HORIKOSHI, Yasutaka); 〒2118668 神奈川県
川崎市中原区下沼部1753番地 ルネサスエ
レクトロニクス株式会社内 Kanagawa (JP).
- (74) 代理人: 玉村 静世(TAMAMURA, Shizuyo); 〒
1010052 東京都千代田区神田小川町1丁目1番
地 山城ビル901号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SWITCHING POWER SOURCE DEVICE, SEMICONDUCTOR DEVICE, AND AC/DC CONVERTER

(54) 発明の名称: スイッチング電源装置、半導体装置、及びAC/DCコンバータ



(57) Abstract: This switching power source device switches a switching element on and off using PWM control, thereby controlling the current flowing in a coil and obtaining a prescribed direct-current voltage. With this switching power source device, during a PWM ON period for turning the switching element on using the PWM control, switching of the switching element is enabled by a first pulse signal in a first period immediately after the start of the PWM ON period, the signal having a shorter cycle than the PWM cycle and the pulse width being gradually increased. Also, with this switching power source device, after the first period of the PWM ON period has elapsed, switching of the switching element is enabled by a PWM signal based on the PWM control. High-frequency noise can thus be reduced.

(57) 要約:

[続葉有]



WO 2015/015616 A1

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

本スイッチング電源装置は、PWM制御によってスイッチング素子をオン・オフさせることでコイルに流れる電流を制御し、所望の直流電圧を得る。本スイッチング電源装置は、PWM制御によってスイッチング素子をオンさせるためのPWMオン期間において、当該PWMオン期間の開始直後の第1期間に、PWM周期よりも短い周期であって、パルス幅が段階的に大きくされる第1パルス信号によってスイッチング素子のスイッチングが可能にされる。また、本スイッチング電源装置は、PWMオン期間における第1期間の経過後に、PWM制御に基づくPWM信号によってスイッチング素子のスイッチングが可能にされる。これにより、高調波ノイズを低減させることができる。

明 細 書

発明の名称：

スイッチング電源装置、半導体装置、及びAC／DCコンバータ

技術分野

[0001] 本発明は、スイッチング電源装置及びスイッチング電源装置を構成するスイッチング素子を制御するための半導体装置に関し、特にPFC (Power Factor Correction) 回路を含むスイッチング電源装置に適用して有効な技術に関する。

背景技術

[0002] 交流電圧を直流電圧に変換するAC／DCコンバータを構成するスイッチング電源装置は、交流電源から供給される入力電圧及び入力電流の位相差に起因する力率の悪化や高調波ノイズの発生を抑制するため、PFC回路が広く用いられている。

[0003] 従来、PFC回路を含む種々のスイッチング電源装置は、主にアナログ制御によって実現されていた。例えば、アナログ制御のPFC回路を備えたスイッチング電源装置の従来技術として、特許文献1及び特許文献2に開示がある。

[0004] しかしながら、近年、低コスト化やチューニングの容易化等の要求から、PFC回路を含む種々のスイッチング電源回路は、デジタル制御を主とした制御方式に代わりつつある。具体的には、PFC回路におけるコイルに流れる電流を制御するためのスイッチング素子(MOSFET等)のオン・オフを制御するコントロール部が、従来のエラーアンプを備えたアナログIC(Integrated Circuit)からマイクロコントローラ(以下、単にマイコンと称する。)等のプログラム処理装置に置き換わりつつある。例えば、デジタル制御方式のPFC回路を備えたAC／DCコンバータの従来技術として、特許文献3に開示がある。

先行技術文献

特許文献

- [0005] 特許文献1：特開2001-327166号公報
特許文献2：特開2008-312355号公報
特許文献3：特開2008-99440号公報

発明の概要

発明が解決しようとする課題

- [0006] 上述したPFC回路におけるコントロール部は、PFC回路内の各種の電圧や電流を検出し、その検出結果に基づいて所定の周期のPWM (pulse width modulation) 信号を生成する。例えば、アナログ制御方式のPFC回路では、エラーアンプの出力電圧と所定の周期信号（三角波や鋸波等）に基づいて所望のデューティ比（パルス幅）のPWM信号が生成され、デジタル制御方式のPFC回路では、例えばマイコンにおけるPWMタイマによってCPUの設定条件に応じたデューティ比のPWM信号が生成される。このように生成されたPWM信号に基づいてスイッチング素子のオン・オフが制御されることにより、所望の直流電圧が生成されるとともに力率が改善される。
- [0007] 上述のようにPWM信号に基づいてスイッチング素子のオン・オフを切り替えたとき、PWM信号の急峻な立ち上がり又は立ち下がりにより、スイッチング素子のオン・オフの切替りタイミングで大きな電流変動が生じ、高調波ノイズが発生する。この高調波ノイズの発生は、力率の低下を招き、AC/DC変換における電力の変換効率を低下させる一因となっている。特に、AC/DCコンバータの扱う電力が大きくなる程、電力の変換効率の低下は顕著となる。
- [0008] このような課題を解決するための手段等を以下に説明するが、その他の課題と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

課題を解決するための手段

- [0009] 本願において開示される実施の形態のうち代表的なものの概要を簡単に説

明すれば下記のとおりである。

- [0010] すなわち、本スイッチング電源装置は、PWM制御によってスイッチング素子をオン・オフさせることでコイルに流れる電流を制御し、所望の直流電圧を得る。本スイッチング電源装置は、PWM制御によってスイッチング素子をオンさせるためのPWMオン期間において、当該PWMオン期間の開始直後の第1期間に、PWM周期よりも短い周期であって、パルス幅が段階的に大きくされる第1パルス信号によってスイッチング素子のスイッチングが可能にされる。また、本スイッチング電源装置は、PWMオン期間における第1期間の経過後に、PWM制御に基づくPWM信号によってスイッチング素子のスイッチングが可能にされる。

発明の効果

- [0011] 本願において開示される実施の形態のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。
- [0012] すなわち、本スイッチング電源装置によれば、高調波ノイズを低減させることができる。

図面の簡単な説明

- [0013] [図1]図1は、実施の形態1に係るAC/DCコンバータとしてのデジタル制御方式のスイッチング電源装置を例示するブロック図である。
- [図2]図2は、実施の形態1に係るPWMタイマ部の内部構成を例示するブロック図である。
- [図3]図3は、PWMタイマ部13Aによって生成される各種信号のタイミングチャートを例示する。
- [図4]図4は、実施の形態1に係るPWMタイマ部によって生成されるパルス信号VPLS_1のタイミングチャートを例示する図である。
- [図5]図5は、実施の形態1に係るスイッチング電源装置による高調波ノイズの低減効果の一例を示す図である。
- [図6]図6は、実施の形態2に係るAC/DCコンバータとしてのデジタル制御方式のスイッチング電源装置を例示するブロック図である。

[図7]図7は、実施の形態2に係るPWMタイマ部の内部構成を例示するブロック図である。

[図8]図8は、実施の形態2に係るPWMタイマ部によって生成されるパルス信号VPLS_1のタイミングチャートを例示する図である。

発明を実施するための形態

[0014] 1. 実施の形態の概要

先ず、本願において開示される代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面中の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

[0015] [1] (PWMオン期間の開始直後に、PWM周期より短い周期で段階的にデューティ比が増加するパルス信号によってスイッチング制御するスイッチング電源装置)

代表的な実施の形態に係るスイッチング電源装置(100、200)は、PWM制御によってスイッチング素子(SW1、SW2)をオン・オフさせることでコイル(L1A、L2A)に流れる電流を制御し、所望の直流電圧(VOUT)を得る。本スイッチング電源装置は、PWM制御によってスイッチング素子をオンさせるためのPWMオン期間(TON)において、当該PWMオン期間が開始された直後の第1期間(T1)に、PWM制御に基づくPWM周期(TC)よりも短い周期であって、パルス幅が段階的に大きくされる第1パルス信号(VPLS_1)による前記スイッチング素子のスイッチング制御が可能にされる。また、前記スイッチング電源装置は、前記第1期間の経過後(T2、(T3))に、前記PWM制御に基づくPWM信号(VPWM)による前記スイッチング素子のスイッチング制御が可能にされる。

[0016] これによれば、PWMオン期間の開始タイミングにおいて、スイッチング素子のオンする時間が徐々に大きくなるように制御されるので、従来のようにPWM信号によって単純にスイッチング素子をオン・オフさせる制御に比

べて、上記PWMオン期間の開始タイミングにおけるコイルの急激な電流変動を抑えることができる。これにより、上記PWMオン期間の開始タイミングにおいて発生する高調波ノイズを小さくすることができる。

[0017] [2] (第1パルス信号のパルス幅の増加率をノイズ量によって可変させる)

項1のスイッチング電源装置(200)において、前記第1期間における前記第1パルス信号のパルス幅の増加率は、前記直流電圧に重畳されるスイッチングノイズが基準値よりも大きい場合に小さくなるように制御され、前記スイッチングノイズが基準値よりも小さい場合に大きくなるように制御される。

[0018] これによれば、PWM制御によるPWMオン期間の開始タイミングにおいて発生する高調波ノイズを更に小さくすることができる。

[0019] [3] (第1パルス信号のパルス幅を直前のスイッチングノイズに基づいて決定する)

項2のスイッチング電源装置は、前記第1期間において直前に出力された前記第1パルス信号によって前記スイッチング素子をスイッチングすることで生じた前記スイッチングノイズが前記基準値よりも大きい場合には、次に出力すべき前記第1パルス信号のパルス幅を基準のパルス幅よりも小さくする。また、本スイッチング電源装置は、前記スイッチングノイズが前記基準値よりも小さい場合には、次に出力すべき前記第1パルス信号のパルス幅を前記基準のパルス幅よりも大きくする。

[0020] これによれば、スイッチングノイズが小さくなるように第1パルス信号のパルス幅の増加率を変更する制御を容易に実現することができる。

[0021] [4] (出力電圧が所定範囲外にある期間の長さでノイズ量を判定する)

項2又は3のスイッチング電源装置は、前記直流電圧が所定の電圧範囲(W)から外れている期間の長さを前記スイッチングノイズの大きさとする。

[0022] これによれば、スイッチングノイズの大きさを測定することが容易となる。

[0023] [5] (PWMオン期間の終了直前に、PWM周期より短い周期で段階的にデューティ比が増加するパルス信号によってスイッチング制御する)

項1乃至4の何れかのスイッチング電源装置は、前記PWMオン期間における前記第1期間の経過後の第2期間(T2)に、前記PWM信号による前記スイッチング素子のスイッチング制御が可能にされる。本スイッチング電源装置は、前記第2期間が経過してから前記PWMオン期間が終了するまでの第3期間(T3)に、前記PWM周期よりも短い周期であって、段階的にパルス幅が小さくされる第2パルス信号(VPLS)による前記スイッチング素子のスイッチング制御が可能にされる。

[0024] これによれば、PWM制御による前記PWMオン期間の終了タイミングにおいて、スイッチング素子のオンする時間が徐々に小さくなるように制御されるので、従来のようにPWM信号によって単純にスイッチング素子をオン・オフさせる制御に比べて、上記PWMオン期間の終了タイミングにおけるコイルの急激な電流変動を抑えることができる。これにより、上記PWMオン期間の終了タイミングにおいて発生する高調波ノイズを小さくすることができる。

[0025] [6] (第2パルス信号のパルス幅の減少率をノイズ量によって可変にする)

項5のスイッチング電源装置において、前記第3期間における前記第2パルス信号のパルス幅の減少率は、前記直流電圧に重畳されるスイッチングノイズが基準値よりも大きい場合に小さくなるように制御され、前記スイッチングノイズが基準値よりも小さい場合に大きくなるように制御される。

[0026] これによれば、PWM制御に係る前記PWMオン期間の終了タイミングにおいて発生する高調波ノイズを更に小さくすることが可能となる。

[0027] [7] (第2パルス信号のパルス幅を直前のスイッチングノイズに基づいて決定する)

項6のスイッチング電源装置は、前記第3期間において直前に出力された前記第2パルス信号によって前記スイッチング素子をスイッチングすること

で生じた前記スイッチングノイズが基準値よりも大きい場合には、次に出力すべき前記第2パルス信号のパルス幅を基準とされるパルス幅よりも大きくする。更に、本スイッチング電源装置は、前記スイッチングノイズが前記基準値よりも小さい場合には、次に出力すべき前記第2パルス信号のパルス幅を前記基準とされるパルス幅よりも小さくする。

[0028] これによれば、スイッチングノイズが小さくなるように第2パルス信号のパルス幅の減少率を変化させる制御を容易に実現することができる。

[0029] [8] (PWMオン期間の開始直後に、PWM周期より短い周期で段階的にデューティ比が増加するパルス信号を出力する半導体装置)

代表的な実施の形態に係る半導体装置(5、7)は、入力電圧(V_{IN})を目標とする直流電圧(V_{OUT})に変換するとともに力率を改善するためのスイッチング電源装置(100、200)におけるスイッチング素子(SW1、SW2)のオン・オフを制御するための半導体装置である。本半導体装置は、前記スイッチング素子のオン・オフを制御するための制御信号(V_{GD1} 、 V_{GD2})を生成するタイマ部(13A、13B、23A、23B)を有する。本半導体装置は更に、前記出力電圧が前記目標とする直流電圧と等しく且つ前記入力電圧と前記スイッチング電源装置に入力される入力電流との位相差が小さくなるように前記スイッチング素子をオンさせるためのPWMオン期間(T_{ON})を算出するとともに、前記算出結果に基づいて前記タイマ部を制御するデータ処理制御部(10)を有する。前記データ処理制御部は、前記タイマ部を制御することにより、前記算出したPWMオン期間の開始直後の第1期間(T_1)に、前記算出したPWMオン期間に応じたPWM信号(V_{PWM})よりも周期が短く且つ段階的にパルス幅が大きくなる第1パルス信号(V_{PLS_1})を前記制御信号として出力可能にする。更に、前記データ処理制御部は、前記第1期間の経過後に、前記制御信号として前記PWM信号を出力可能にする。

[0030] これによれば、PWM制御によるスイッチング素子のPWMオン期間の開始タイミングにおいて、スイッチング素子のオンする時間が徐々に大きくな

るような制御信号が生成されるので、従来のように、スイッチング素子を制御するためのPWM信号を単純に生成する半導体装置に比べて、PWMオン期間の開始タイミングにおけるコイルの急激な電流変動を抑えることができる。これにより、PWMオン期間の開始タイミングにおいて発生する高調波ノイズを小さくすることが可能となる。

[0031] [9] (PWMオン期間の終了直前に、PWM周期より短い周期で段階的にデューティ比が減少するパルス信号によってスイッチング素子を駆動する)

項8の半導体装置において、前記データ処理制御部は、前記タイマ部を制御することにより、前記算出したPWMオン期間の終了直前の第2期間に、前記PWM信号よりも周期が短く且つ段階的にパルス幅が小さくなる第2パルス信号(VPLS_2)を前記制御信号として出力可能にする。

[0032] これによれば、PWM制御によるスイッチング素子のPWMオン期間の終了タイミングにおいて、スイッチング素子のオンする時間が徐々に小さくなるように駆動信号を生成するので、従来のように、PWM信号を単純に生成する半導体装置に比べて、PWMオン期間の終了タイミングにおけるコイルの急激な電流変動を抑えることができる。これにより、PWMオン期間の終了タイミングにおいて発生する高調波ノイズを小さくすることができる。

[0033] [10] (出力電圧が所定範囲外にある期間をカウントし、カウント値に基づいて次の第1パルス信号のパルス幅を決定する)

項8又は9の半導体装置(7)は、前記直流電圧が所定の電圧範囲(W)から外れているか否かを判定するコンパレータ部(142)と、前記直流電圧が前記所定の電圧範囲から外れている期間を計時する計時部(143)と、を更に有する。前記データ処理制御部は、前記第1期間において直前に出力された前記第1パルス信号によって前記スイッチング素子をスイッチングしたときの前記計時部による計時結果が基準値よりも大きい場合には、次に出力すべき前記第1パルス信号のパルス幅を基準とされるパルス幅よりも小さくする。また、前記データ処理制御部は、前記計時結果が基準値よりも小

さい場合には、次に出力すべき前記第 1 パルス信号のパルス幅を当該基準とされるパルス幅よりも大きくする。

[0034] これによれば、PWMオン期間の開始タイミングにおいて発生する高調波ノイズを更に小さくすることが可能となる。

[0035] [1 1] (出力電圧が所定範囲外にある期間をカウントし、カウント値に基づいて次の第 2 パルス信号のパルス幅を決定する)

項 1 0 の半導体装置において、前記データ処理制御部は、前記第 2 期間において直前に出力された前記第 2 パルス信号によって前記スイッチング素子をスイッチングしたときの前記計時部による計時結果が基準値よりも大きい場合には、次に出力すべき前記第 2 パルス信号のパルス幅を基準とされるパルス幅よりも大きくする。また、前記データ処理制御部は、前記計時結果が基準値よりも小さい場合には、次に出力すべき前記第 2 パルス信号のパルス幅を当該基準とされるパルス幅よりも小さくする。

[0036] これによれば、PWMオン期間の終了タイミングにおいて発生する高調波ノイズを更に小さくすることが可能となる。

[0037] [1 2] (基本 PWM 信号と第 1 及び第 2 パルス信号を期間に応じて切り替えて出力する)

項 1 1 の半導体装置 (7) において、前記タイマ部 (2 3 A、2 3 B) は、前記データ処理制御部によって前記算出された PWM オン期間に応じて前記 PWM 信号を生成する第 1 信号生成部 (1 3 0) と、前記第 1 パルス信号及び前記第 2 パルス信号を生成する第 2 信号生成部 (1 3 6) と、を有する。前記タイマ部は更に、前記第 1 期間に前記第 2 信号生成部によって生成された前記第 1 パルス信号を出力し、前記第 2 期間に前記第 2 信号生成部によって生成された前記第 2 パルス信号を出力し、前記第 1 期間及び前記第 2 期間以外の期間に、前記第 1 信号生成部によって生成された前記 PWM 信号を出力する信号選択部 (1 4 0) を有する。

[0038] これによれば、PWMオン期間における最初と最後の期間のみ、PWM周期よりも短い周期でデューディ比が変化するような制御信号を生成すること

が容易となる。

[0039] [13] (AC/DCコンバータ)

代表的な実施の形態に係るAC/DCコンバータ(100、200)は、交流電圧(VAC)を整流して出力する整流回路(3)を有する。前記AC/DCコンバータは更に、前記整流回路によって整流された電圧(VIN)を入力し、スイッチング素子(SW1、SW2)によってコイル(L1A、L2A)に流れる電流を制御することにより、前記入力された電圧を目標とする直流電圧(VTGT)に変換して出力するための電圧コンバータ回路(3)を有する。本AC/DCコンバータは更に、制御部(5、7)を有する。前記制御部は、前記電圧コンバータ回路の出力電圧(VOU)が前記目標とする直流電圧と等しく且つ前記電圧コンバータ回路の入力電圧(VIN)と入力電流(IIN)との位相差が小さくなるように前記スイッチング素子をオンさせるためのPWMオン期間(TON)を算出する。前記制御部は、前記PWMオン期間の算出結果に基づいて前記スイッチング素子のオン・オフを制御するための制御信号(VGD1、VGD2)を生成する。前記制御部は、更に、前記PWMオン期間の開始直後の第1期間(T1)に、前記算出したPWMオン期間に応じたPWM信号(VPWM)よりも周期が短く且つ段階的にパルス幅が大きくなる第1パルス信号(VPLS_1)を前記制御信号として出力することが可能にされる。また、前記制御部は、前記第1期間の経過後に、前記制御信号として前記PWM信号を出力することが可能にされる。

[0040] これによれば、AC/DCコンバータのPWMオン期間の開始タイミングにおいて、スイッチング素子のオンする時間が徐々に大きくなるように制御されるので、従来のようにPWM信号によって単純にスイッチング素子をオン・オフさせる制御に比べて、PWMオン期間の開始タイミングにおけるコイルの急激な電流変動を抑えることができる。これにより、AC/DCコンバータのPWMオン期間の開始タイミングにおいて発生する高調波ノイズを小さくすることができる。

[0041] [14] (第1パルス信号のパルス幅を直前に生じたスイッチングノイズに基づいて決定する)

項13のAC/DCコンバータ(200)において、前記制御部(7)は、前記第1期間において直前に出力された前記第1パルス信号によって前記スイッチング素子をスイッチングすることで生じた前記スイッチングノイズが基準値よりも大きい場合には、次に出力すべき前記第1パルス信号のパルス幅を基準とされるパルス幅よりも小さくする。前記制御部は、前記スイッチングノイズが前記基準値よりも小さい場合には、次に出力すべき前記第1パルス信号のパルス幅を当該基準とされるパルス幅よりも大きくする。

[0042] これによれば、PWMオン期間の開始タイミングにおいて発生する高調波ノイズを更に小さくすることが可能となる。

[0043] [15] (PWMオン期間の終了直前に、PWM周期より短い周期で段階的にデューティ比が増加するパルス信号によってスイッチング制御する)

項13又は14のAC/DCコンバータにおいて、前記制御部(5、7)は、前記算出したPWMオン期間の終了直前の第2期間(T3)に、前記PWM信号よりも周期が短く且つ段階的にパルス幅が小さくなる第2パルス信号(VPLS_2)を前記制御信号として出力することが可能にされる。

[0044] これによれば、PWM制御によるスイッチング素子のPWMオン期間の終了タイミングにおいて、スイッチング素子のオンする時間が徐々に小さくなるように駆動信号を生成するので、従来のように、PWM信号を単純に生成する半導体装置に比べて、PWMオン期間の終了タイミングにおけるコイルの急激な電流変動を抑えることができる。これにより、PWMオン期間の終了タイミングにおいて発生する高調波ノイズを小さくすることができる。

[0045] [16] (第2パルス信号のパルス幅を直前に生じたスイッチングノイズに基づいて決定する)

項15のAC/DCコンバータにおいて、前記制御部(6)は、前記第2期間において直前に出力された前記第2パルス信号によって前記スイッチング素子をスイッチングすることで生じた前記スイッチングノイズが基準値よ

りも大きい場合には、次に出力すべき前記第2パルス信号のパルス幅を基準とされるパルス幅よりも大きくする。前記制御部は、前記スイッチングノイズが前記基準値よりも小さい場合には、次に出力すべき前記第2パルス信号のパルス幅を当該基準とされるパルス幅よりも小さくする。

[0046] これによれば、PWMオン期間の終了タイミングにおいて発生する高調波ノイズを更に小さくすることが可能となる。

[0047] [17] (マイクロコントローラ)

項13乃至16のAC/DCコンバータにおいて、前記制御部は、マイクロコントローラを含んで構成される。

[0048] 2. 実施の形態の詳細

実施の形態について更に詳述する。なお、発明を実施するための形態を説明するための全図において、同一の機能を有する要素には同一の符号を付して、その繰り返しの説明を省略する。

[0049] <<実施の形態1>>

図1は、実施の形態1に係るAC/DCコンバータとしてのデジタル制御方式のスイッチング電源装置を例示するブロック図である。同図に示されるスイッチング電源装置100は、PWM制御によってスイッチング素子SW1、SW2をオン・オフさせることにより、交流電源20から供給された交流電力を所望の直流電圧に変換するとともに力率を改善する。スイッチング電源装置100は、例えば、モータ制御システムの一部として、エアコンや自動車等に適用することができる。

[0050] 前述したように、PWM制御によってスイッチング素子のオン・オフを単純に切り替えた場合、スイッチング素子のオン・オフの切り替り時に大きな電流変動が生じ、高調波ノイズが発生する。そこで、本スイッチング電源装置100では、PWM制御によってスイッチング素子SW1、SW2をオンさせるためのPWMオン期間の最初と最後の短期間に、PWM周期よりも短い周期であってパルス幅が段階的に変化するパルス信号によってスイッチング素子SW1、SW2を制御することにより、高調波ノイズを低減させる。

以下、スイッチング電源装置100の具体的な構成について詳細に説明する。

[0051] 図1に示されるように、スイッチング電源装置100は、整流部2とPFC回路1を含んで構成される。

[0052] 交流電源20は、特に制限されないが、商用交流電源であり、50Hz又は60Hzの正弦波の交流電圧VAC（例えば100V）を出力する。整流部2は、交流電源20から供給された交流電圧VACを整流して出力する。具体的に、整流部2は、ダイオードブリッジ回路21と、容量CRCTとを含んで構成される。ダイオードブリッジ回路21は、例えば複数のダイオードを組み合わせて構成される全波整流回路である。ダイオードブリッジ回路21によって整流された正の電圧は、容量CRCTによって平滑化される。

[0053] PFC回路1は、臨界モードのPFC回路であって、例えば、電圧コンバータ回路3と、出力電圧検出部4と、制御部5とを含んで構成される。

[0054] 電圧コンバータ回路3は、整流回路2によって整流された電圧を入力し、スイッチング素子によってコイルに流れる電流を制御することにより、入力電圧VINを目標とする直流電圧に変換して出力する。電圧コンバータ回路3は、特に制限されないが、コイルやスイッチング素子等を2重化したインターリーブ方式の昇圧型のPFC回路を実現するように構成され、例えば、コイルL1A、L1B、L2A、L2B、スイッチング素子SW1、SW2、整流素子D1、D2、及び出力容量COUTを含んで構成される。電圧コンバータ回路3は、例えば100Vの整流電圧を300Vの直流電圧に変換する。

[0055] 以下、電圧コンバータ回路3の入力電圧を参照符号VINと表記し、出力電圧を参照符号VOUTと表記し、電圧コンバータ回路3の入力電流を参照符号INNと表記する。また、参照VINやVOUT等の電圧を表す参照符号は、その電圧が供給されるノードをも表すものとする。

[0056] コイルL1Aは、その一端がノードVINに接続され、その他端がノードNSW1に接続される。コイルL1Bは、コイルL1Aに流れる電流を検出

するための回路素子であり、コイルL 1 Aと磁氣的に結合するように配置される。コイルL 2 Aは、その一端がノードV I Nに接続され、その他端がノードN S W 2に接続される。コイルL 2 Bは、コイルL 2 Aに流れる電流を検出するための回路素子であり、コイルL 2 Aと磁氣的に結合するように配置される。

[0057] スイッチング素子S W 1は、ノードN S W 1とグラウンドノードとの間に設けられ、コイルL 1 Aに流れる電流を制御する。スイッチング素子S W 2は、ノードN S W 2とグラウンドノードとの間に設けられ、コイルL 2 Aに流れる電流を制御する。特に制限されないが、スイッチング素子S W 1、S W 2は、例えば高耐圧のM O SトランジスタやI G B T (I n s u l a t e d G a t e B i p o l a r T r a n s i s t o r) 等である。同図には、一例としてNチャネル型のM O Sトランジスタによってスイッチング素子S W 1、S W 2を実現した場合が例示される。

[0058] スイッチング素子S W 1は、制御部5から出力された制御電圧V G D 1によってオン・オフが制御される。スイッチング素子S W 2は、制御部5から出力された制御電圧V G D 2によってオン・オフが制御される。例えば、スイッチング素子S W 1は、制御電圧V G D 1が第1論理レベル（例えば、ハイ (H i g h) レベル）である場合にオンし、制御電圧V G D 1が第2論理レベル（例えば、ロー (L o w) レベル）である場合にオフする。スイッチング素子S W 2についても同様である。なお、図1では、スイッチング素子S W 1、S W 2が制御部5からの制御電圧V G D 1、V G D 2によって直接スイッチング制御する構成が例示されているが、スイッチング素子S W 1、S W 2と制御部5との間にゲートドライバ回路を設け、当該ゲートドライバ回路を介してスイッチング素子S W 1、S W 2をスイッチング制御する構成としても良い。

[0059] 整流素子D 1は、ノードN S W 1と出力ノードV O U Tの間に設けられ、スイッチング素子S W 1がオフしている期間にノードN S W 1と出力ノードV O U Tとの間に電流経路を形成する。整流素子D 2は、ノードN S W 2と

出力ノードVOUTの間に設けられ、スイッチング素子SW2がオフしている期間にノードNSW2と出力ノードVOUTの間に電流経路を形成する。整流素子D1、D2は、例えばダイオードであり、アノードがノードNSW1（NSW2）側に接続され、カソードが出力ノードVOUT側に接続される。出力容量COUTは、出力ノードVOUTとグラウンドノードとの間に接続され、出力電圧VOUTを安定させる。

[0060] 出力電圧検出部4は、出力電圧VOUTを検出し、検出電圧VSENを制御部5に供給する。出力電圧検出部4は、例えば、出力ノードVOUTとグラウンドノードとの間に直列に接続された抵抗R1、R2を含んで構成され、出力電圧VOUTを抵抗R1、R2によって分圧した電圧を検出電圧VSENとする。抵抗比R1/R2を例えば“1/59”とすることで、“300V”の出力電圧VOUTから“5V”の検出電圧VSENを生成する。なお、同図では、出力電圧検出部4を制御部5の外部に設けているが、制御部5の内部に含めても良い。

[0061] 制御部5は、電圧コンバータ回路3の出力電圧VOUTが目標電圧と等しく、且つ入力電圧VINと入力電流IINとの位相差が小さくなるように、制御電圧VGD1、VGD2を生成する。制御部5は、特に制限されないが、公知のCMOS集積回路の製造技術によって1個の単結晶シリコンのような半導体基板に形成された半導体集積回路によって構成される。制御部5は、例えば、マイコン（MCU）やDSP（Digital Signal Processor）等のプログラム処理装置である。なお、制御部5は、上記のように1チップ構成で実現しても良いし、マルチチップ構成で実現しても良く、その構成に特に制限はない。

[0062] 制御部5は、例えば、A/D変換部（ADC）14～16、データ処理制御部（CNT）10、PWMタイマ部（PWM_TMR）13A、13B、及び図示されない外部インタフェース回路等を含んで構成される。

[0063] A/D変換部16は、例えばPWMタイマ部13A、13Bから出力されたA/D変換開始信号に応じて、検出電圧VSENをサンプリングし、デー

タ処理制御部10によって設定された条件に従って当該サンプリングした電圧をデジタル信号に変換することで、変換結果DVSを生成する。これにより、出力電圧VOUTの情報が得られる。

[0064] A/D変換部14は、例えばPWMタイマ部13Aから出力されたA/D変換開始信号に応じて、コイルL1Aと磁気的に結合されたコイルL1Bに流れる電流をサンプリングし、データ処理制御部10によって設定された条件に従って当該サンプリングした電流をデジタル信号に変換することで変換結果DIS1を生成する。これにより、コイルL1Aに流れる電流の情報が得られる。同様に、A/D変換部15は、例えばPWMタイマ部13Bから出力されたA/D変換開始信号に応じて、コイルL1Bに流れる電流をサンプリングし、デジタル信号に変換することで変換結果DIS2を生成する。これにより、コイルL2Aに流れる電流の情報が得られる。

[0065] データ処理制御部10は、各種の演算処理を行い、制御部5内の各機能部の統括的な制御を行う。データ処理制御部10は、例えば、CPU11とメモリ部(MRY)12とを含んで構成される。メモリ部12は、プログラムが格納された不揮発性のメモリ(例えば、ROM(Read Only Memory)やフラッシュメモリ等)や揮発性のメモリ(RAM:Random Access Memory)、各種レジスタ等を含む。CPU11がRAM等に格納されたプログラムを実行することにより、各種の演算処理及び制御が実現される。

[0066] データ処理制御部10は、A/D変換部14~16による変換結果DIS1、DIS2、DVSに基づいて制御信号VGD1、VGD2のパルス幅を決定するための演算処理を実行し、その処理結果に基づいてPWMタイマ部13を制御することにより、所望の制御信号VGD1、VGD2を生成する。具体的には、データ処理制御部10は、出力電圧VOUTが目標電圧VTGTと等しく且つ入力電圧VINと入力電流IINとの位相差が小さくなるように、スイッチング素子SW1、SW2をオンさせるためのPWMオン期間を算出し、算出結果に応じた制御条件をPWMタイマ部13に設定する。

- [0067] より具体的には、データ処理制御部10は、A/D変換部16による変換結果DVSに基づいて、出力電圧VOUの現在値と目標電圧VTGTとの差分を算出し、その差分が小さくなるように、スイッチ素子SW1、SW2をオンさせるためのPWMオン期間TONを決定する。例えば、出力電圧VOUが目標電圧VTGTより小さい場合、PWMオン期間TONを長くすることで出力電圧VOUを上昇させる。一方、出力電圧VOUが目標電圧VTGTよりも大きい場合、スイッチ素子SW1、SW2のPWMオン期間を短くすることで出力電圧VOUを低下させる。また、データ処理制御部10は、A/D変換部14による変換結果DIS1に基づいてコイルL1Aに流れる電流を監視し、その電流がゼロ(0)になるタイミングを検出して、スイッチング素子SW1をオンさせるタイミングを決定する。同様に、A/D変換部15による変換結果DIS2に基づいてコイルL2Aに流れる電流を監視し、その電流がゼロになるタイミングを検出して、スイッチング素子SW2をオンさせるタイミングを決定する。
- [0068] データ処理制御部10は、上記のように算出したPWMオン期間TONと上記のように決定したスイッチ素子SW1、SW2をオンさせるタイミングとに基づいて、所望のPWM信号を生成するための制御条件を決定し、PWMタイマ部13A、13Bに設定する。
- [0069] PWMタイマ部13Aは、データ処理制御部10によって設定された制御条件に従って制御信号VGD1を生成する。同様に、PWMタイマ部13Bは、データ処理制御部10によって設定された制御条件に従って制御信号VGD2を生成する。
- [0070] なお、本実施の形態では、PWMタイマ部13AとPWMタイマ部13Bとは同一の回路構成とされ、夫々の動作(カウンタによるカウント動作や各種レジスタの更新等)が半周期ずれたタイミング(位相が π ずれたタイミング)で制御される。これにより、生成された制御信号VGD1と制御信号VGD2とは、位相が“ π ”ずれた信号となる。
- [0071] 図2に、PWMタイマ部13Aの内部構成を例示する。なお、上述したよ

うに、PWMタイマ13BはPWMタイマ13Aと同一の構成とされるため、代表的にPWMタイマ13Aについて詳細に説明する。

[0072] 同図に示されるように、PWMタイマ部13Aは、制御信号VGD1を生成するための機能部として、基本PWM信号生成部130、パルス信号生成部136、及び選択部(SEL)140を備える。

[0073] 基本PWM信号生成部130は、データ処理制御部10によって設定された制御条件に従って、パルス幅変調された信号VPWMを生成する。基本PWM信号生成部130は、例えば、信号生成回路(PWM_GEN)131、コンペアレジスタ(REG_CMPA)132、コンペアレジスタ(REG_CMPB)133、PWM周期設定レジスタ(REG_TC)135、及びカウンタ回路(CNTR_A)134を含む。

[0074] PWM周期設定レジスタ135は、データ処理制御部10によって、PWM制御に基づくPWM周期TCの指定値が設定される。特に制限されないが、PWM周期TCは数十 μ s~数百 μ sとされ、基本PWM信号VPWMは、例えば数kHz~数十kHzの信号とされる。

[0075] カウンタ回路134は、PWM周期設定レジスタ135の設定値に従って、入力された基準クロック信号をカウントするカウント動作を行う。カウンタ回路134によるカウント動作の開始及び停止は、データ処理制御部10からの指示によって制御される。カウンタ回路134は、例えば、アップカウントとダウンカウントをPWM周期設定レジスタ135で指定された周期TC(数十 μ s~数百 μ s)で繰り返し実行するアップ・ダウンカウンタとして動作し、そのカウント値30は周期が一定の三角波状になる。なお、カウンタ回路134によるカウント対象の基準クロック信号は、例えば、制御部5の内部又は外部に設けられた図示されないクロック信号生成部から供給され、その発振周波数は例えば数MHz~数十MHzとされる。

[0076] コンペアレジスタ132は、データ処理制御部10によって算出されたPWMオン期間TONの指定値、すなわち基本PWM信号VPWMのデューティ比の指定値が設定される。コンペアレジスタ133は、後述するパルス信

号VPLSを出力させる期間T1、T3の長さを表す指定値が設定される。コンペアレジスタ132の設定値を“CA”、コンペアレジスタ133の設定値を“CB”と表記する。なお、 $CA < CB$ である。

[0077] 信号生成回路131は、カウンタ回路134のカウント値30と各種レジスタ132、133、134の設定値とを比較することにより、基本PWM信号VPWMを生成するとともに、選択信号VSELやA/D変換部14、16に対するA/D変換開始信号を出力する。

[0078] 具体的には、信号生成回路131は、カウンタ回路134のカウント値30がコンペアレジスタ132の設定値CAよりも小さい期間に基本PWM信号VPWMを例えばローレベルにし、カウント値30がコンペアレジスタ132の設定値CAよりも大きい期間に基本PWM信号VPWMを例えばハイレベルにする。これにより、コンペアレジスタ132の設定値CAに応じたデューティ比（PWMオン期間TON）の基本PWM信号VPWMが生成される。また、信号生成回路131は、カウンタ回路134のカウント値30がコンペアレジスタ132の設定値CAよりも大きくコンペアレジスタ133の設定値CBよりも小さい期間に、選択信号VSELをアサート（例えばハイレベル）し、カウント値30がコンペアレジスタ133の設定値CBよりも大きい期間に、選択信号VSELをネゲート（例えばローレベル）する。

[0079] パルス信号生成部136は、データ処理制御部10によって設定された制御条件に従って、PWM周期TCよりも短い周期であってパルス幅が段階的に変化するパルス信号VPLSを生成する。パルス信号生成部136は、例えば、カウンタ回路（CNT_R__B）137、パルス幅設定レジスタ（REG_PW）138、及び信号生成回路（PLS_GEN）139を含む。

[0080] カウンタ回路137は、データ処理制御部10による設定条件に従って、入力された基準クロック信号をカウントするカウント動作を行う。カウンタ回路137は、例えば、データ処理制御部10によって設定された指定値までカウントアップしたらカウント値をクリアするとともに、再度指定値まで

カウントアップする動作を繰り返すアップカウンタとして動作し、そのカウント値は周期が一定の鋸波状になる。カウンタ回路137のカウント周期は、前述のカウンタ回路134のカウント周期（PWM周期TC）よりも小さくされる。なお、カウンタ回路137によるカウント対象の基準クロック信号は、カウンタ回路134と同様に、図示されないクロック信号生成部から供給される。

[0081] パルス幅設定レジスタ138は、パルス信号VPLSのパルス幅（デューティ比）を指示する値が設定される。以下、パルス幅設定レジスタ138の設定値を“CC”と表記する。

[0082] 信号生成回路139は、カウンタ回路137のカウント値40とパルス幅設定レジスタ138の設定値CCとを比較することにより、パルス信号VPLSを生成する。例えば、信号生成回路139は、カウンタ回路137のカウント値40が設定値CCよりも小さい場合にパルス信号VPLSを例えばハイレベルにし、カウント値40が設定値CCよりも大きい場合に、パルス信号VPLSを例えばローレベルにする。これにより、パルス幅設定レジスタ138の設定値CCに応じたデューティ比のパルス信号VPLSが生成される。詳細は後述するが、パルス幅設定レジスタ138の設定値CCは、データ処理制御部10によってカウンタ回路137のカウント周期毎に逐次更新される。

[0083] 選択部140は、選択信号VSELに基づいて、基本PWM信号VPWMとパルス信号VPLSの何れか一方を選択し、制御信号VGD1として出力する。例えば、選択信号VSELがアサートされている期間はパルス信号VPLSを制御信号VGD1として出力し、選択信号VSELがネゲートされている期間は基本PWM信号VPWMを制御信号VGD1として出力する。

[0084] 図3に、PWMタイマ部13Aによって生成される各種信号のタイミングチャートを例示する。同図には、2周期分の制御信号VGD1が示される。最初の一周期では、基本PWM信号のデューティ比（PWM制御に基づくPWMオン期間TON）が70%とされ、次の一周期では、基本PWM信号の

デューティ比が65%とされる場合が例示されている。

[0085] 同図に示されるように、時刻 t_0 において、データ処理制御部 10 がカウンタ回路 134 に対してカウント動作開始の指示を与えることにより、カウンタ回路 134 がアップカウントを開始する。時刻 t_1 において、カウンタ回路 134 のカウント値 30 がコンペアレジスタ 132 の設定値 CA (例えば基本 PWM 信号 V PWM のデューティ比 70% に対応する値) と一致したら、信号生成回路 131 は、基本 PWM 信号 V PWM をローレベルからハイレベルに切り替えると同時に、選択信号 V SEL をアサートする (例えばハイレベルにする)。

[0086] 次に、時刻 t_2 において、カウンタ回路 134 のカウント値 30 がコンペアレジスタ 133 の設定値 CB と一致したら、信号生成回路 131 は、基本 PWM 信号 V PWM のハイレベルを保持したまま、選択信号 V SEL をネゲートする (例えばローレベルにする)。なお、特に制限されないが、同図では、コンペアレジスタ 133 の設定値 CB を設定値 CA (デューティ比 70%) よりも大きいデューティ比 72% に設定した場合が例示されている。コンペアレジスタ 133 の設定値 CB は、想定されるスイッチングノイズの大きさに応じて種々変更可能である。例えば、スイッチングノイズが大きいと想定される場合には、設定値 CB を例えばデューティ比 73% に対応する値に設定し、スイッチングノイズが小さいと想定される場合には、設定値 CB を例えばデューティ比 71% に対応する値に設定することも可能である。

[0087] 一方、時刻 t_1 から時刻 t_2 までの期間 T1 において、パルス信号生成部 136 によってパルス信号 V PLS が生成される。

[0088] 具体的には、期間 T1 において、カウンタ回路 137 がアップカウント動作を繰り返し実行し、そのカウント周期毎にパルス幅設定レジスタ 138 の設定値が更新される。例えば、パルス信号 V PLS のデューティ比が 10%、30%、50%、70%・・・と段階的に大きくなるように、パルス幅設定レジスタ 138 の設定値 CC がカウント周期毎に更新される。これにより、期間 T1 において、PWM 周期 TC よりも短い周期であってパルス幅が段

階的に大きくされるパルス信号V P L S_{__1}が生成される。

[0089] ここで、パルス信号V P L Sの具体的な生成方法について図4を用いて詳細に説明する。

[0090] 図4は、実施の形態1に係るPWMタイマ部によって生成されるパルス信号V P L S_{__1}のタイミングチャートを例示する図である。同図には、図3における時刻t₁から時刻t₂までの期間T₁における各種信号及びレジスタの更新タイミングが例示されている。なお、同図では、パルス幅設定レジスタ138の設定値CCとして、デューティ比10%を指示する値が初期値として設定されているものとする。

[0091] 同図に示されるように、時刻t₁において、データ処理制御部10がカウンタ回路137に対してカウント動作開始の指示を与えることにより、カウンタ回路137がカウント動作を開始する。このとき、カウンタ回路137のカウント値40がパルス幅設定レジスタ138の設定値CCよりも低いため、パルス信号V P L Sはハイレベルとなる。その後、時刻t₁₁において、カウンタ回路137のカウント値40がパルス幅設定レジスタ138の設定値CCと一致すると、パルス信号V P L Sがローレベルに切り替わる。その後、時刻t₁₃においてカウンタ回路137のカウント値が最大値に到達すると、カウンタ回路137のカウント値がクリアされ、カウンタ回路137は再度アップカウントを開始する。これにより、時刻t₁から時刻t₃までの期間に、カウンタ回路137のカウント周期と同一の周期であって、デューティ比が10%のパルス信号V P L S_{__1}が生成される。

[0092] パルス幅設定レジスタ138の設定値CCは、例えばカウンタ回路137のカウント値がクリアされるタイミングで更新される。パルス幅設定レジスタ138の設定値CCを更新する方法として、例えば以下の2つの制御方法が考えられる。第1の制御方法としては、例えば、データ処理制御部10が、カウンタ回路137のカウント値がリセットされるタイミングt₁₃に同期して、パルス幅設定レジスタ138の設定値CCを直接変更する方法である。第2の制御方法としては、例えば、パルス信号生成部136内に一時的

にデータの格納が可能なバッファレジスタ（図示せず）を設けておき、バッファレジスタを介してパルス幅設定レジスタ 138 に値を設定する方法である。例えば、先ず、カウンタ回路 137 のカウント値がリセットされる前の所定のタイミングにおいて、データ処理制御部 10 がパルス幅の指定値（例えばデューティ比 30%）をバッファレジスタに設定する。そして、カウント値 40 がリセットされたタイミング t_{13} で、バッファレジスタの値をパルス幅設定レジスタ 138 にロードする。前記所定のタイミングとしては、例えば、カウンタ回路 137 のカウント値 40 が中間値（パルス信号 V_{PLS_1} のデューティ 50% に対応するカウント値） CM と一致するタイミングが一例として挙げられる。以上のような制御方法によれば、パルス信号 V_{PLS} の一周期毎のデューティ比の変更が可能となる。

[0093] 時刻 t_{13} においてカウント値 40 がリセットされ、パルス幅設定レジスタ 138 の設定値が更新されると、パルス信号 V_{PLS} が再びハイレベルに切り替わる。その後、時刻 t_{14} においてカウンタ回路 137 のカウント値 40 がパルス幅設定レジスタ 138 の設定値 CC （デューティ比 30%）と一致すると、パルス信号 V_{PLS} がローレベルに切り替わる。これにより、デューティ比 30% のパルス信号 V_{PLS_1} が生成される。そして、時刻 t_{15} においてカウント値 40 がリセットされると、パルス幅設定レジスタ 138 の設定値 CC がデューティ比 30% からデューティ 50% に更新される。その後の動作は時刻 $t_{13} \sim t_{16}$ の動作と同様である。

[0094] 以上のようにパルス信号生成部 136 を制御することで、PWM 周期 T_C における PWM オン期間 T_C の開始直後の期間 T_1 において、PWM 周期 T_C よりも短い周期であって、パルス幅が段階的に大きくなるパルス信号 V_{PLS_1} を生成することができる。

[0095] ここで、再び図 3 に戻り、時刻 t_3 以降の制御について説明する。

[0096] 時刻 t_3 において、カウンタ回路 134 のカウント値 30 が最大値 C_{MAX} に到達すると、カウンタ回路 134 はアップカウントからダウンカウントに切り替える。その後、時刻 t_4 において、カウンタ回路 134 のカウント

値30がコンペアレジスタ133の設定値CBと再び一致したら、信号生成回路131は、基本PWM信号VPWMのハイレベルを保持したまま、選択信号VSELを再びアサートする（ハイレベルにする）。時刻t5において、カウンタ回路134のカウント値30がコンペアレジスタ132の設定値CA（=a1）と一致したら、信号生成回路131は、基本PWM信号VPWMをハイレベルからローレベルに切り替えるとともに、選択信号VSELをネゲートする（ローレベルにする）。

[0097] 一方、時刻t4から時刻t5までの期間T3において、パルス信号VPLSが生成される。具体的には、データ処理制御部10が、時刻t4においてカウント開始の指示をカウンタ回路137に与えることにより、カウンタ回路137はカウント動作を開始する。また、データ処理制御部10は、時刻t4においてパルス幅設定レジスタ138にパルス幅を指示する値（例えばデューティ比70%）を設定する。信号生成回路139は、カウンタ回路137のカウント値40とパルス幅設定レジスタ138の設定値CCとを比較し、カウント値40がパルス幅設定レジスタ138の設定値CCよりも小さい期間に、パルス信号VPLSを例えばハイレベルにし、カウント値40が設定値CCよりも大きい期間に、パルス信号VPLSを例えばローレベルにする。これにより、パルス幅設定レジスタ138の設定値CC（例えばデューティ比70%）に応じたパルス信号VPLSが生成される。その後、カウンタ回路134のカウント値30とコンペアレジスタ132の設定値CA（=b1）とが一致するタイミング（時刻t5）までカウンタ回路137はカウント動作を繰り返す。その間、データ処理制御部10は、カウンタ回路137のカウント周期に応じたタイミングでパルス幅設定レジスタ138の設定値CCを更新することを繰り返す。例えば、パルス信号VPLSのデューティ比が70%、50%、30%、10%・・・と段階的に小さくなるように、パルス信号VPLSのパルス幅を指示する値をカウント周期毎に更新する。これにより、時刻t4から時刻t5までの期間T3にPWM周期TCよりも短い周期であって、パルス幅が段階的に小さくされるパルス信号VPL

S__2が生成される。なお、パルス信号VPLS__2の具体的な生成方法は、前述したパルス信号VPLS__1の生成方法（図4）と同様である。

[0098] 選択部140は、選択信号VSELがアサートされている、時刻t1からt2までの期間T1と時刻t4からt5までの期間T3においてパルス信号VPLSを制御信号VGD1として出力し、選択信号VSELがネゲートされている時刻t2からt4までの期間T2において、基本PWM信号VPWMを制御信号VGD1として出力する。

[0099] 時刻t6においてカウント値30が最小値CMIN (=0)になると、一周期の制御信号VGD1の生成が完了する。そして、再びカウンタ回路134がカウント動作を開始することで、次の一周期の制御信号VGD1の生成が開始される。時刻t6以降の制御は、コンペアレジスタ132、133の夫々の設定値が、基本PWM信号VPWMのデューティ比65%、66%に設定される点を除いて、時刻t1～t5までの制御内容と同様である。

[0100] 以上のようにPWMタイマ部13Aを制御することで、PWMオン期間TONの最初と最後の短い期間T1、T3では、PWM周期TCよりも短い周期であってパルス幅が段階的に変化するパルス信号VPLS__1、VPLS__2が制御信号VGD1として出力され、PWMオン期間TONにおけるそれ以外の期間T2では、基本PWM信号VPWMが制御信号VGD1として出力される。なお、PWMタイマ部13Bは、PWMタイマ部13Aと制御のタイミングが相異なるだけで制御内容は同様である。したがって、制御信号VGD2も制御信号VGD1と同様に生成される。

[0101] 図5に、本実施の形態に係るスイッチング電源装置100によるスイッチングノイズの低減効果を例示する。同図の(a)には、従来のスイッチング電源装置のようにPWM信号によって単純にスイッチング素子を駆動した場合の出力電圧VOUTの波形例が示される。同図の(b)には、本実施の形態に係るスイッチング電源装置100の出力電圧VOUTの波形例が示される。

[0102] 同図に示されるように、本実施の形態に係るスイッチング電源装置によれ

ば、PWM周期TCにおけるPWMオン期間TONの最初と最後に短期間に、パルス幅が段階的に切り替わるパルス信号VPLSによってスイッチング素子を駆動することで、スイッチングノイズを小さくことができ、スイッチング電源装置における高調波ノイズを低減することが可能となる。

[0103] 《実施の形態2》

図6は、実施の形態2に係るAC/DCコンバータとしてのデジタル制御方式のスイッチング電源装置を例示するブロック図である。

[0104] 同図に示されるスイッチング電源装置200は、パルス信号VPLSのパルス幅を出力電圧VOUTに重畳されたノイズの大きさによって変化させる機能を備える点で、実施の形態1に係るスイッチング電源装置100と相異なる。なお、スイッチング電源装置200の構成要素のうちスイッチング電源装置100と同一の構成要素には、同一の符号を付してその詳細な説明を省略する。

[0105] 図6に示されるPFC回路6において、制御部7内のPWMタイマ23A、23Bは、検出電圧VSENを監視し、スイッチング電源装置200の出力電圧VOUTに重畳したノイズを検出する機能を更に備える。なお、本実施の形態では、PWMタイマ部23AとPWMタイマ部23Bとは同一の回路構成を有するものとし、代表的にPWMタイマ部23Aについて詳細に説明する。

[0106] 図7は、PWMタイマ部23Aの内部構成を例示するブロック図である。同図に示されるように、PWMタイマ部23Aは、制御信号VGD1を生成するための機能部として、基本PWM信号生成部130、パルス信号生成部136、及び選択部(SEL)140に加え、ノイズ検出部141を備える。

[0107] ノイズ検出部141は、ウインドコンパレータ部(WND_CMP)142と、カウンタ回路(CNTR_C)143と、ノイズ検出結果レジスタ(REG_NS)144とを備える。

[0108] ウインドコンパレータ部142は、検出電圧VSENが所定の電圧範囲W

に収まっているか否かを判定し、判定結果信号VNSを出力する。具体的には、ウインドコンパレータ部142は、検出電圧VSENが所定の電圧範囲Wに収まっている場合に出力電圧VOUTにノイズが重畳されていないと判定し、信号レベルが例えばローレベルとなる判定結果信号VNSを出力する。一方、検出電圧VSENが所定の電圧範囲Wから外れている場合に、出力電圧VOUTにノイズが重畳されていると判定し、信号レベルが例えばハイレベルとなる判定結果信号VNSを出力する。電圧範囲Wは、例えばスイッチング電源装置200の出力電圧VOUTの目標電圧（例えば300V）を中心とする電圧範囲とされ、出力電圧VOUTにノイズが重畳しているか否かを判定する指標となる。電圧範囲Wはプログラマブルに変更可能とされ、例えばスイッチング電源装置200を適用するシステムにおいて許容される出力電圧VOUTの変動量に基づいて決定される。

[0109] カウンタ回路143は、出力電圧VOUTにノイズが重畳している期間を計時する。具体的には、カウンタ回路143は、ウインドコンパレータ部142からノイズが重畳されていることを示す判定結果が出力されたら（例えば判定結果信号VNSがハイレベルになったら）アップカウントを開始し、ノイズが重畳されていないことを示す判定結果が出力されたら（例えば判定結果信号VNSがローレベルになったら）アップカウントを停止するとともにカウント値をクリアする。これにより、出力電圧VOUTにノイズが重畳されている期間の長さによってノイズの大きさを表すことができる。

[0110] ノイズ検出結果レジスタ（REG_NS）144は、カウンタ143のカウント値が格納される。例えば、ウインドコンパレータ部142の判定結果信号VNSのハイレベルからローレベルへの切り替わりをトリガとして、そのときのカウンタ回路143のカウント値がノイズ検出結果レジスタ144に書き込まれる。

[0111] データ処理制御部10は、出力電圧VOUTが目標電圧VTGTと等しく、且つ入力電圧VINと入力電流IINとの位相差が小さくなるように、基本PWM信号生成部130に制御条件を設定することで基本PWM信号VP

WMを生成させる。基本PWM信号生成部130に対する制御内容は、実施の形態1と同様であり、例えば前述の図3と同様のタイミングで、基本PWM信号VPWM及び選択信号VSELが生成される。

[0112] また、データ処理制御部10は、パルス信号生成部136を制御することにより、パルス信号VPLSを生成させる。具体的に、データ処理制御部10は、ノイズ検出部141によって検出されたノイズの大きさに基づいてパルス信号VPLSのパルス幅を決定することで、所望のパルス信号VPLSを生成させる。以下、パルス信号VPLSのパルス幅を決定するための具体的な制御内容について、図8を用いて詳細に説明する。

[0113] 図8は、実施の形態2に係るパルス信号VPLS_1のタイミングチャートを例示する図である。前述したように、基本PWM信号VPWM及び選択信号VSELを生成するための制御方法は実施の形態1と同様であるため、PWM周期TC及びPWMオン期間TONは図3と同様である。一方、図3における時刻t1から時刻t2までの期間T1と時刻t3からt4までの期間T3における各種信号及びレジスタの更新タイミングは、実施の形態1と相異なる。そこで、図8には、実施の形態2に係る期間T1における各種信号及びレジスタの更新タイミングを代表的に図示している。なお、同図では、パルス幅設定レジスタ138の設定値CCとして、デューティ比10%を指示する値が初期値として設定されているものとする。

[0114] 図8に示されるように、時刻t1において、実施の形態1と同様にデータ処理制御部10がカウンタ回路137に対してカウント動作開始の指示を与えることにより、カウンタ回路137のカウント動作が開始され、パルス信号VPLS_1（制御信号VGD1）がハイレベルとなる。これにより、スイッチング素子SW1がオン状態となり、コイルL1やスイッチング素子SW1に流れる電流が変動するため、出力電圧VOUTが変動する。その電圧変動より、時刻t21において出力電圧VOUTが電圧範囲Wから外れると、ノイズ検出部141のウィンドコンパレータ部142が検出結果信号VNSをハイレベルにし、カウンタ回路143が計時を開始する。その後、時刻

t 2 2において出力電圧V O U Tが電圧範囲Wに収まったら、ウインドコンパレータ部1 4 2が検出結果信号V N Sをハイレベルからローレベルに切り替える。これにより、カウンタ回路1 4 3が計時を停止するとともに、カウンタ回路1 4 3のカウント値がノイズ検出結果レジスタ1 4 4に書き込まれる。このとき、ウインドコンパレータ部1 4 2は更に、データ処理制御部1 0 (CPU 1 1) に対して割り込み要求I N Tを発行する。発行された割り込み要求I N Tは、図示されない割り込み制御回路に入力され、当該割り込み制御回路がデータ処理制御部1 0に対して割り込み信号を出力することにより、データ処理制御部1 0が割り込み処理を実行する。具体的に、データ処理制御部1 0は、期間T 1、T 3において、ノイズ検出結果レジスタ1 4 4のデータ(出力電圧V O U Tに重畳したノイズ量)を取り込み、そのデータに基づいてパルス信号V P L S _ 1のパルス幅(デューティ比)をパルス幅設定レジスタ1 3 8に設定する。より具体的には、データ処理制御部1 0は、ノイズ量が想定値よりも大きければ、パルス信号V P L S _ 1のパルス幅の増加率が小さくなるように次のパルス信号V P L Sのパルス幅を決定し、ノイズ量が想定値よりも小さければ、パルス信号V P L S _ 1のパルス幅の増加率が大きくなるように次のパルス信号V P L Sのパルス幅を決定する。

[0115] 例えば、期間T 1において、一回目に出力すべきパルス信号V P L S _ 1の基準パルス幅が“1 0%”、二回目に出力すべきパルス信号V P L S _ 1の基準パルス幅が“3 0%”、三回目に出力すべきパルス信号V P L S _ 1の基準パルス幅を“5 0%”、・・・というように、パルス幅が段階的に大きくなるように初期設定されていた場合を考える。

[0116] この場合、例えば、データ処理制御部1 0は、期間T 1において一回目に出力されたパルス信号V P L S _ 1(デューティ比1 0%)によってスイッチング素子S W 1を駆動したときのノイズ量が基準値よりも大きいと判断したら、二回目に出力すべきパルス信号V P L S _ 1のパルス幅として初期設定された基準パルス幅“3 0%”よりも小さい値(例えば2 8%)をパルス幅設定レジスタ1 3 8に設定する。これにより、二回目のパルス信号V P L

S__1によってスイッチング素子SW1をオンさせる期間が短くなるので、スイッチング素子のオン時の電流変化量を小さくすることができる。一方、データ処理制御部10は、一回目のパルス信号VPLS__1のノイズ量が基準値よりも小さいと判断したら、二回目のパルス信号VPLS__1のパルス幅として初期設定された基準パルス幅“30%”よりも大きい値（例えば32%）をパルス幅設定レジスタ138に設定する。これにより、ノイズ量を抑えつつ、通常のPWM制御に近づけることができる。なお、パルス幅設定レジスタ138を更新するタイミングは、次の一周期のパルス信号VPLS__1が生成される前のタイミングであれば良く、特に限定されない。図8では、タイミングt23においてパルス幅設定レジスタ138が更新され、デューティ“28%”を示す値が設定される場合が例示されている。

[0117] その後、タイミングt24において、次の一周期のパルス信号VPLS__1（デューティ比28%）の生成が開始される。これにより、スイッチング素子SW1がオン状態となり、コイルL1やスイッチング素子SW1に流れる電流が変動するため、出力電圧VOUTも変動する。その電圧変動より、時刻t25において出力電圧VOUTが電圧範囲Wから外れたとすると、ノイズ検出部141のウィンドコンパレータ部142が検出結果信号VNSをハイレベルにし、カウンタ回路143が計時を開始する。その後、時刻t26において出力電圧VOUTが電圧範囲Wに収まったら、ウィンドコンパレータ部142が検出結果信号VNSをハイレベルからローレベルに切り替える。これにより、カウンタ回路143が計時を停止するとともに、カウンタ回路143のカウント値がノイズ検出結果レジスタ144に書き込まれる。このとき、前述のタイミングt22と同様に、割り込み要求INTが発行され、データ処理制御部10がパルス信号VPLS__1のパルス幅（デューティ比）の算出を開始する。例えば、データ処理制御部10は、期間T1において二回目に出力されたパルス信号VPLS__1（デューティ比28%）によってスイッチング素子SW1を駆動したときのノイズ量が基準値よりも大きい場合には、三回目のパルス信号VPLS__1のパルス幅として初期設定

された基準パルス幅“50%”よりも小さい値（例えば48%）をパルス幅設定レジスタ138に設定する。一方、ノイズ量が基準値よりも小さい場合には、初期設定された基準パルス幅“50%”よりも大きい値（例えば52%）をパルス幅設定レジスタ138に設定する。なお、図8では、タイミングt27においてパルス幅設定レジスタ138が更新され、デューティ比“52%”を示す値が設定される場合が例示されている。これにより、タイミングt28以降に、期間T1における三回目のパルス信号VPLS__1としてデューティ比“52%”の信号が出力される。その後の処理は、タイミングt24からt28までの処理内容と同様であり、ノイズ量に基づいて決定されたパルス幅のパルス信号VPLS__1が時刻t2まで生成される。

[0118] このように、PWM周期TCにおけるPWMオン期間TONの最初の期間T1において、制御信号VGD1、VGD2（パルス信号VPLS）のパルス幅を段階的に増加させる制御を行う場合に、そのパルス幅の増加率を実際に測定したスイッチングノイズの大きさによって変化させることで、スイッチングノイズを更に小さくすることができる。

[0119] また、PWMオン期間TONの最後の期間T2においても、上述した期間T1と同様の制御方法によってパルス信号VPLS__2を生成する。例えば、期間T2において、ノイズ検出部141によって検出されたノイズ量が想定値よりも大きければ、パルス信号VPLS__2のパルス幅の減少率が小さくなるように次のパルス信号VPLSのパルス幅を算出し、ノイズ量が想定値よりも小さければ、パルス信号VPLS__2のパルス幅の減少率が大きくなるように次のパルス信号VPLS__2のパルス幅を算出する。例えば、期間T2において、一回目に出力すべきパルス信号VPLS__2の基準パルス幅が“70%”、二回目に出力すべきパルス信号VPLS__2の基準パルス幅が“50%”、三回目に出力すべきパルス信号VPLS__2の基準パルス幅を“30%”、・・・というように、パルス幅が段階的に減少するように初期設定されていた場合を考える。

[0120] 例えば、データ処理制御部10は、期間T2において一回目に出力された

パルス信号VPLS_2（デューティ比70%）によってスイッチング素子SW1を駆動したときのノイズ量が基準値よりも大きいと判断したら、二回目に出力すべきパルス信号VPLS_2のパルス幅として初期設定された基準パルス幅“50%”よりも大きい値（例えば51%）をパルス幅設定レジスタ138に設定する。これにより、二回目のパルス信号VPLS_2によってスイッチング素子SW1をオフさせる期間が短くなるので、スイッチング素子のオフ時の電流変化量を小さくすることができる。一方、データ処理制御部10は、一回目のパルス信号VPLS_2のノイズ量が基準値よりも小さいと判断したら、基準パルス幅“50%”よりも小さい値（例えば49%）をパルス幅設定レジスタ138に設定する。これによれば、ノイズ量を抑えつつ、通常のPWM制御に近づけることができる。

[0121] このように、PWM周期TCにおけるPWMオン期間TONの最後の期間T2においても、制御信号VGD1、VGD2（パルス信号VPLS_2）のパルス幅の減少率を実際に測定したスイッチングノイズの大きさによって変化させることで、スイッチングノイズを更に小さくすることができる。

[0122] 以上、実施の形態2に係るスイッチング電源装置200によれば、PWM周期TCにおけるPWMオン期間TONの最初の期間T1と最後の期間T3に、パルス幅が段階的に変化するパルス信号VPLSによってスイッチング素子を駆動するとともに、そのパルス幅の増加量及び減少量を実際に測定したノイズ量に応じて変化させることで、スイッチングノイズを更に小さくすることができ、スイッチング電源装置における高調波ノイズを更に低減することが可能となる。

[0123] 以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

[0124] 例えば、実施の形態1、2に係るスイッチング電源装置100、200において、PWM周期TCにおけるPWMオン期間TONの最初の期間T1と最後の期間T3に、パルス幅が段階的に変化するパルス信号VPLSによっ

てスイッチング制御する構成を例示したが、期間 T 1、T 3 の何れか一方のみ、パルス信号 V P L S によってスイッチング制御する構成としても良い。例えば、最初の期間 T 1 だけパルス信号 V P L S によって駆動し、中間の期間 T 2 と最後の期間 T 3 は基本 PWM 信号 V P W M によって駆動する構成としても良い。また、最初の期間 T 1 と中間の期間 T 2 は基本 PWM 信号 V P W M によってスイッチング制御し、最後の期間 T 3 だけパルス信号 V P L S によってスイッチング制御する構成としても良い。

[0125] パルス信号 V P L S __ 1、V P L S __ 2 は、期間 T 1、T 3 においてスイッチング素子 S W 1、S W 2 がオンする期間を段階的に変化させることができる信号であれば良く、上述したようなパルス周期が固定であってデューティ比の変化する信号に限定されるものではない。例えば、パルス信号 V P L S __ 1、V P L S __ 2 が、段階的にパルス周期が大きく又は小さくなるような信号であっても、スイッチングノイズを低減することができる。

[0126] 実施の形態 2 において、パルス信号 V P L S __ 1、V P L S __ 2 のパルス幅をノイズ量に応じて 1 パルス毎に更新する構成を例示したが、PWM 周期 T C 毎に、パルス信号 V P L S __ 1、V P L S __ 2 のパルス幅を更新する構成であっても良い。具体的には、図 3 において、一回目の PWM 周期 T C における時刻 t 1 ~ t 2 の期間 T 1 に測定したノイズ量（例えば同期間におけるノイズ量の最大値や平均値等）に基づいて、二回目の PWM 周期 T C における時刻 t 7 ~ t 8 の期間に出力するパルス信号 P L S __ 1 のパルス幅を決定する。例えば、時刻 t 1 ~ t 2 の期間 T 1 におけるパルス信号 P L S __ 1 のデューティ比を 10%、30%、50% と変化させた場合に、期間 T 1 におけるノイズ量が想定値よりも大きければ、時刻 t 7 ~ t 8 の期間におけるパルス信号 P L S __ 1 のデューティ比を 5%、15%、35%、55% のように、デューティ比を小さくして同期間に出力するパルス数を増加させるように制御しても良い。これによれば、二回目の PWM 周期 T C における PWM オン期間 T O N に発生するスイッチングノイズを小さくすることができる。

[0127] 実施の形態 1、2 では、PFC回路 1、6 が臨界モードの PFC回路である場合を例示したが、連続モードの PFC回路であっても良い。また、PFC回路 1、6 を構成する電圧コンバータ回路 3 を同期整流方式とし、整流素子 D1、D2 を同期整流用の MOS トランジスタで構成することも可能である。

産業上の利用可能性

[0128] 本発明は、交流電圧を直流電圧に変換する AC/DC コンバータのみならず、DC/DC コンバータを構成する各種スイッチング電源装置に広く適用することができる。

符号の説明

[0129] 100 スwitchング電源装置 (AC/DC コンバータ)

20 交流電源

VAC 交流電圧

1 PFC回路

2 整流部

21 ダイオードブリッジ回路

CRCT 容量

VIN 入力電圧

IIN 入力電流

3 電圧コンバータ回路

L1A、L1B、L2A、L2B コイル

SW1、SW2 スwitchング素子

D1、D2 整流素子

COUT 出力容量

NSW1、NSW2 ノード

4 出力電圧検出部

R1、R2 抵抗

VOUT 出力電圧

VSEL 検出電圧

5 制御部

10 データ処理制御部

11 CPU

12 メモリ部

13A、13B PWMタイマ部

14～16 A/D変換部

DIS1、DIS2、DVS 変換結果

VGD1、VGD2 制御信号

130 基本PWM信号生成部

131 信号生成回路

132、133 コンペアレジスタ

134 カウンタ回路

135 PWM周期設定レジスタ

136 パルス信号生成部

137 カウンタ回路

138 パルス幅設定レジスタ

139 信号生成回路 (PLS_GEN)

140 選択部

VPWM 基本PWM信号

VPLS、VPLS_1、VPLS_2 パルス信号

VSEL 選択信号

30、40 カウント値

200 スイッチング電源装置 (AC/DCコンバータ)

6 PFC回路

7 制御部

23A、23B PWMタイマ部

141 ノイズ検出部

- 1 4 2 ウインドコンパレータ部
- 1 4 3 カウンタ回路
- 1 4 4 ノイズ検出結果レジスタ
- V N S 検出結果信号
- I N T 割り込み要求

請求の範囲

[請求項1] PWM制御によってスイッチング素子をオン・オフさせることでコイルに流れる電流を制御し、所望の直流電圧を得るスイッチング電源装置であって、

前記PWM制御によって前記スイッチング素子をオンさせるためのPWMオン期間において、当該PWMオン期間が開始された直後の第1期間に、前記PWM制御に基づくPWM周期よりも短い周期であってパルス幅が段階的に大きくされる第1パルス信号によって前記スイッチング素子のスイッチング制御が可能にされ、前記第1期間の経過後に、前記PWM制御に基づくPWM信号によって前記スイッチング素子のスイッチング制御が可能にされる、スイッチング電源装置。

[請求項2] 請求項1において、

前記第1期間における前記第1パルス信号のパルス幅の増加率は、前記直流電圧に重畳されるスイッチングノイズが基準値よりも大きい場合に小さくなるように制御され、前記スイッチングノイズが基準値よりも小さい場合に大きくなるように制御される、スイッチング電源装置。

[請求項3] 請求項2において、

前記第1期間において直前に出力された前記第1パルス信号によって前記スイッチング素子をスイッチングすることで生じた前記スイッチングノイズが基準値よりも大きい場合には、次に出力すべき前記第1パルス信号のパルス幅を基準のパルス幅よりも小さくし、前記スイッチングノイズが前記基準値よりも小さい場合には、次に出力すべき前記第1パルス信号のパルス幅を前記基準のパルス幅よりも大きくする、スイッチング電源装置。

[請求項4] 請求項3において、

前記直流電圧が所定の電圧範囲から外れている期間の長さを前記スイッチングノイズの大きさとする、スイッチング電源装置。

- [請求項5] 請求項3において、
- 前記PWMオン期間における前記第1期間の経過後の第2期間に、前記PWM信号によって前記スイッチング素子のスイッチング制御が可能にされ、前記第2期間が経過してから前記PWMオン期間が終了するまでの第3期間に、前記PWM周期よりも短い周期であって段階的にパルス幅が小さくされる第2パルス信号によって前記スイッチング素子のスイッチング制御が可能にされる、スイッチング電源装置。
- [請求項6] 請求項5において、
- 前記第3期間における前記第2パルス信号のパルス幅の減少率は、前記直流電圧に重畳されるスイッチングノイズが基準値よりも大きい場合に小さくなるように制御され、前記スイッチングノイズが基準値よりも小さい場合に大きくなるように制御される、スイッチング電源装置。
- [請求項7] 請求項6において、
- 前記第3期間において直前に出力された前記第2パルス信号によって前記スイッチング素子をスイッチングすることで生じた前記スイッチングノイズが基準値よりも大きい場合には、次に出力すべき前記第2パルス信号のパルス幅を基準とされるパルス幅よりも大きく、前記スイッチングノイズが前記基準値よりも小さい場合には、次に出力すべき前記第2パルス信号のパルス幅を当該基準とされるパルス幅よりも小さくする、スイッチング電源装置。
- [請求項8] 入力電圧を目標とする直流電圧に変換するとともに力率を改善するためのスイッチング電源装置におけるスイッチング素子のオン・オフを制御するための半導体装置であって、
- 前記スイッチング素子のオン・オフを制御するための制御信号を生成するタイマ部と、
- 前記出力電圧が前記目標とする直流電圧と等しく且つ前記入力電圧と前記スイッチング電源装置に入力される入力電流との位相差が小さ

くなるように前記スイッチング素子をオンさせるためのPWMオン期間を算出するとともに、前記算出結果に基づいて前記タイマ部を制御するデータ処理制御部と、を有し、

前記データ処理制御部は、前記タイマ部を制御することにより、前記算出したPWMオン期間の開始直後の第1期間に、前記算出したPWMオン期間に応じたPWM信号よりも周期が短く且つ段階的にパルス幅が大きくなる第1パルス信号を前記制御信号として出力可能にし、前記第1期間の経過後に、前記制御信号として前記PWM信号を出力可能にする、半導体装置。

[請求項9]

請求項8において、

前記データ処理制御部は、前記タイマ部を制御することにより、前記算出したPWMオン期間の終了直前の第2期間に、前記PWM信号よりも周期が短く且つ段階的にパルス幅が小さくなる第2パルス信号を前記制御信号として出力可能にする、半導体装置。

[請求項10]

請求項9において、

前記直流電圧が所定の電圧範囲から外れているか否かを判定するコンパレータ部と、

前記直流電圧が前記所定の電圧範囲から外れた状態にある期間を計時する計時部と、を更に有し、

前記データ処理制御部は、前記第1期間において直前に出力された前記第1パルス信号によって前記スイッチング素子をスイッチングしたときの前記計時部による計時結果が基準値よりも大きい場合には、次に出力すべき前記第1パルス信号のパルス幅を基準とされるパルス幅よりも小さくし、前記計時結果が基準値よりも小さい場合には、次に出力すべき前記第1パルス信号のパルス幅を当該基準とされるパルス幅よりも大きくする、半導体装置。

[請求項11]

請求項10において、

前記データ処理制御部は、前記第2期間において直前に出力された

前記第2パルス信号によって前記スイッチング素子をスイッチングしたときの前記計時部による計時結果が基準値よりも大きい場合には、次に出力すべき前記第2パルス信号のパルス幅を基準とされるパルス幅よりも大きくし、前記計時結果が基準値よりも小さい場合には、次に出力すべき前記第2パルス信号のパルス幅を当該基準とされるパルス幅よりも小さくする、半導体装置。

[請求項12]

請求項11において、

前記タイマ部は、

前記データ処理制御部によって前記算出されたPWMオン期間に応じて前記PWM信号を生成する第1信号生成部と、

前記第1パルス信号及び前記第2パルス信号を生成する第2信号生成部と、

前記第1期間に前記第2信号生成部によって生成された前記第1パルス信号を出力し、前記第2期間に前記第2信号生成部によって生成された前記第2パルス信号を出力し、前記第1期間及び前記第2期間以外の期間に前記第1信号生成部によって生成された前記PWM信号を出力する信号選択部と、を有する、半導体装置。

[請求項13]

交流電圧を整流して出力する整流回路と、

前記整流回路によって整流された電圧を入力し、スイッチング素子によってコイルに流れる電流を制御することにより、前記入力された電圧を目標とする直流電圧に変換して出力するための電圧コンバータ回路と、

前記電圧コンバータ回路の出力電圧が前記目標とする直流電圧と等しく、且つ前記電圧コンバータ回路の入力電圧と入力電流との位相差が小さくなるように前記スイッチング素子をオンさせるためのPWMオン期間を算出するとともに、算出結果に基づいて前記スイッチング素子のオン・オフを制御するための制御信号を生成する制御部と、を有し、

前記制御部は、前記PWMオン期間の開始直後の第1期間は、前記算出したPWMオン期間に応じたPWM信号よりも周期が短く、且つ段階的にパルス幅が大きくなる第1パルス信号を前記制御信号として出力することが可能にされ、前記第1期間の経過後は、前記制御信号として前記PWM信号を出力することが可能にされる、AC/DCコンバータ。

[請求項14]

請求項13において、

前記制御部は、前記第1期間において直前に出力された前記第1パルス信号によって前記スイッチング素子をスイッチングすることで生じた前記スイッチングノイズが基準値よりも大きい場合には、次に出力すべき前記第1パルス信号のパルス幅を基準とされるパルス幅よりも小さくし、前記スイッチングノイズが前記基準値よりも小さい場合には、次に出力すべき前記第1パルス信号のパルス幅を当該基準とされるパルス幅よりも大きくする、AC/DCコンバータ。

[請求項15]

請求項14において、

前記制御部は、前記算出したPWMオン期間の終了直前の第2期間は、前記PWM信号よりも周期が短く、且つ段階的にパルス幅が小さくなる第2パルス信号を前記制御信号として出力することが可能にされる、AC/DCコンバータ。

[請求項16]

請求項15において、

前記制御部は、前記第2期間において直前に出力された前記第2パルス信号によって前記スイッチング素子をスイッチングすることで生じた前記スイッチングノイズが基準値よりも大きい場合には、次に出力すべき前記第2パルス信号のパルス幅を基準とされるパルス幅よりも大きくし、前記スイッチングノイズが前記基準値よりも小さい場合には、次に出力すべき前記第2パルス信号のパルス幅を当該基準とされるパルス幅よりも小さくする、AC/DCコンバータ。

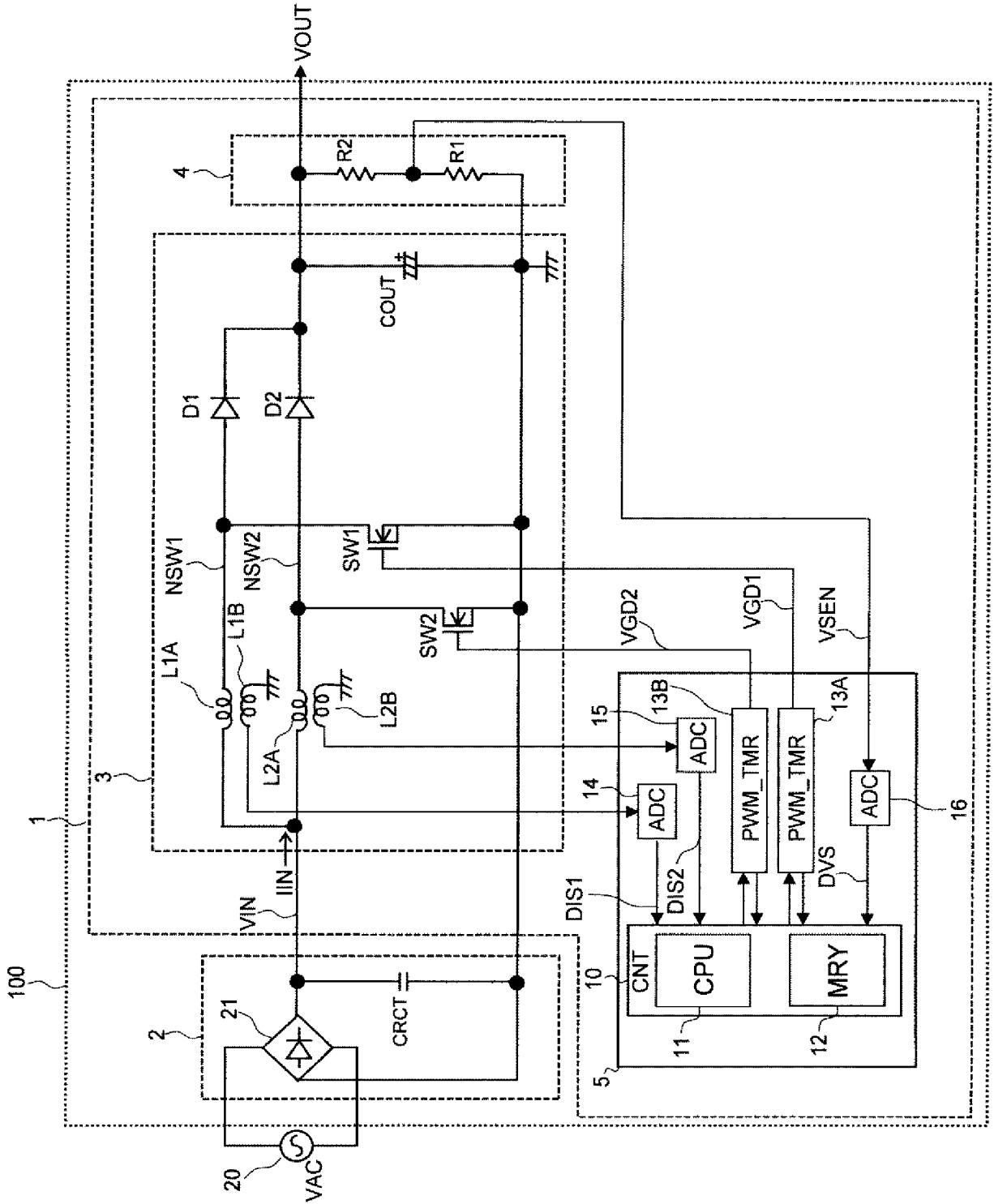
[請求項17]

請求項16において、

前記制御部は、マイクロコントローラを含んで構成される、AC／DCコンバータ。

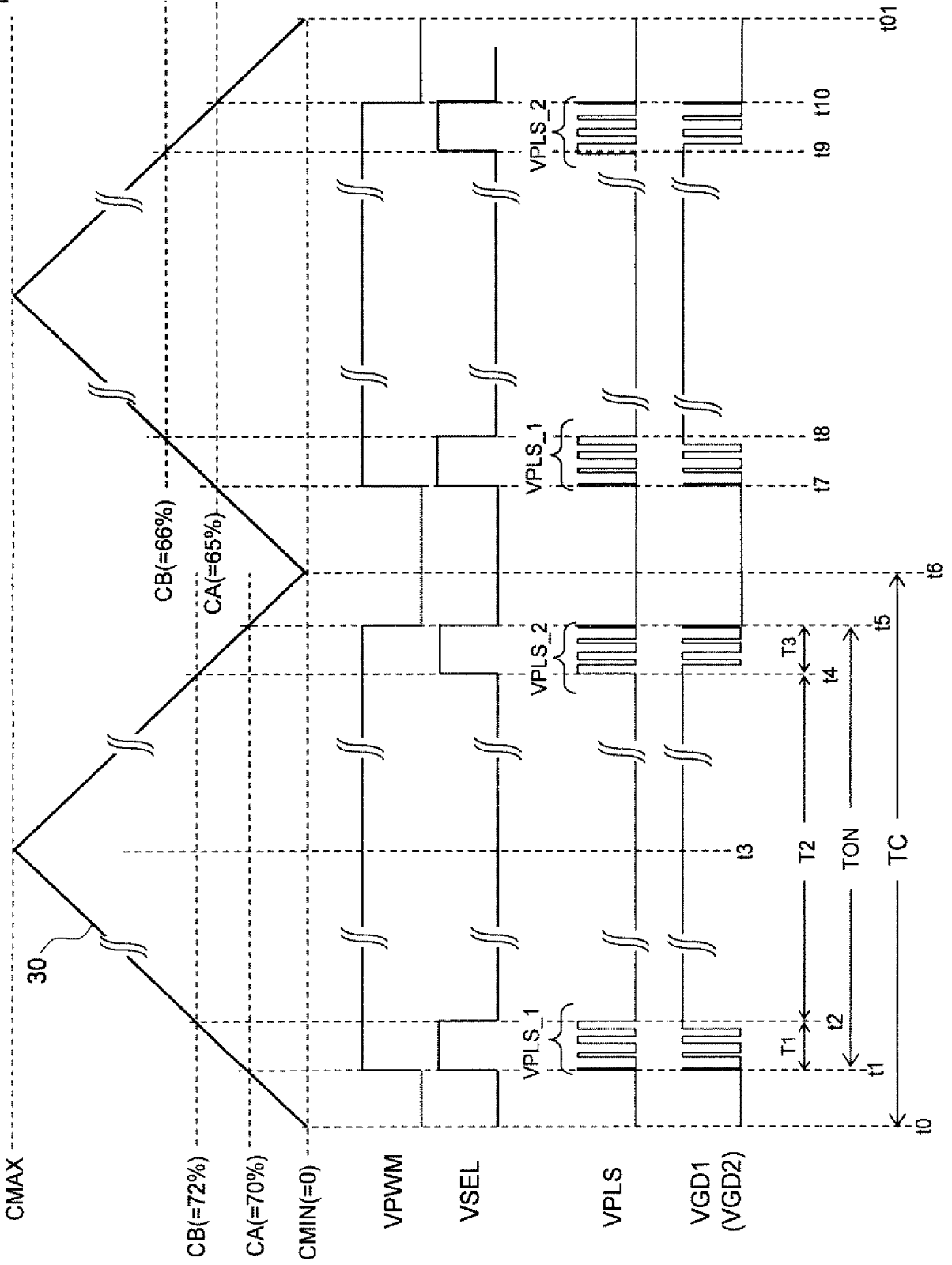
[図1]

図1

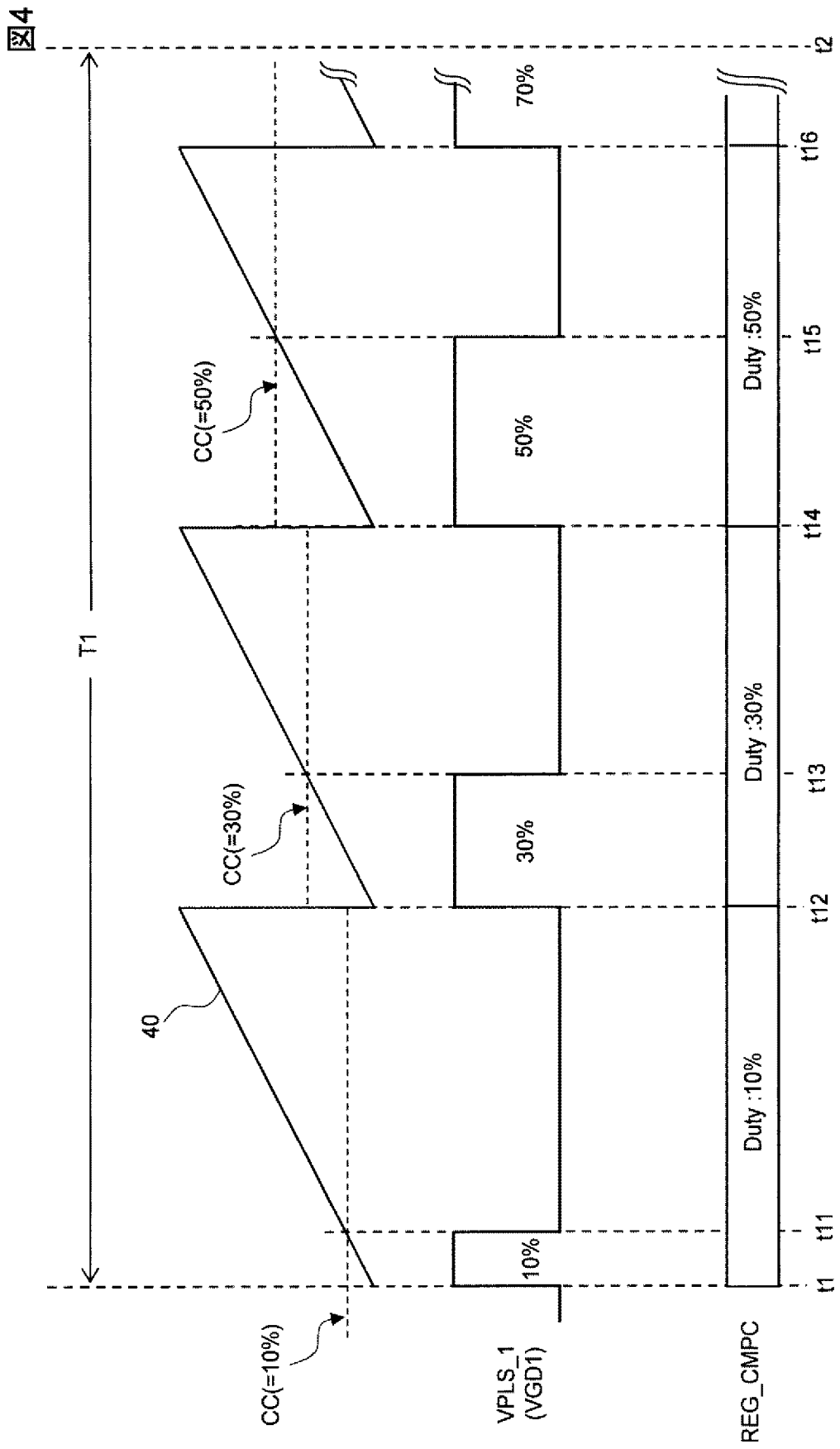


[3]

3

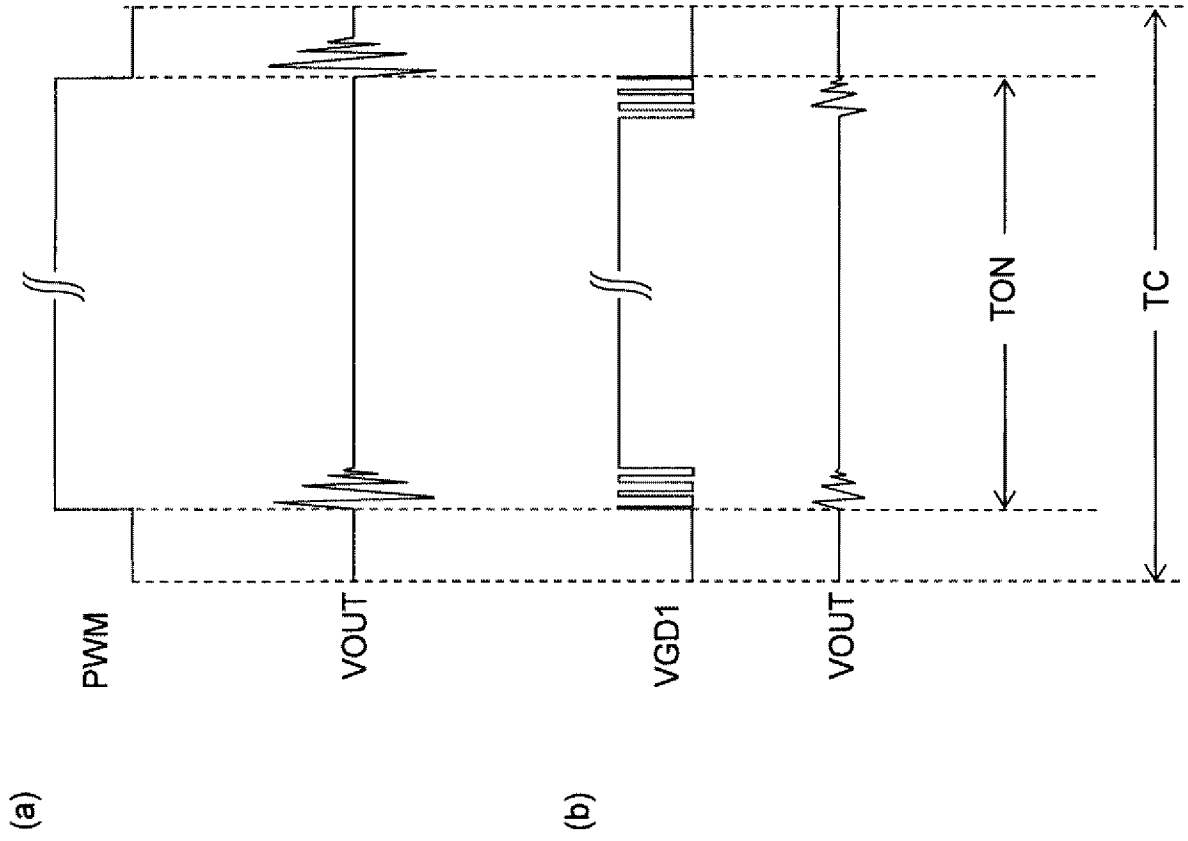


[図4]



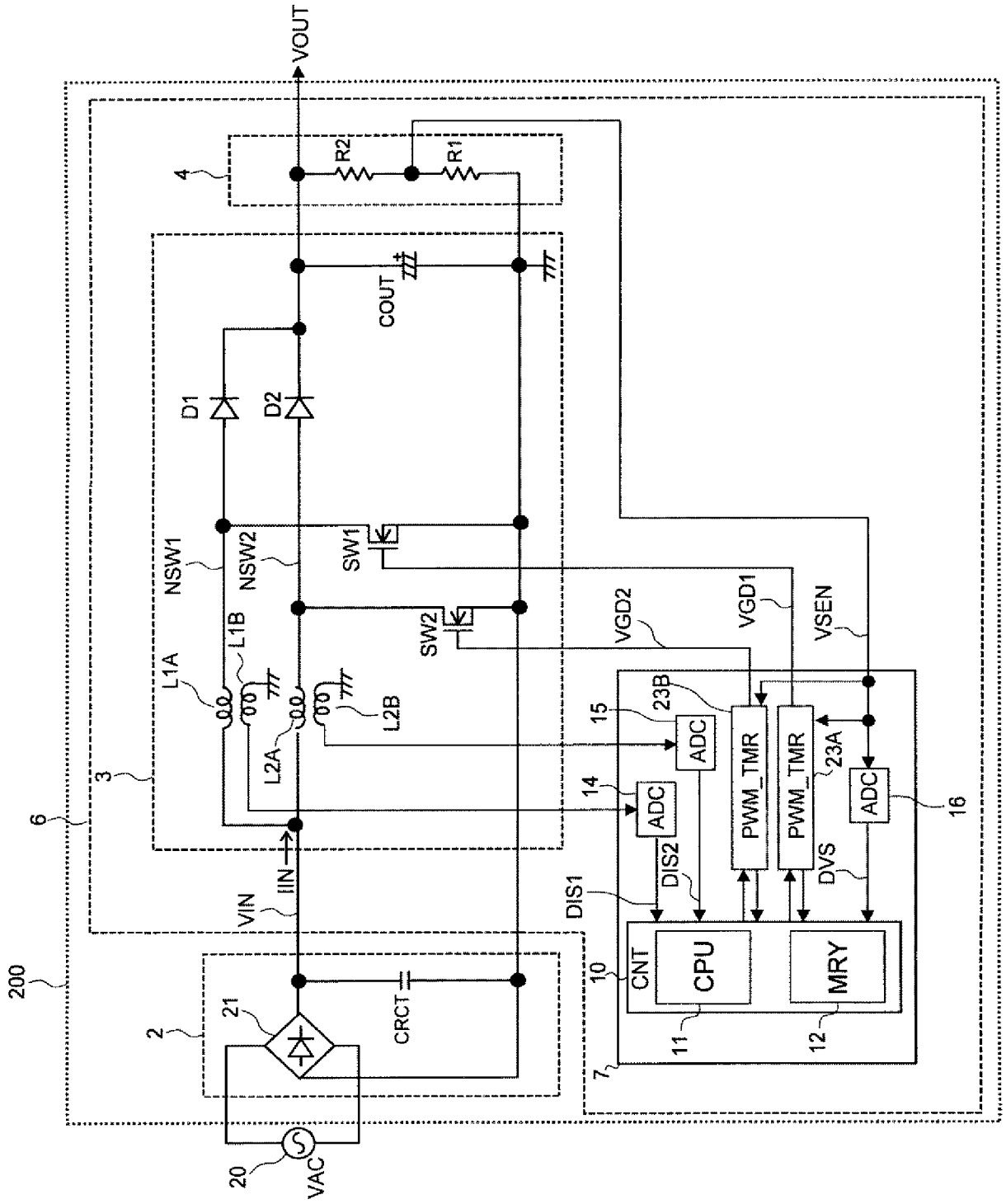
[図5]

図5



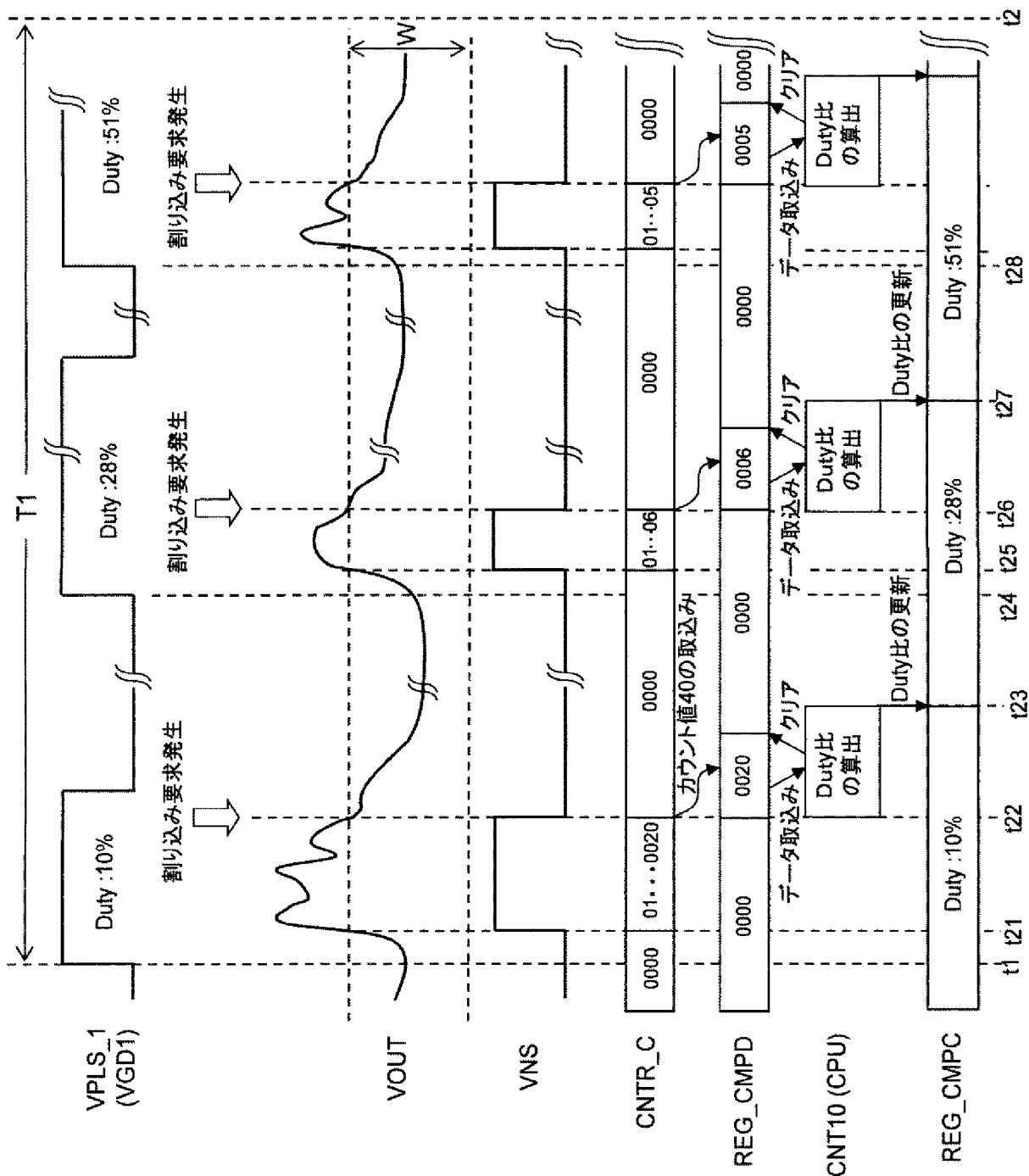
[図6]

図6



[図8]

図8



INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2013/070885
--

A. CLASSIFICATION OF SUBJECT MATTER
H02M3/155(2006.01) i, H02M7/12(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02M3/155, H02M7/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

<i>Jitsuyo Shinan Koho</i>	<i>1922-1996</i>	<i>Jitsuyo Shinan Toroku Koho</i>	<i>1996-2013</i>
<i>Kokai Jitsuyo Shinan Koho</i>	<i>1971-2013</i>	<i>Toroku Jitsuyo Shinan Koho</i>	<i>1994-2013</i>

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-209130 A (Fuji Electric Device Technology Co., Ltd.), 16 August 2007 (16.08.2007), entire text (Family: none)	1-17
A	JP 2012-80739 A (Rohm Co., Ltd.), 19 April 2012 (19.04.2012), paragraphs [0024] to [0047]; fig. 1 to 5 (Family: none)	1-17
A	JP 2010-200437 A (Fuji Xerox Co., Ltd.), 09 September 2010 (09.09.2010), entire text (Family: none)	1-17

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 26 August, 2013 (26.08.13)	Date of mailing of the international search report 03 September, 2013 (03.09.13)
---	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H02M3/155(2006.01)i, H02M7/12(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H02M3/155, H02M7/12		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2013年 日本国実用新案登録公報 1996-2013年 日本国登録実用新案公報 1994-2013年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-209130 A (富士電機デバイステクノロジー株式会社) 2007.08.16, 全文 (ファミリーなし)	1-17
A	JP 2012-80739 A (ローム株式会社) 2012.04.19, 段落【0024】 - 【0047】, 図 1-5 (ファミリーなし)	1-17
A	JP 2010-200437 A (富士ゼロックス株式会社) 2010.09.09, 全文 (フ ファミリーなし)	1-17
<input type="checkbox"/> C 欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		
の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 26.08.2013	国際調査報告の発送日 03.09.2013	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 神山 貴行 電話番号 03-3581-1101 内線 3358	3V 3428