



(12) 发明专利

(10) 授权公告号 CN 110128169 B

(45) 授权公告日 2021.05.18

(21) 申请号 201910389596.1

B32B 33/00 (2006.01)

(22) 申请日 2019.05.10

B32B 7/10 (2006.01)

B32B 37/00 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 110128169 A

(56) 对比文件

(43) 申请公布日 2019.08.16

CN 101481117 A, 2009.07.15

CN 101982441 A, 2011.03.02

(73) 专利权人 济南大学

JP 2014189408 A, 2014.10.06

地址 250022 山东省济南市市中区南辛庄  
西路336号

CN 102910902 A, 2013.02.06

US 2010173496 A1, 2010.07.08

(72) 发明人 黄世峰 关芳 徐洪超 张颖

CN 101481117 A, 2009.07.15

US 2002140320 A1, 2002.10.03

马凤莲 任彩叶 程新

US 2005191492 A1, 2005.09.01

(74) 专利代理机构 济南泉城专利商标事务所

CN 104995156 A, 2015.10.21

37218

US 2008318761 A1, 2008.12.25

代理人 贾波

CN 101265115 A, 2008.09.17

(51) Int. Cl.

张宗振等. “基于FEM的水泥基压电复合材料的性能分析”. 《燕山大学学报》. 2011,

C04B 41/85 (2006.01)

B32B 9/00 (2006.01)

B32B 9/04 (2006.01)

B32B 13/00 (2006.01)

审查员 李慧

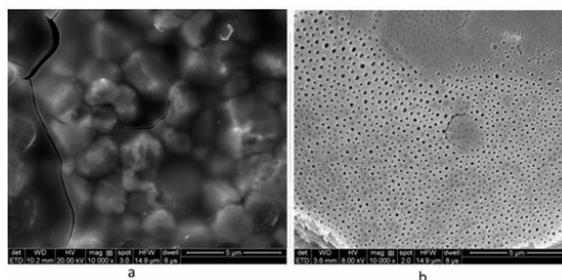
权利要求书1页 说明书9页 附图3页

(54) 发明名称

采用钙离子掺杂的SiO<sub>2</sub>膜对压电陶瓷表面进行改性的方法及其应用

(57) 摘要

本发明公开了一种采用钙离子掺杂的SiO<sub>2</sub>膜对压电陶瓷表面进行改性的方法及其应用,针对水泥与压电陶瓷结构和性能的差异,选择钙离子掺杂的SiO<sub>2</sub>溶胶对压电陶瓷表面进行提拉成膜,从而在压电陶瓷表面形成均匀、稳定的钙离子掺杂的SiO<sub>2</sub>膜。附着该膜后,压电陶瓷接触角变小、亲水性变好、结合力增强,利于后期与水泥的结合。而且经过改性后压电陶瓷基底的压电性能几乎无变化,相对介电常数和介电损耗变化小,不影响压电陶瓷的正常使用。



1. 一种对压电陶瓷表面进行改性的方法,其特征是:采用钙离子掺杂的 $\text{SiO}_2$ 膜对压电陶瓷表面进行改性;所述钙离子掺杂的 $\text{SiO}_2$ 膜通过提拉成膜的方式覆在压电陶瓷表面,方法是:采用溶胶凝胶法得到 $\text{SiO}_2$ 溶胶,按照钙:硅=0.1-0.3:1的摩尔比将 $\text{Ca}(\text{NO}_3)_2$ 加入到 $\text{SiO}_2$ 溶胶中,搅拌混合至 $\text{Ca}(\text{NO}_3)_2$ 完全溶解,然后加入硅烷偶联剂进行反应,得到钙离子掺杂的 $\text{SiO}_2$ 溶胶;将钙离子掺杂的 $\text{SiO}_2$ 溶胶在压电陶瓷表面均匀地提拉成膜,然后将压电陶瓷在80-160℃下进行低温烧结,得到钙离子掺杂的 $\text{SiO}_2$ 膜表面改性的压电陶瓷。

2. 根据权利要求1所述的方法,其特征是:压电陶瓷在钙离子掺杂的 $\text{SiO}_2$ 溶胶中提拉成膜前,经过预处理,预处理方式是:将压电陶瓷进行除油、清洗处理,或者将压电陶瓷除油、清洗,然后依次用水相砂纸和金相砂纸进行表面打磨,再用HF和 $\text{HNO}_3$ 混合酸溶液进行刻蚀粗化,最后清洗干净。

3. 根据权利要求1或2所述的方法,其特征是:钙离子掺杂的 $\text{SiO}_2$ 溶胶通过浸渍提拉成膜法在压电陶瓷表面成膜,膜层数为2-6层,首层浸渍时间为1-9min,其余层浸渍时间为1-3min,提拉速度为10-50mm/min,每层薄膜自然干燥10min。

4. 根据权利要求1所述的方法,其特征是:硅烷偶联剂的用量为硅摩尔量的1.5-2.5%。

5. 根据权利要求1或4所述的方法,其特征是:所述硅烷偶联剂为KH-570,所述压电陶瓷为PZT压电陶瓷片。

6. 根据权利要求1所述的方法,其特征是:加入硅烷偶联剂后,在25-35℃陈化12-36h;低温烧结的时间为1-3h。

7. 根据权利要求1所述的方法,其特征是: $\text{SiO}_2$ 溶胶的制备方法为:将EtOH和TEOS按照3:1的摩尔比混合,在搅拌的同时滴加pH为2.0的HCl溶液,待水与TEOS的摩尔比为3-5:1时停止滴加,在30-50℃搅拌反应1-4h,然后在30-50℃陈化20-40h,得到 $\text{SiO}_2$ 溶胶。

8. 一种水泥/压电陶瓷复合材料的制备方法,其特征是:将压电陶瓷按照权利要求1所述的对压电陶瓷表面进行改性的方法进行表面改性,得到钙离子掺杂的 $\text{SiO}_2$ 膜表面改性的压电陶瓷,然后将钙离子掺杂的 $\text{SiO}_2$ 膜表面改性的压电陶瓷与水泥进行复合,制得水泥/压电陶瓷复合材料。

## 采用钙离子掺杂的SiO<sub>2</sub>膜对压电陶瓷表面进行改性的方法及其应用

### 技术领域

[0001] 本发明涉及一种压电陶瓷表面改性的方法,具体涉及一种采用钙离子掺杂的SiO<sub>2</sub>膜对压电陶瓷表面进行改性的方法,属于压电陶瓷表面改性技术领域。

### 背景技术

[0002] 水泥基压电复合材料是近年来发展起来的一种新型的功能复合材料。与传统的压电材料相比,水泥基压电复合材料制备工艺简单,成本低,同时可有效解决机敏材料与混凝土母体结构材料之间的相容性问题,提高了压电机敏材料的传感精度及驱动力。水泥基压电复合材料将压电陶瓷与水泥复合,获得具备较好压电效应响应的复合材料,通过调整复合材料中各组分的比例,使其具有与土木结构中混凝土材料良好的阻抗匹配关系和一致的变形行为,大大提高了压电机敏材料的传感精度及驱动力。因此,此类复合材料非常适合监测混凝土的损伤、变形、内部应力和应变分布等,目前水泥基压电复合材料的研究开发主要有0-3型、1-3型、2-2和3-3型等。在各类建筑向智能化发展的今天,人们越来越关注水泥基复合材料向智能化方向发展,使智能建筑更加简洁,可靠和高效,该类复合材料的研究与开发具有广泛的工程应用前景,可以促进水泥混凝土向智能化方向发展。

[0003] 在水泥基压电复合材料的发展过程中,虽然已取得了一些有价值的研究成果,但研究重心目前仍主要集中在对其制备及性能影响因素分析等方面,而对压电复合材料的界面耦合特性、与混凝土的相容性机制等方面研究还需要进一步深入,在水泥基压电复合材料的整体结合性、长期耐久性、稳定性方面的研究也尚未见报道。复合材料界面的优劣直接影响其整体性能,复合材料界面结合性提高可以使复合材料的耐久性和整体性能得到有效改善,而界面调控法是目前用于提高复合材料界面结合性最常用的方法,界面调控法是指通过化学、物理、机械等方法对复合材料的界面进行处理改性,以获得实际所需的界面性能的方法,如良好的浸润性、结合性等。现有报道中,用来解决水泥和压电陶瓷之间的界面相容性的界面调控方法有化学方法、物理方法和机械方法等,如界面偶联剂的修饰作用、融合剂的粘结作用、以及表面预处理的机械嵌套作用等,但这些界面调控方法大都存在界面融合度低,结合力小的不足。因此,针对水泥基压电复合材料的特点,研究新的、具有高的结合强度同时又不会影响基底材料本身性能的界面调控方法来解决水泥和压电陶瓷之间的相容性问题,对提高水泥基复合材料的耐久性和整体性能以及对混凝土结构的长期健康监测均具有非常重要的现实意义。

### 发明内容

[0004] 针对水泥和压电陶瓷复合存在的界面结合性差、相容性差的问题,本发明提供了一种对压电陶瓷表面进行改性的方法,该方法采用钙离子掺杂的SiO<sub>2</sub>膜对压电陶瓷表面进行改性,改性后的压电陶瓷表面接触角变小、亲水性变好,在与水泥进行复合时界面结合性得到了改善,利于后期与水泥的结合,且表面改性后的压电陶瓷的压电性能无变化,同时相

对介电常数和介电损耗变化小,不影响压电陶瓷的正常使用。

[0005] 本发明还提供了一种改善水泥和压电陶瓷界面相容性的新方法,该方法先对压电陶瓷进行表面钙离子掺杂的 $\text{SiO}_2$ 膜改性,然后再与水泥进行复合。由于钙离子掺杂的 $\text{SiO}_2$ 膜与水泥接触后,能与水泥中的 $\text{SiO}_2$ 、 $\text{Ca}(\text{OH})_2$ 等成分有效结合形成C-S-H凝胶,在化学组成上与水泥成为有机统一的整体,从而使压电陶瓷与水泥紧密结合,增加了这两者的界面结合性和相容性。

[0006] 本发明具体技术方案如下:

[0007] 一种对压电陶瓷表面进行改性的方法,该方法是:采用钙离子掺杂的 $\text{SiO}_2$ 膜对压电陶瓷表面进行改性。进一步的,所述钙离子掺杂的 $\text{SiO}_2$ 膜覆在压电陶瓷表面,以增加压电陶瓷在后续与水泥或水泥基复合材料复合时的相容性。所述水泥基复合材料指的是在含有水泥的同时还含有聚合物、增强纤维等其他成分的复合材料。

[0008] 进一步地,本发明改性方法对压电陶瓷的组分没有要求,可以适合于各种压电陶瓷,例如一、二、三、四元系压电陶瓷及多元系压电陶瓷等。其中,二元系PZT压电陶瓷具有较高的机电耦合系数,良好的温度稳定性以及较高的居里温度,是压电陶瓷材料中用得最多最广的一种,具有重要的现实应用价值及潜在应用的前景,因此优选为PZT压电陶瓷。PZT压电陶瓷与水泥复合时,根据应用条件和需求,需要将其切割成所需的尺寸和形状,为了更好的增加压电陶瓷与水泥的相容性,优选将压电陶瓷切割为易于与水泥复合的形状,然后再进行改性,例如将其切割成具有一定尺寸的陶瓷片。

[0009] 进一步地,所述钙离子掺杂的 $\text{SiO}_2$ 膜通过提拉成膜的方式覆在压电陶瓷表面,方法是:采用溶胶凝胶法得到 $\text{SiO}_2$ 溶胶,按照钙:硅=0.1-0.3:1的摩尔比将 $\text{Ca}(\text{NO}_3)_2$ 加入到 $\text{SiO}_2$ 溶胶中,搅拌混合至 $\text{Ca}(\text{NO}_3)_2$ 完全溶解,然后加入硅烷偶联剂进行反应,得到钙离子掺杂的 $\text{SiO}_2$ 溶胶;将钙离子掺杂的 $\text{SiO}_2$ 溶胶在压电陶瓷表面均匀地提拉成膜,然后将压电陶瓷在80-160℃下进行低温烧结,得到钙离子掺杂的 $\text{SiO}_2$ 膜表面改性的压电陶瓷。

[0010] 进一步地,钙离子掺杂的 $\text{SiO}_2$ 溶胶通过浸渍提拉成膜法在压电陶瓷表面成膜,浸渍提拉成膜时,膜的层数为2-6层。首层膜制备时,压电陶瓷于钙离子掺杂的 $\text{SiO}_2$ 溶胶中的浸渍时间为1-9min,提拉速度为10-50mm/min,其余层膜制备时,压电陶瓷在钙离子掺杂的 $\text{SiO}_2$ 溶胶中的浸渍时间为1-3min,提拉速度也为10-50mm/min,每层薄膜自然干燥,干燥时间为10min。

[0011] 进一步地,硅烷偶联剂的用量为硅摩尔量的1.5-2.5%。硅烷偶联剂可以提高钙离子掺杂的 $\text{SiO}_2$ 溶胶的分散性,也可以增加压电陶瓷与膜层之间的界面结合性。硅烷偶联剂有KH-570(甲基丙烯酰氧基丙基三甲氧基硅烷)、A151(乙烯基三乙氧基硅烷)、A171(乙烯基三甲氧基硅烷)、A172(乙烯基三(β-甲氧乙氧基)硅烷)等多种,本发明优选为KH-570。加入硅烷偶联剂后,先搅拌均匀,然后在一定温度下陈化一定时间,得到钙离子掺杂的 $\text{SiO}_2$ 溶胶。搅拌的时间一般为30min左右,搅拌温度为室温,陈化温度为25-35℃,陈化时间为12-36h。陈化可以在烘箱中恒温进行。最终所得钙离子掺杂的 $\text{SiO}_2$ 溶胶的pH值围为1.2-2.5。

[0012] 进一步地,低温烧结的目的是为了提高钙离子掺杂的 $\text{SiO}_2$ 膜内成分的分散性和膜与压电陶瓷的结合强度。烧结采用80-160℃的低温,烧结时间一般为1-3h,低温烧结可以降低膜开裂的几率,也能避免高温烧结晶体的形成影响压电陶瓷的性能。

[0013] 进一步地,本发明 $\text{SiO}_2$ 溶胶可以采用现有技术中公开的方法制得,优选采用溶胶-

凝胶法,以TEOS(正硅酸四乙酯)为原料,EtOH(乙醇)为溶剂,HCl溶液为催化剂,水解制备SiO<sub>2</sub>溶胶。采用不同的方法制得的SiO<sub>2</sub>溶胶也许性能稍有差异,但加入钙离子后都会提高压电陶瓷的亲水性,能实现本发明的目的。在本发明具体实施方式中,提供了一种SiO<sub>2</sub>溶胶的具体制备方法,如下:将EtOH和TEOS按照3:1的摩尔比混合,在搅拌的同时滴加pH为2.0的HCl溶液,待水与TEOS的摩尔比为3-5:1时停止滴加,在30-50℃搅拌反应1-4h,然后在30-50℃陈化20-40h,得到SiO<sub>2</sub>溶胶。

[0014] 优选地,先将压电陶瓷进行预处理,然后再在压电陶瓷表面制成钙离子掺杂的SiO<sub>2</sub>膜。预处理可以是对压电陶瓷表面进行常规的除油除灰、清洗操作,也可以在此基础上进一步进行打磨、酸蚀等粗化操作,从而增加钙离子掺杂的SiO<sub>2</sub>膜与压电陶瓷的结合力。

[0015] 进一步地,压电陶瓷预处理方式是:将压电陶瓷进行除油、清洗处理;或者是将压电陶瓷除油、清洗,然后依次用水相砂纸和金相砂纸进行表面打磨,再用HF和HNO<sub>3</sub>混合酸溶液进行刻蚀粗化,最后清洗干净。除油时,可以通过将压电陶瓷放入Na<sub>2</sub>CO<sub>3</sub>溶液中浸泡的方式进行,Na<sub>2</sub>CO<sub>3</sub>溶液浓度优选为10-25wt%。所用的混合酸中HF浓度为5-15wt%,HNO<sub>3</sub>浓度为5-15wt%,刻蚀时间为10-60s。清洗采用蒸馏水,可以先用蒸馏水冲洗,然后再进行超声清洗,最后再用蒸馏水冲洗的方式进行。

[0016] 进一步地,本发明在上述表面改性方法的基础上,还提供了一种水泥/压电陶瓷复合材料的制备方法,该方法是:将压电陶瓷按照上述对压电陶瓷表面进行改性的方法进行表面改性,得到钙离子掺杂的SiO<sub>2</sub>膜表面改性的压电陶瓷,然后将钙离子掺杂的SiO<sub>2</sub>膜表面改性的压电陶瓷与水泥进行复合,制得水泥/压电陶瓷复合材料。将压电陶瓷先进行表面改性再与水泥复合,在压电陶瓷与水泥接触时,是压电陶瓷上的钙离子掺杂的SiO<sub>2</sub>膜直接与水泥接触,该膜具有与水泥组成相似的钙硅组分产物,能够缓慢地与水泥中的SiO<sub>2</sub>、Ca(OH)<sub>2</sub>等成分反应形成C-S-H凝胶,在化学组成上与水泥成为有机统一的整体,从而使压电陶瓷与水泥紧密结合,相容性大大提高。

[0017] 进一步地,上述水泥/压电陶瓷复合材料制备方法中,压电陶瓷指的是最终与水泥进行复合所需形状和尺寸的压电陶瓷。根据实际需求,将压电陶瓷先切割成所需的尺寸和形状,然后再进行表面改性,以保证所有与水泥接触的面均进行表面改性。

[0018] 进一步地,本发明还提供了一种水泥/压电陶瓷复合材料,该复合材料由钙离子掺杂的SiO<sub>2</sub>膜表面改性的压电陶瓷片与水泥复合而得。钙离子掺杂的SiO<sub>2</sub>膜表面改性的压电陶瓷片按照上述压电陶瓷表面改性的方法处理得到。

[0019] 本发明针对水泥与压电陶瓷结构和性能的差异,选择钙离子掺杂的SiO<sub>2</sub>溶胶在压电陶瓷表面提拉成膜,从而在压电陶瓷表面形成均匀、稳定的钙离子掺杂的SiO<sub>2</sub>膜。附着该膜后,压电陶瓷接触角变小(≤36°)、亲水性变好、结合力增强,利于后期与水泥的结合。而且经过改性后压电陶瓷基底的压电性能几乎无变化,相对介电常数和介电损耗变化小(压电常数d<sub>33</sub>变化率≤3.72%;相对介电常数变化率≤4.48%;介电损耗变化率≤±4.00%),不影响压电陶瓷的正常使用。改性后的压电陶瓷与水泥进行复合时,其表面的钙离子掺杂的SiO<sub>2</sub>膜与水泥直接接触,膜中的Ca<sup>2+</sup>和SiO<sub>2</sub>可与水泥中的SiO<sub>2</sub>、Ca(OH)<sub>2</sub>有效结合,使界面结合强度和相容性大大提高,达到了在不影响PZT压电陶瓷性能的前提下,与水泥具有良好的相容性的目的。

### 附图说明

- [0020] 图1对比例2的不加入硅烷偶联剂KH-570纯SiO<sub>2</sub>溶胶的红外光谱图。
- [0021] 图2对比例3的不加入硅烷偶联剂KH-570的Ca<sup>2+</sup>掺杂的SiO<sub>2</sub>溶胶的红外光谱图。
- [0022] 图3实施例4的Ca<sup>2+</sup>掺杂的SiO<sub>2</sub>溶胶的红外光谱图。
- [0023] 图4对比例2的纯SiO<sub>2</sub>膜和实施例4的Ca<sup>2+</sup>掺杂的SiO<sub>2</sub>膜的SEM图(a. 纯SiO<sub>2</sub>膜,
- [0024] b. Ca<sup>2+</sup>掺杂的SiO<sub>2</sub>膜)。
- [0025] 图5对比例1、对比例2和实施例1的PZT压电陶瓷片表面的润湿(接触角)图。

### 具体实施方式

[0026] 下面结合实施例和附图对本发明做进一步说明,下述说明仅是示例性的,并不对其内容进行限制。

[0027] 下述实施例中,如无特别说明,各浓度均为质量百分浓度。

[0028] 实施例1

[0029] (1)采用精密切割机将预先准备好的PZT压电陶瓷块沿极化方向切成尺寸为22\*15.6\*2mm的薄片,然后放入预先配制好的浓度为25wt%的Na<sub>2</sub>CO<sub>3</sub>溶液中浸泡10min,进行除油,取出后先蒸馏水冲洗,再于40℃超声20min,最后用蒸馏水冲洗三遍,吹干备用;

[0030] (2)将步骤(1)中除油后的PZT压电陶瓷薄片依次用水相砂纸和W40金相砂纸进行表面打磨,再用含10wt%HF与5wt%HNO<sub>3</sub>的混合酸溶液刻蚀60s,取出后超声清洗干净,吹干备用;

[0031] (3)以EtOH和TEOS为原料,按醇硅n(EtOH)/n(TEOS)=3的摩尔比量取EtOH和TEOS,置于烧杯中混合均匀,磁力搅拌下滴加pH=2.0的HCl溶液,滴加量控制在水硅摩尔比n(H<sub>2</sub>O)/n(TEOS)=3,滴加完毕后烧杯封口,于45℃水浴锅中搅拌2h反应,然后置于40℃烘箱中陈化24h,得到SiO<sub>2</sub>溶胶;

[0032] (4)以Ca(NO<sub>3</sub>)<sub>2</sub>为钙源,按钙硅摩尔比Ca/Si=0.2,将Ca(NO<sub>3</sub>)<sub>2</sub>加入到步骤(3)中的SiO<sub>2</sub>溶胶中,室温搅拌混合30min使其完全溶解,然后向该溶液中加入TEOS摩尔量2.0%的硅烷偶联剂KH-570,搅拌30min后于30℃温度下陈化24h,得到钙离子掺杂的SiO<sub>2</sub>溶胶,其pH值为2.0;

[0033] (5)采用拉膜机,以步骤(4)中的钙离子掺杂的SiO<sub>2</sub>溶胶为制膜液,在步骤(2)粗化得到的PZT压电陶瓷薄片的表面上进行提拉成膜。拉膜层数为3层,首层膜制备时,粗化的PZT压电陶瓷薄片在制膜液中的浸渍时间为7min,提拉速度为20mm/min,拉膜后自然干燥,干燥时间为10min,其余两层膜制备时,粗化的PZT压电陶瓷薄片在制膜液中的浸渍时间为3min,提拉速度为20mm/min,拉膜后自然干燥,干燥时间为10min;

[0034] (6)将步骤(5)中拉膜后的PZT压电陶瓷薄片于160℃下低温烧结,保温时间为2h,得到钙离子掺杂的SiO<sub>2</sub>膜表面改性的压电陶瓷薄片。

[0035] 实施例2

[0036] 步骤(1)-(3)同实施例1的步骤(1)-(3);

[0037] (4)以Ca(NO<sub>3</sub>)<sub>2</sub>为钙源,按钙硅摩尔比Ca/Si=0.1,将Ca(NO<sub>3</sub>)<sub>2</sub>加入到步骤(3)中的SiO<sub>2</sub>溶胶中,室温搅拌混合30min使其完全溶解,然后向该溶液中加入TEOS摩尔量1.5%的硅烷偶联剂KH-570,搅拌30min后于35℃温度下陈化12h,得到钙离子掺杂最终的SiO<sub>2</sub>溶胶,其

pH值为2.5;

[0038] (5)采用拉膜机,以步骤(4)中的钙离子掺杂的 $\text{SiO}_2$ 溶胶为制膜液,在步骤(2)粗化得到的PZT压电陶瓷薄片的表面上进行提拉成膜。拉膜层数为4层,首层膜制备时,粗化的PZT压电陶瓷薄片在制膜液中的浸渍时间为9min,提拉速度为30mm/min,拉膜后自然干燥,干燥时间为10min,其余3层膜制备时,粗化的PZT压电陶瓷薄片在制膜液中的浸渍时间为2min,提拉速度为30mm/min,拉膜后自然干燥,干燥时间为10min;

[0039] (6)将步骤(5)中拉膜后的PZT压电陶瓷薄片于140℃下低温烧结,保温时间为3h,得到钙离子掺杂的 $\text{SiO}_2$ 膜表面改性的压电陶瓷薄片。

[0040] 实施例3

[0041] 步骤(1)-(3)同实施例1的步骤(1)-(3);

[0042] (4)以 $\text{Ca}(\text{NO}_3)_2$ 为钙源,按钙硅摩尔比 $\text{Ca}/\text{Si}=0.2$ ,将 $\text{Ca}(\text{NO}_3)_2$ 加入到步骤(3)中的 $\text{SiO}_2$ 溶胶中,室温搅拌混合30min使其完全溶解,然后向该溶液中加入TEOS摩尔量2.5%的硅烷偶联剂KH-570,搅拌30min后于35℃温度下陈化24h,得到钙离子掺杂的 $\text{SiO}_2$ 溶胶,其pH值为2.5;

[0043] (5)采用拉膜机,以步骤(4)中的钙离子掺杂的 $\text{SiO}_2$ 溶胶为制膜液,在步骤(2)粗化得到的PZT压电陶瓷薄片的表面上进行提拉成膜。拉膜层数为3层,首层膜制备时,粗化的PZT压电陶瓷薄片在制膜液中的浸渍时间为5min,提拉速度为30mm/min,拉膜后自然干燥,干燥时间为10min,其余两层膜制备时,粗化的PZT压电陶瓷薄片在制膜液中的浸渍时间为2min,提拉速度为30mm/min,拉膜后自然干燥,干燥时间为10min;

[0044] (6)将步骤(5)中拉膜后的PZT压电陶瓷薄片于100℃下低温烧结,保温时间为2h,得到钙离子掺杂的 $\text{SiO}_2$ 膜表面改性的压电陶瓷薄片。

[0045] 实施例4

[0046] 步骤(1)-(3)同实施例1的步骤(1)-(3);

[0047] (4)以 $\text{Ca}(\text{NO}_3)_2$ 为钙源,按钙硅摩尔比 $\text{Ca}/\text{Si}=0.3$ ,将 $\text{Ca}(\text{NO}_3)_2$ 加入到步骤(3)中的 $\text{SiO}_2$ 溶胶中,室温搅拌混合30min使其完全溶解,然后向该溶液中加入TEOS摩尔量2.0%的硅烷偶联剂KH-570,搅拌30min后于30℃温度下陈化36h,得到钙离子掺杂的 $\text{SiO}_2$ 溶胶,其pH值为2.3;

[0048] (5)采用拉膜机,以步骤(4)中的钙离子掺杂的 $\text{SiO}_2$ 溶胶为制膜液,在步骤(2)粗化得到的PZT压电陶瓷薄片的表面上进行提拉成膜。拉膜层数为5层,首层膜制备时,粗化的PZT压电陶瓷薄片在制膜液中的浸渍时间为7min,提拉速度为40mm/min,拉膜后自然干燥,干燥时间为10min,其余4层膜制备时,粗化的PZT压电陶瓷薄片在制膜液中的浸渍时间为1min,提拉速度为40mm/min,拉膜后自然干燥,干燥时间为10min;

[0049] (6)将步骤(5)中拉膜后的PZT压电陶瓷薄片于120℃下低温烧结,保温时间为3h,得到钙离子掺杂的 $\text{SiO}_2$ 膜表面改性的压电陶瓷薄片。

[0050] 实施例5

[0051] 步骤(1)-(3)同实施例1的步骤(1)-(3);

[0052] (4)以 $\text{Ca}(\text{NO}_3)_2$ 为钙源,按钙硅摩尔比 $\text{Ca}/\text{Si}=0.1$ ,将 $\text{Ca}(\text{NO}_3)_2$ 加入到步骤(3)中的 $\text{SiO}_2$ 溶胶中,室温搅拌混合30min使其完全溶解,然后向该溶液中加入TEOS摩尔量2.5%的硅烷偶联剂KH-570,搅拌30min后于30℃温度下陈化24h,得到钙离子掺杂的 $\text{SiO}_2$ 溶胶,其pH值

为2.0;

[0053] (5)采用拉膜机,以步骤(4)中的钙离子掺杂的 $\text{SiO}_2$ 溶胶为制膜液,在步骤(2)粗化得到的PZT压电陶瓷薄片的表面上进行提拉成膜。拉膜层数为3层,首层膜制备时,粗化的PZT压电陶瓷薄片在制膜液中的浸渍时间为7min,提拉速度为20mm/min,拉膜后自然干燥,干燥时间为10min,其余两层膜制备时,粗化的PZT压电陶瓷薄片在制膜液中的浸渍时间为3min,提拉速度为20mm/min,拉膜后自然干燥,干燥时间为10min;

[0054] (6)将步骤(5)中拉膜后的PZT压电陶瓷薄片于160℃下低温烧结,保温时间为2h,得到钙离子掺杂的 $\text{SiO}_2$ 膜表面改性的压电陶瓷薄片。

[0055] 实施例6

[0056] 步骤(1)-(3)同实施例1的步骤(1)-(3);

[0057] (4)以 $\text{Ca}(\text{NO}_3)_2$ 为钙源,按钙硅摩尔比 $\text{Ca}/\text{Si}=0.2$ ,将 $\text{Ca}(\text{NO}_3)_2$ 加入到步骤(3)中的 $\text{SiO}_2$ 溶胶中,室温搅拌混合30min使其完全溶解,然后向该溶液中加入TEOS摩尔量1.5%的硅烷偶联剂KH-570,搅拌30min后于35℃温度下陈化24h,得到钙离子掺杂的 $\text{SiO}_2$ 溶胶,其pH值为2.5;

[0058] (5)采用拉膜机,以步骤(4)中的钙离子掺杂的 $\text{SiO}_2$ 溶胶为制膜液,在步骤(2)粗化得到的PZT压电陶瓷薄片的表面上进行提拉成膜。拉膜层数为3层,首层膜制备时,粗化的PZT压电陶瓷薄片在制膜液中的浸渍时间为5min,提拉速度为30mm/min,拉膜后自然干燥,干燥时间为10min,其余两层膜制备时,粗化的PZT压电陶瓷薄片在制膜液中的浸渍时间为2min,提拉速度为30mm/min,拉膜后自然干燥,干燥时间为10min;

[0059] (6)将步骤(5)中拉膜后的PZT压电陶瓷薄片于80℃下低温烧结,保温时间为2h。得到钙离子掺杂的 $\text{SiO}_2$ 膜表面改性的压电陶瓷薄片。

[0060] 实施例7

[0061] 步骤(1)-(3)同实施例1的步骤(1)-(3);

[0062] (4)以 $\text{Ca}(\text{NO}_3)_2$ 为钙源,按钙硅摩尔比 $\text{Ca}/\text{Si}=0.2$ ,将 $\text{Ca}(\text{NO}_3)_2$ 加入到步骤(3)中的 $\text{SiO}_2$ 溶胶中,室温搅拌混合30min使其完全溶解,然后向该溶液中加入TEOS摩尔量2.5%的硅烷偶联剂KH-570,搅拌30min后于35℃温度下陈化24h,得到钙离子掺杂的 $\text{SiO}_2$ 溶胶,其pH值为2.5;

[0063] (5)采用拉膜机,以步骤(4)中的钙离子掺杂的 $\text{SiO}_2$ 溶胶为制膜液,在步骤(2)粗化得到的PZT压电陶瓷薄片的表面上进行提拉成膜。拉膜层数为3层,首层膜制备时,粗化的PZT压电陶瓷薄片在制膜液中的浸渍时间为5min,提拉速度为30mm/min,拉膜后自然干燥,干燥时间为10min,其余两层膜制备时,粗化的PZT压电陶瓷薄片在制膜液中的浸渍时间为2min,提拉速度为30mm/min,拉膜后自然干燥,干燥时间为10min;

[0064] (6)将步骤(5)中拉膜后的PZT压电陶瓷薄片于80℃下低温烧结,保温时间为3h。得到钙离子掺杂的 $\text{SiO}_2$ 膜表面改性的压电陶瓷薄片。

[0065] 对比例1

[0066] 步骤(1)-(2)同实施例1的步骤(1)-(2);

[0067] (3)将步骤(2)中的PZT压电陶瓷薄片于160℃下进行低温烧结,保温时间2h,得到表面除油、粗化处理后的PZT压电陶瓷片。

[0068] 对比例2

[0069] 步骤(1) - (3)同实施例1的步骤(1) - (3)；

[0070] (4)采用拉膜机,以步骤(3)中的 $\text{SiO}_2$ 溶胶为制膜液,在PZT压电陶瓷薄片的表面上进行提拉成膜,提拉成膜步骤同实施例4；

[0071] (5)将步骤(4)中拉膜后的PZT压电陶瓷薄片于 $120^\circ\text{C}$ 下低温烧结,保温时间为3h,得到由 $\text{SiO}_2$ 膜表面改性的PZT压电陶瓷材料。

[0072] 对比例3

[0073] 按照实施例4的方法对压电陶瓷薄片进行表面改性,不同的是钙离子掺杂的 $\text{SiO}_2$ 溶胶中不加入硅烷偶联剂KH-570。

[0074] 对比例4

[0075] 按照实施例4的方法对压电陶瓷薄片进行表面改性,不同的是步骤(5)中拉膜后的PZT压电陶瓷薄片于 $260^\circ\text{C}$ 下烧结,保温时间为2h。

[0076] 对实施例4  $\text{Ca}^{2+}$ 掺杂的 $\text{SiO}_2$ 溶胶、对比例2纯 $\text{SiO}_2$ 溶胶和对比例3不加入KH-570的 $\text{Ca}^{2+}$ 掺杂的 $\text{SiO}_2$ 溶胶进行红外光谱测试,结果如图1-3所示,从图中可以看出, $\text{Ca}^{2+}$ 成功地引入到了 $\text{SiO}_2$ 胶体中, $\text{Ca}^{2+}$ 的掺入对官能团的振动产生了一定的影响,使 $\text{SiO}_2$ 的前驱体及副产物的吸收峰振动明显增强。另外,硅烷偶联剂KH-570的加入量极小,对官能团几乎无影响,可以在不影响胶体性能的基础上有效改善膜的界面结合力。

[0077] 对实施例4和对比例2改性处理后的PZT压电陶瓷薄片进行SEM表征,结果如图4所示,从图中可以看出,纯 $\text{SiO}_2$ 膜的层厚小,可反衬出基底压电陶瓷的形貌,相同条件下, $\text{Ca}^{2+}$ 掺杂 $\text{SiO}_2$ 膜的层厚大,可完全覆盖基底压电陶瓷形貌,说明 $\text{Ca}^{2+}$ 的引入增加了薄膜的亲水性,使膜厚增大。

[0078] 对实施例1、对比例1和对比例2改性处理后的PZT压电陶瓷薄片的润湿情况进行测试,结果如图5所示,从图中可以看出,采用本发明 $\text{Ca}^{2+}$ 掺杂的 $\text{SiO}_2$ 膜的亲水性明显比纯 $\text{SiO}_2$ 膜的亲水性好。

[0079] 将上述实施例和对比例制得的经过改性处理的各PZT压电陶瓷薄片进行性能测试,采用接触角测量仪测量其表面接触角,准静态 $d_{33}$ 测量仪测量其压电常数 $d_{33}$ ,阻抗分析仪测量计算其相对介电常数和介电损耗,结果如下表1所示。

表 1

	接触角	压电常数 $d_{33}$	相对介电常数	介电损耗
[0080] 实施例 1	30°	424pC·N <sup>-1</sup>	1503	3.12%
实施例 2	28°	414pC·N <sup>-1</sup>	1495	3.08%
实施例 3	31°	420pC·N <sup>-1</sup>	1506	2.90%
实施例 4	35°	414pC·N <sup>-1</sup>	1515	2.95%
实施例 5	36°	421pC·N <sup>-1</sup>	1513	3.11%
实施例 6	32°	423 pC·N <sup>-1</sup>	1509	2.98%
实施例 7	33°	422 pC·N <sup>-1</sup>	1480	3.10%
对比例 1	40°	430pC·N <sup>-1</sup>	1450	3.00%
对比例 2	39°	411pC·N <sup>-1</sup>	1530	3.14%
对比例 3	34°	410 pC·N <sup>-1</sup>	1526	2.94%
对比例 4	40°	48 pC·N <sup>-1</sup>	1540	3.58%

[0081] 对上述实施例和对比例制得的经过改性处理的各PZT压电陶瓷薄片的压电常数  $d_{33}$ 、相对介电常数和介电损耗与对比例1的相应性能相比的变化情况进行总结,如下表2所示。

表 2

	压电常数 $d_{33}$ 变化率	相对介电常数 变化率	介电损耗变 化率
[0082] 实施例 1	1.40%	3.66%	4.00%
实施例 2	3.72%	3.10%	2.67%
实施例 3	2.33%	3.86%	-3.33%
实施例 4	3.72%	4.48%	-1.67%
实施例 5	2.09%	4.34%	3.67%
实施例 6	1.63%	4.07%	-0.67%
实施例 7	1.86%	2.07%	3.33%
对比例 2	4.42%	5.52%	4.67%
对比例 3	4.65%	5.24%	-2.00%
对比例 4	88.84%	6.21%	19.33%

[0083] 由表1和表2可以看出,PZT压电陶瓷薄片经本发明钙离子掺杂的SiO<sub>2</sub>膜表面改性后接触角明显变小,同时压电陶瓷基底的压电性能几乎无变化,相对介电常数和介电损耗变化小(压电常数 $d_{33}$ 变化率 $\leq 3.72\%$ ;相对介电常数变化率 $\leq 4.48\%$ ;介电损耗变化率 $\leq \pm$

4.00%),不影响压电陶瓷的正常使用,达到了在不影响PZT压电陶瓷压电性能的前提下使其具有与水泥良好相容性的目的。另外,与不掺杂钙离子的 $\text{SiO}_2$ 膜表面改性的PZT压电陶瓷相比,也具有明显的优势。

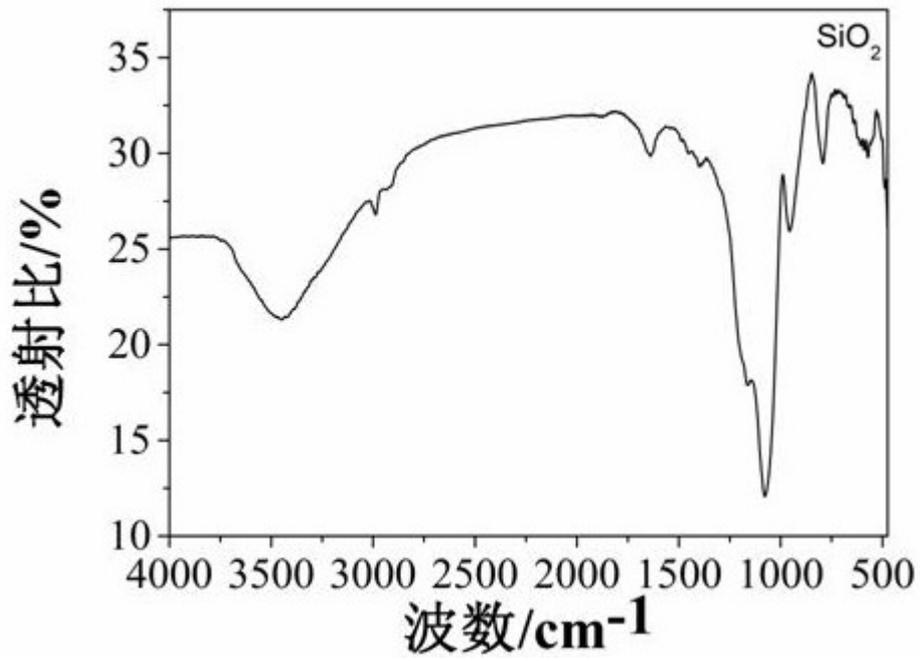


图1

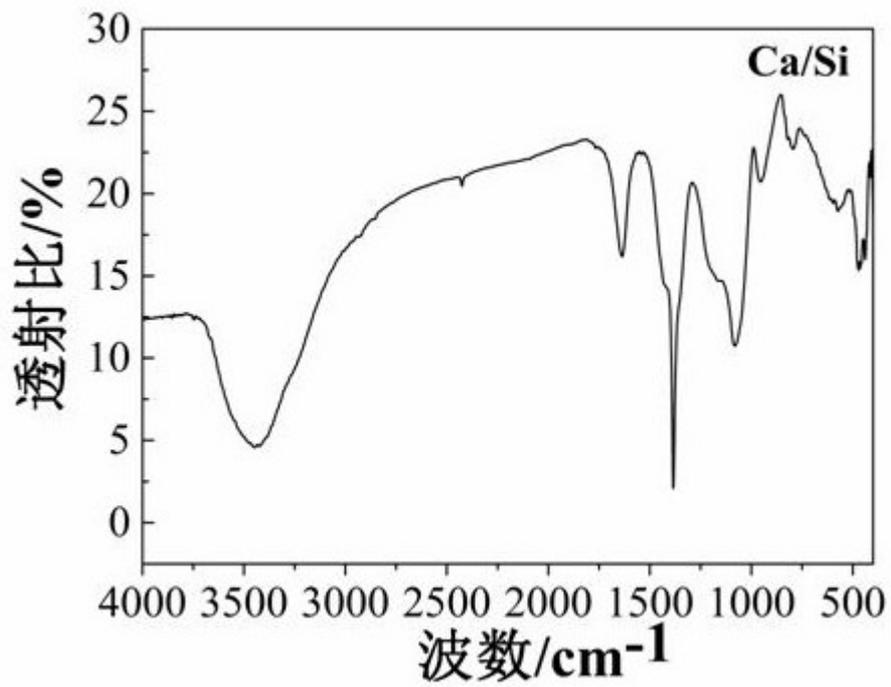


图2

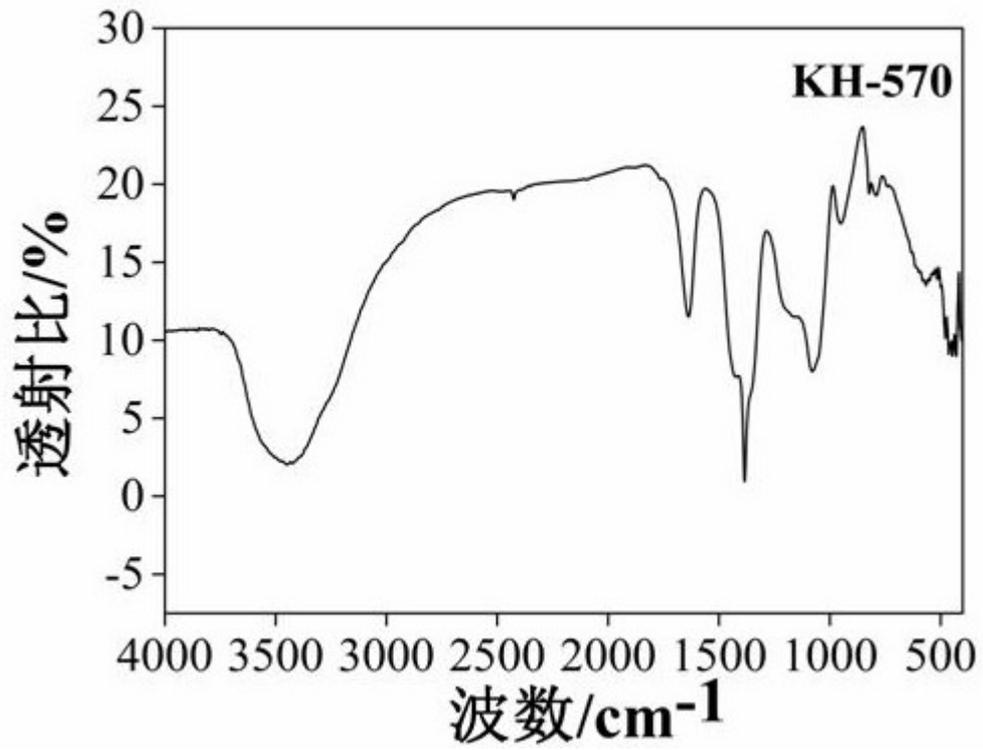


图3

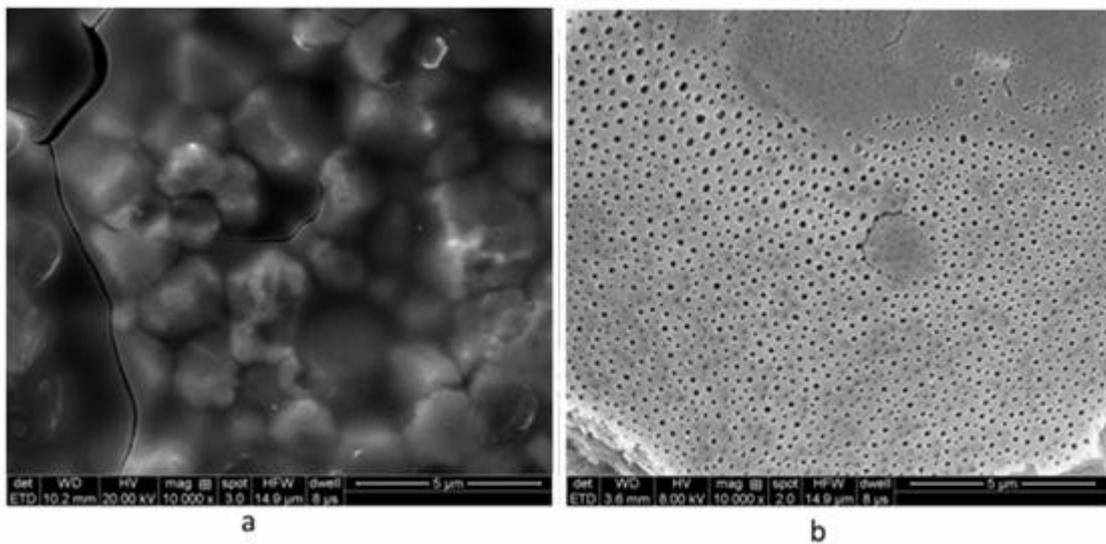


图4

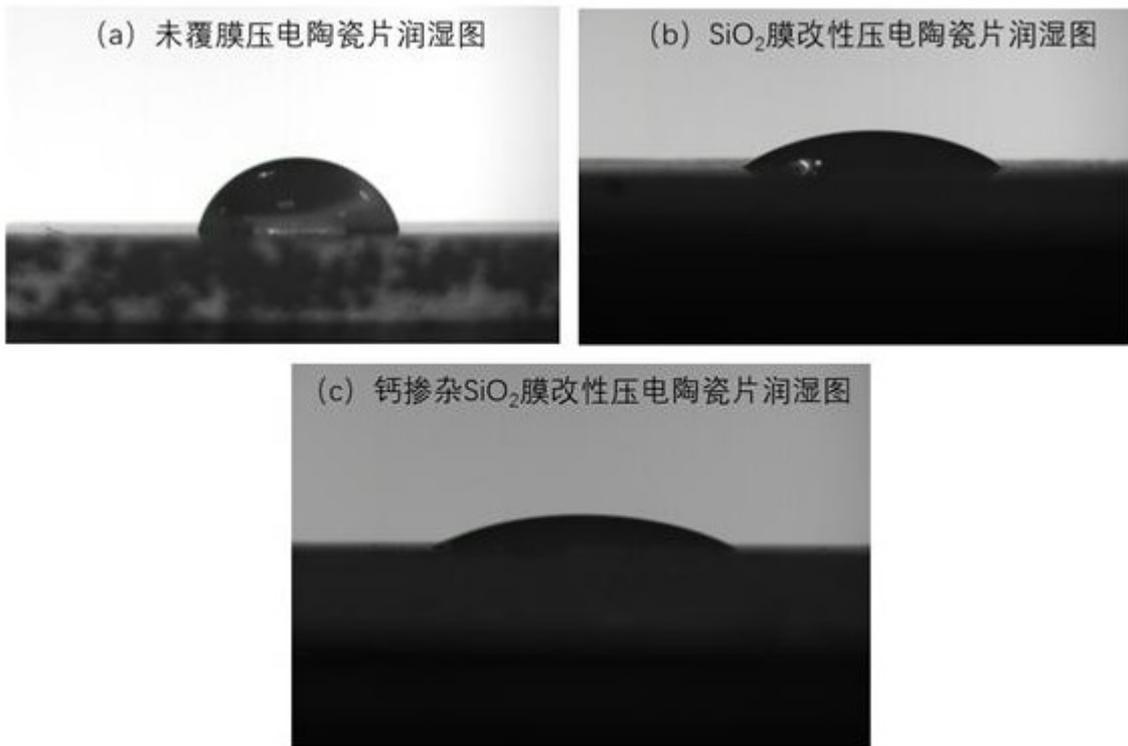


图5