



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년03월25일  
(11) 등록번호 10-2378537  
(24) 등록일자 2022년03월21일

(51) 국제특허분류(Int. Cl.)  
G11C 11/408 (2006.01) G11C 11/4074 (2006.01)  
G11C 29/02 (2006.01) G11C 29/12 (2015.01)  
G11C 8/08 (2006.01)  
(52) CPC특허분류  
G11C 11/4085 (2013.01)  
G11C 11/4074 (2013.01)  
(21) 출원번호 10-2015-0155926  
(22) 출원일자 2015년11월06일  
심사청구일자 2020년11월04일  
(65) 공개번호 10-2017-0053422  
(43) 공개일자 2017년05월16일  
(56) 선행기술조사문헌  
US20140211577 A1

(73) 특허권자  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
남상운  
경기도 여주시 학동2길 42 성일우리미아파트 102동 202호  
(74) 대리인  
김성남

전체 청구항 수 : 총 3 항

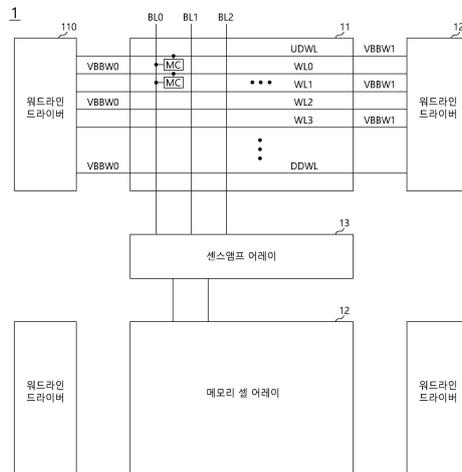
심사관 : 손윤식

(54) 발명의 명칭 GIDL 스크린을 위한 워드라인 드라이버, 이를 이용하는 반도체 메모리 장치 및 테스트 방법

(57) 요약

본 발명의 실시예에 따른 반도체 메모리 장치는 복수의 워드라인을 제 1 및 제 2 저전압 중 하나로 프리차지시킬 수 있다. 상기 반도체 메모리 장치는 오프 워드라인과 이븐 워드라인을 서로 다른 레벨로 프리차지시켜, 메모리 셀로부터 워드라인 방향으로 발생하는 패싱 GIDL을 가속화시킬 수 있다.

대표도 - 도1



(52) CPC특허분류

*G11C 29/025* (2013.01)

*G11C 8/08* (2013.01)

*G11C 2029/1202* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

전압 제어신호에 기초하여 제 1 저전압, 제 2 저전압, 제 3 저전압 및 제 4 저전압 중 하나를 프리차지 전압으로 제공하는 프리차지 전압 생성부; 및

워드라인 선택신호에 기초하여 워드라인을 상기 프리차지 전압으로 프리차지시키는 서브 워드라인 드라이버를 포함하는 워드라인 드라이버.

#### 청구항 2

◆청구항 2은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 제 2 저전압의 레벨은 상기 제 1 저전압의 레벨보다 낮은 워드라인 드라이버.

#### 청구항 3

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 서브 워드라인 드라이버는 메인 워드라인 선택신호에 기초하여 상기 워드라인을 서브 워드라인 선택신호에 대응하는 전압 레벨로 인에이블시키거나 상기 프리차지 전압의 레벨로 프리차지시키는 워드라인 인에이블부; 및

상기 서브 워드라인 선택신호에 기초하여 상기 워드라인을 상기 프리차지 전압의 레벨로 프리차지시키는 프리차지부를 포함하는 워드라인 드라이버.

#### 청구항 4

◆청구항 4은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 제 3 저전압의 레벨은 상기 제 1 저전압의 레벨보다 높고, 상기 제 4 저전압의 레벨은 상기 제 2 저전압의 레벨보다 낮은 워드라인 드라이버.

#### 청구항 5

오드 워드라인과 이븐 워드라인이 교대로 배치되는 메모리 셀 어레이; 및

워드라인 선택신호 및 전압 제어신호에 기초하여 상기 오드 워드라인을 제 1 저전압 및 제 2 저전압 중 하나로 프리차지시키고, 상기 이븐 워드라인을 상기 제 1 저전압 및 상기 제 2 저전압 중 하나로 프리차지 시키는 워드라인 드라이버를 포함하는 반도체 메모리 장치.

#### 청구항 6

◆청구항 6은(는) 설정등록료 납부시 포기되었습니다.◆

제 5 항에 있어서,

상기 제 2 저전압의 레벨은 상기 제 1 저전압의 레벨보다 낮은 반도체 메모리 장치.

#### 청구항 7

◆청구항 7은(는) 설정등록료 납부시 포기되었습니다.◆

제 5 항에 있어서,

상기 워드라인 드라이버는 상기 오드 워드라인 및 상기 이븐 워드라인을 제 3 및 제 4 저전압으로 프리차지시키고,

상기 제 3 저전압의 레벨은 상기 제 1 저전압의 레벨보다 높고, 상기 제 4 저전압의 레벨은 상기 제 2 저전압의 레벨보다 낮은 반도체 메모리 장치.

#### 청구항 8

◆청구항 8은(는) 설정등록료 납부시 포기되었습니다.◆

제 5 항에 있어서,

상기 워드라인 선택신호에 기초하여 상기 오드 워드라인 및 상기 이븐 워드라인을 인에이블시키거나 프리차지시키는 서브 워드라인 드라이버

상기 전압 제어신호에 기초하여 상기 제 1 저전압 및 제 2 저전압 중 하나를 상기 오드 워드라인과 연결되는 서브 워드라인 드라이버로 제공하고, 상기 제 1 저전압 및 상기 제 2 저전압 중 하나를 상기 이븐 워드라인과 연결되는 서브 워드라인 드라이버로 제공하는 프리차지 전압 생성부를 포함하는 반도체 메모리 장치.

#### 청구항 9

◆청구항 9은(는) 설정등록료 납부시 포기되었습니다.◆

제 8 항에 있어서,

상기 프리차지 전압 생성부는 제 1 동작 모드에서 상기 제 1 저전압을 각각 상기 오드 워드라인과 연결되는 서브 워드라인 드라이버 및 상기 이븐 워드라인과 연결되는 서브 워드라인 드라이버로 제공하는 반도체 메모리 장치.

#### 청구항 10

◆청구항 10은(는) 설정등록료 납부시 포기되었습니다.◆

제 9 항에 있어서,

상기 프리차지 전압 생성부는 제 2 동작 모드에서 상기 제 1 저전압을 상기 오드 워드라인과 연결되는 서브 워드라인 드라이버로 제공하고, 상기 제 2 저전압을 상기 이븐 워드라인과 연결되는 서브 워드라인 드라이버로 제공하는 반도체 메모리 장치.

#### 청구항 11

◆청구항 11은(는) 설정등록료 납부시 포기되었습니다.◆

제 10 항에 있어서,

상기 메모리 셀 어레이는 상단에 배치되는 업 더미 워드라인 및 하단에 배치되는 다운 더미 워드라인을 더 포함하고,

상기 워드라인 드라이버는 상기 업 더미 워드라인을 상기 제 1 저전압 및 상기 제 2 저전압 중 하나로 프리차지시키고, 상기 다운 더미 워드라인을 상기 제 1 저전압 및 상기 제 2 저전압 중 하나로 프리차지시키는 반도체 메모리 장치.

#### 청구항 12

◆청구항 12은(는) 설정등록료 납부시 포기되었습니다.◆

제 11 항에 있어서,

상기 워드라인 드라이버는 제 1 동작 모드에서 상기 업 더미 워드라인 및 상기 다운 더미 워드라인을 상기 제 1 저전압으로 프리차지시키는 반도체 메모리 장치.

#### 청구항 13

◆청구항 13은(는) 설정등록료 납부시 포기되었습니다.◆

제 12 항에 있어서,

상기 워드라인 드라이버는 제 2 동작 모드에서 상기 업 더미 워드라인을 상기 제 2 저전압 레벨로 프리차지시키고, 상기 다운 더미 워드라인을 상기 제 1 저전압 레벨로 프리차지시키는 반도체 메모리 장치.

#### 청구항 14

교대로 배치되는 복수의 워드라인, 상기 복수의 워드라인과 수직으로 배치되는 복수의 비트라인, 및 상기 복수의 워드라인과 상기 복수의 비트라인이 교차하는 지점에 연결되는 복수의 메모리 셀을 포함하는 반도체 메모리 장치의 테스트 방법으로서,

오드 워드라인과 연결된 메모리 셀에 제 1 데이터를 저장하고, 이븐 워드라인에 연결된 메모리 셀에 제 2 데이터를 저장하는 단계; 및

오드 워드라인을 제 1 저전압으로 프리차지시키고, 이븐 워드라인을 상기 제 1 저전압보다 낮은 제 2 저전압으로 프리차지시키는 단계를 포함하는 테스트 방법.

#### 청구항 15

◆청구항 15은(는) 설정등록료 납부시 포기되었습니다.◆

제 14 항에 있어서,

상기 오드 워드라인과 연결된 메모리 셀로부터 리드된 데이터가 상기 제 1 데이터인지 판단하는 단계; 및 판단 결과에 따라 상기 오드 워드라인과 연결된 메모리 셀을 스크린하는 단계를 더 포함하는 테스트 방법.

#### 청구항 16

◆청구항 16은(는) 설정등록료 납부시 포기되었습니다.◆

제 14 항에 있어서,

노멀 동작 모드에서 상기 오드 워드라인 및 상기 이븐 워드라인을 모두 제 1 저전압으로 프리차지시키는 테스트 방법.

#### 청구항 17

◆청구항 17은(는) 설정등록료 납부시 포기되었습니다.◆

제 14 항에 있어서,

상기 오드 워드라인 제 3 저전압으로 프리차지시키고, 이븐 워드라인을 제 4 저전압으로 프리차지시키는 단계를 더 포함하는 테스트 방법.

#### 청구항 18

◆청구항 18은(는) 설정등록료 납부시 포기되었습니다.◆

제 17 항에 있어서,

상기 제 3 저전압의 레벨은 상기 제 1 저전압의 레벨보다 높고, 상기 제 4 저전압의 레벨은 상기 제 2 저전압의 레벨보다 낮은 테스트 방법.

### 발명의 설명

### 기술 분야

본 발명은 반도체 장치에 관한 것으로, 더 상세하게는 메모리 셀의 GIDL (Gate Induced Drain Leakage)을 스크린할 수 있는 워드라인 드라이버, 이를 이용하는 반도체 메모리 장치 및 테스트 방법에 관한 것이다.

[0001]

**배경 기술**

- [0002] 반도체 장치가 고 집적화됨에 따라서, 모스 트랜지스터의 안정적인 동작특성을 확보하는 것이 점점 어려워지고 있다. 반도체 메모리 장치, 특히 DRAM의 경우 캐패시터로 구성된 메모리 셀과 연결되고, 상기 메모리 셀을 워드라인 및 비트라인과 연결하는 셀 트랜지스터를 포함한다. 미세 공정에 따라 게이트 선 폭이 급격히 감소하면서, 상기 셀 트랜지스터의 크기도 감소하고 있고, 트랜지스터의 문턱전압, 전류 구동 능력, 동작 속도 및 메모리 셀의 정보 저장 시간 마진 등이 한계점에 이르고 있다. 특히, GIDL (Gate Induced Drain Leakage)에 의해 정보 저장 시간을 확보하는 것이 어려운 문제이다. 트랜지스터의 크기가 감소할수록 소스 및 드레인 영역과 게이트 전극이 중첩되는 영역에서 발생하는 GIDL이 급격하게 증가하기 때문이다.
- [0003] GIDL에 취약한 메모리 셀은 반도체 메모리 장치의 신뢰성을 감소시키므로, 품질 확보를 위해 초기 제조 공정에서 스크린될 필요성이 있다. 예를 들어, 웨이퍼 상에서 메모리 칩이 제조될 때, 상기 GIDL에 취약한 메모리 셀을 포함하는 메모리 칩을 효율적으로 스크린할 수 있는 방식이 필요하다.

**발명의 내용**

**해결하려는 과제**

- [0004] 본 발명의 실시예는 복수의 워드라인을 서로 다른 전압 레벨로 프리차지시켜 GIDL에 취약한 메모리 셀을 스크린할 수 있는 워드라인 드라이버, 이를 이용하는 반도체 메모리 장치 및 테스트 방법을 제공할 수 있다.

**과제의 해결 수단**

- [0005] 본 발명의 실시예에 따른 워드라인 드라이버는 전압 제어신호에 응답하여 제 1 및 제 2 저전압 중 하나를 프리차지 전압으로 제공하는 프리차지 전압 생성부; 및 워드라인 선택신호에 응답하여 워드라인을 상기 프리차지 전압으로 프리차지시키는 서브 워드라인 드라이버를 포함할 수 있다.
- [0006] 본 발명의 실시예에 따른 반도체 메모리 장치는 오드 워드라인과 이븐 워드라인이 교대로 배치되는 메모리 셀 어레이; 및 워드라인 선택신호 및 전압 제어신호에 응답하여 상기 오드 워드라인을 제 1 저전압 및 제 2 저전압 중 하나로 프리차지시키고, 상기 이븐 워드라인을 상기 제 1 저전압 및 상기 제 2 저전압 중 하나로 프리차지시키는 워드라인 드라이버를 포함할 수 있다.
- [0007] 본 발명의 실시예에 따른 테스트 방법은 교대로 배치되는 복수의 워드라인, 상기 복수의 워드라인과 수직으로 배치되는 복수의 비트라인, 및 상기 복수의 워드라인과 상기 복수의 비트라인이 교차하는 지점에 연결되는 복수의 메모리 셀을 포함하는 반도체 메모리 장치의 테스트 방법으로서, 오드 워드라인과 연결된 메모리 셀에 제 1 데이터를 저장하고, 이븐 워드라인에 연결된 메모리 셀에 제 2 데이터를 저장하는 단계; 및 오드 워드라인을 제 1 저전압으로 프리차지시키고, 이븐 워드라인을 상기 제 1 저전압보다 낮은 제 2 저전압으로 프리차지시키는 단계를 포함할 수 있다.

**발명의 효과**

- [0008] 본 발명의 실시예는 초기 제조 단계에서 불량 메모리 셀을 스크린할 수 있으므로, 반도체 메모리 장치의 제조 비용을 감소시키고, 반도체 메모리 장치의 신뢰성을 향상시킬 수 있다.

**도면의 간단한 설명**

- [0009] 도 1은 본 발명의 실시예에 따른 메모리 장치의 구성을 보여주는 도면,
- 도 2는 본 발명의 실시예에 따라 메모리 셀로부터 워드라인으로 패싱 GIDL이 발생하는 모습을 보여주는 도면,
- 도 3 및 도 4는 각각 본 발명의 실시예에 따른 메모리 셀 어레이의 구성을 평면 및 단면으로 도시한 도면,
- 도 5는 본 발명의 실시예에 따른 워드라인 드라이버의 구성을 보여주는 도면,
- 도 6은 본 발명의 실시예에 따른 프리차지 전압 생성부의 구성을 보여주는 도면,
- 도 7은 본 발명의 실시예에 따른 반도체 메모리 장치의 동작 및 테스트 방법을 보여주는 흐름도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0010] 도 1은 본 발명의 실시예에 따른 반도체 메모리 장치(1)의 구성을 보여주는 도면이다. 도 1에서, 상기 반도체 메모리 장치(1)는 복수의 메모리 셀 어레이(11, 12), 센스앰프 어레이(13) 및 복수의 워드라인 드라이버(110, 120, 130, 140)를 포함할 수 있다. 상기 복수의 메모리 셀 어레이(11, 12)는 하나의 메모리 뱅크에 포함될 수 있다. 상기 메모리 셀 어레이(11)에는 복수의 워드라인(WL0, WL1, WL2, WL3)과 복수의 비트라인(BL0, BL1, BL2)이 배치될 수 있다. 상기 복수의 워드라인(WL0, WL1, WL2, WL3)은 오드 워드라인과 이븐 워드라인을 포함할 수 있다. 상기 비트라인(BL0, BL1, BL2)은 상기 복수의 워드라인과 수직으로 배치될 수 있다. 상기 비트라인(BL0, BL1, BL2)은 오드 비트라인과 이븐 비트라인을 포함할 수 있다. 상기 복수의 워드라인(WL0, WL1, WL2, WL3)과 상기 복수의 비트라인(BL0, BL1, BL2)이 교차하는 지점에는 메모리 셀(MC)이 연결될 수 있다. 상기 메모리 셀 어레이(12)는 상기 메모리 셀 어레이(11)와 유사하게 구성될 수 있다.
- [0011] 상기 센스앰프 어레이(13)는 인접하는 2개의 메모리 셀 어레이(11, 12)의 비트라인과 공통 연결될 수 있다. 상기 반도체 메모리 장치(1)는 인접하는 메모리 셀 어레이(11, 12)의 비트라인이 공유 센스앰프 어레이(13)에 의해 연결되는 오픈 비트라인 구조를 가질 수 있다.
- [0012] 상기 워드라인 드라이버(110, 120)는 상기 복수의 워드라인(WL0, WL1, WL2, WL3)을 선택할 수 있다. 상기 워드라인 드라이버(110, 120)는 워드라인 선택신호에 기초하여 원하는 워드라인을 역세스할 수 있다. 상기 워드라인 선택신호는 로우 어드레스 신호를 디코딩하는 로우 디코더로부터 생성될 수 있고, 이에 대해서는 후술하기로 한다. 도시되지는 않았지만, 상기 반도체 메모리 장치(1)는 상기 복수의 비트라인(BL0, BL1, BL2)을 선택하기 위해 컬럼 디코더를 포함할 수 있다. 도 1에 도시된 바와 같이, 상기 워드라인 드라이버(110, 120)는 상기 메모리 셀 어레이(11)의 양측에 나누어 배치될 수 있다. 좌측에 배치된 워드라인 드라이버(110)는 복수의 워드라인(WL0, WL1, WL2, WL3) 중 일부 워드라인을 역세스할 수 있고, 우측에 배치된 워드라인 드라이버(120)는 나머지 워드라인을 역세스할 수 있다. 그러나, 워드라인 드라이버(110, 120)의 위치 또는 구성을 한정하려는 의도는 아니다. 상기 워드라인 드라이버는 좌측 또는 우측 중 한 곳에만 배치될 수도 있다.
- [0013] 상기 워드라인 드라이버(110, 120)는 상기 복수의 워드라인(WL0, WL1, WL2, WL3)을 인에이블시키거나 프리차지시킬 수 있다. 상기 워드라인 드라이버(110, 120)는 상기 복수의 워드라인(WL0, WL1, WL2, WL3)을 고전압 레벨로 인에이블시킬 수 있다. 상기 고전압은 상기 반도체 메모리 장치(1)의 전원전압으로부터 생성된 펄핑전압일 수 있다. 상기 워드라인 드라이버(110, 120)는 상기 복수의 워드라인(WL0, WL1, WL2, WL3)을 제 1 및 제 2 저전압(VBBW0, VBBW1) 중 하나로 프리차지시킬 수 있다. 상기 워드라인 드라이버(110, 120)는 후술되는 전압 제어 신호에 응답하여 상기 복수의 워드라인(WL0, WL1, WL2)을 상기 제 1 및 제 2 저전압(VBBW0, VBBW1) 중 하나로 프리차지시킬 수 있다. 상기 제 2 저전압(VBBW1)은 상기 제 1 저전압(VBBW0)보다 낮은 레벨을 가질 수 있다.
- [0014] 상기 워드라인 드라이버(110, 120)는 제 1 동작 모드에서 상기 복수의 워드라인(WL0, WL1, WL2, WL3)을 제 1 저전압(VBBW0)으로 프리차지시킬 수 있다. 상기 워드라인 드라이버(110, 120)는 제 2 동작 모드에서 상기 복수의 워드라인(WL0, WL1, WL2, WL3)을 제 1 저전압(VBBW0) 및 제 2 저전압(VBBW1) 중 하나로 프리차지시킬 수 있다. 예를 들어, 상기 워드라인 드라이버(110, 120)는 홀수 번째로 배치되는 오드 워드라인(WL0, WL2)을 상기 제 1 저전압(VBBW0)으로 프리차지시킬 수 있고, 짝수 번째로 배치되는 이븐 워드라인(WL1, WL3)을 상기 제 2 저전압(VBBW1)으로 프리차지시킬 수 있다.
- [0015] 상기 제 2 동작 모드는 메모리 셀 스크린을 위한 테스트 동작 모드일 수 있다. 상기 제 1 동작 모드는 노멀 모드를 포함하고, 상기 테스트 동작 모드 이외의 모든 동작 모드를 포함할 수 있다. 상기 노멀 동작 모드에서는, 리드, 라이트, 리프레쉬 등과 같은 반도체 메모리 장치의 일반적인 동작이 수행될 수 있다. 본 발명의 실시예에 따른 반도체 메모리 장치(1)는 동작 모드에 따라 서로 다른 전압 레벨로 워드라인을 프리차지시킬 수 있고, 제 2 동작 모드에서 인접하는 워드라인을 서로 다른 전압 레벨로 프리차지시킬 수 있다. 따라서, GIDL에 취약한 메모리 셀을 용이하게 판별할 수 있도록 한다.
- [0016] 상기 메모리 셀 어레이(11)는 업 더미 워드라인(UDWL) 및 다운 더미 워드라인(DDWL)을 더 포함할 수 있다. 상기 업 더미 워드라인(UDWL)은 상기 메모리 셀 어레이(11)의 상단에 배치될 수 있고, 상기 다운 더미 워드라인(DDWL)은 상기 메모리 셀 어레이(11)의 하단에 배치될 수 있다. 상기 워드라인 드라이버(110, 120)는 상기 제 1 동작 모드에서 상기 업 더미 워드라인(UDWL) 및 상기 다운 더미 워드라인(DDWL)을 제 1 저전압(VBBW0)으로 프리차지시킬 수 있다. 상기 워드라인 드라이버(110, 120)는 상기 제 2 동작 모드에서 상기 업 더미 워드라인(UDWL) 및 상기 다운 더미 워드라인(DDWL)을 상기 제 1 저전압(VBBW0) 및 상기 제 2 저전압(VBBW1) 중 하나로 프리차지시킬 수 있다.
- [0017] 예를 들어, 상기 워드라인 드라이버(110, 120)는 상기 업 더미 워드라인(UDWL)을 제 1 저전압(VBBW0)으로 프리

차지시키는 경우 상기 다운 더미 워드라인(DDWL)을 제 2 저전압(VBBW1)으로 프리차지시킬 수 있고, 상기 업 더미 워드라인(UDWL)을 제 2 저전압(VBBW1)으로 프리차지시키는 경우 상기 다운 더미 워드라인(DDWL)을 제 1 저전압(VBBW0)으로 프리차지시킬 수 있다. 일 실시예에서, 상기 워드라인 드라이버(110, 120)는 상기 업 더미 워드라인(UDWL)을 상기 이븐 워드라인(WL1, WL3)과 동일한 전압 레벨로 프리차지시킬 수 있고, 상기 다운 더미 워드라인(DDWL)을 상기 오드 워드라인(WL0, WL2)과 동일한 전압 레벨로 프리차지시킬 수 있다.

[0018] 도 2는 본 발명의 실시예에 따라 메모리 셀로부터 워드라인으로 패싱(Passing) GIDL이 발생하는 모습으로 보여 주는 도면이다. 도 2에서, 도 1의 메모리 셀 어레이(11)의 구성 중 일부의 워드라인, 일부의 비트라인 및 일부의 메모리 셀이 도시되었다. 상기 제 1 워드라인(WL0)은 제 1 메모리 셀(201) 및 제 2 메모리 셀(202)과 연결될 수 있다. 상기 제 1 워드라인(WL0)과 제 1 비트라인(BL0)이 교차하는 지점에는 제 1 셀 트랜지스터(CT1)와 제 1 메모리 셀(201)이 연결될 수 있다. 상기 제 1 워드라인(WL0)과 상기 제 2 비트라인(BL1)이 교차하는 지점에는 제 2 셀 트랜지스터(CT2)와 제 2 메모리 셀(202)이 연결될 수 있다. 상기 제 2 워드라인(WL1)은 제 3 메모리 셀(203) 및 제 4 메모리 셀(204)과 연결될 수 있다. 상기 제 2 워드라인(WL1)과 상기 제 1 비트라인(BL0)이 교차하는 지점에는 제 3 셀 트랜지스터(CT3)와 제 3 메모리 셀(203)이 연결될 수 있다. 상기 제 2 워드라인(WL1)과 상기 제 2 비트라인(BL1)이 교차하는 지점에는 제 4 셀 트랜지스터(CT4)와 제 4 메모리 셀(204)이 연결될 수 있다. 상기 제 3 워드라인(WL2)은 제 5 메모리 셀(205) 및 제 6 메모리 셀(206)과 연결될 수 있다. 상기 제 3 워드라인(WL2)과 상기 제 1 비트라인(BL0)이 교차하는 지점에는 제 5 셀 트랜지스터(CT5)와 제 5 메모리 셀(205)이 연결될 수 있다. 상기 제 3 워드라인(WL2)과 상기 제 2 비트라인(BL1)이 교차하는 지점에는 제 6 셀 트랜지스터(CT6)와 제 6 메모리 셀(206)이 연결될 수 있다. 상기 제 4 워드라인(WL3)은 제 7 메모리 셀(207)과 연결될 수 있다. 상기 제 4 워드라인(WL3)과 상기 제 1 비트라인(BL0)이 교차하는 지점에는 제 7 셀 트랜지스터(CT7)와 제 7 메모리 셀(207)이 연결될 수 있다.

[0019] 상기 제 2 메모리 셀(202)과 상기 제 5 메모리 셀(205)에 1 데이터가 저장되어있다고 가정하자. 제 1 동작 모드에서, 상기 워드라인 드라이버(110, 120)는 오드 워드라인에 해당하는 상기 제 1 및 제 3 워드라인(WL0, WL2)과 이븐 워드라인에 해당하는 제 2 워드라인(WL1)을 모두 제 1 저전압(VBBW0)으로 프리차지시킬 수 있다. 이 때, 패싱 GIDL은 1 데이터를 저장하고 있는 메모리 셀에서 낮은 전압 레벨로 프리차지되어 있는 워드라인 방향으로 발생할 수 있다. 특히, 상기 패싱 GIDL은 후술되는 바와 같이 동일한 액티브 영역에 형성되지 않는 워드라인으로 발생할 수 있다.

[0020] 제 2 동작 모드에서, 상기 워드라인 드라이버(110, 120)는 상기 오드 워드라인에 해당하는 제 1 및 제 3 워드라인(WL0, WL2)을 제 1 저전압(VBBW0)으로 프리차지시키고, 상기 이븐 워드라인에 해당하는 제 2 워드라인(WL1)을 제 2 저전압(VBBW1)으로 프리차지시킬 수 있다. 상기 제 2 워드라인(WL1)은 상기 제 1 및 제 3 워드라인(WL0, WL2)에 비해 상대적으로 더 낮은 레벨로 프리차지될 수 있다. 상기 제 2 및 제 5 메모리 셀(202, 205)로부터의 패싱 GIDL은 상기 제 2 워드라인(WL1) 방향으로 발생할 수 있다. 이 때, 상기 제 2 워드라인(WL1)은 제 1 저전압(VBBW0)보다 더 낮은 제 2 저전압(VBBW1) 레벨로 프리차지되었기 때문에, 상기 패싱 GIDL은 더욱 크게 발생할 수 있다. 따라서, 상기 GIDL에 취약한 메모리 셀은 패싱 GIDL의 발생으로 인해, 저장하고 있던 1 데이터를 유실할 수 있다.

[0021] 도 3 및 도 4는 본 발명의 실시예에 따른 메모리 셀 어레이의 구성을 알기 쉽게 단면으로 도시한 도면이다. 도 3에서, 메모리 셀 어레이는 업 더미 워드라인(UDWL), 제 1 내지 제 4 워드라인(WL0, WL1, WL2, WL3), 제 1 내지 제 3 비트라인(BL0, BL1, BL2)을 포함할 수 있다. 상기 워드라인들(UDWL, WL0, WL1, WL2, WL3)과 상기 비트라인들(BL0, BL1, BL2)이 교차하는 영역에 연결되는 메모리 셀은 동그라미로 표시되었다. 상기 메모리 셀 어레이는 면적을 감소시키기 위해 대각선에 배치된 메모리 셀이 공유 액티브 영역에 형성될 수 있다. 예를 들어, 상기 제 1 메모리 셀(301)과 상기 제 3 메모리 셀(303)은 제 1 액티브 영역(311) 상에 형성될 수 있고, 상기 제 2 메모리 셀(302)은 더미 메모리 셀(308)과 함께 제 2 액티브 영역(312) 상에 형성될 수 있다. 또한, 상기 제 5 메모리 셀(305)과 상기 제 7 메모리 셀(307)은 제 3 액티브 영역(313) 상에 형성될 수 있다.

[0022] 도 4를 참조하면, 제 3 액티브 영역(313)에는 매립 게이트(Buried Gate, BG)를 갖는 제 3 워드라인(WL2) 및 제 4 워드라인(WL3)이 형성될 수 있다. 상기 제 2 워드라인(WL1)의 매립 게이트(BG)는 상기 제 3 액티브 영역(313)에 인접하여 형성될 수 있다. 도시되지는 않았지만, 상기 제 3 액티브 영역(313)과 상기 제 2 워드라인(WL1)의 매립 게이트(BG) 사이에는 옥사이드 물질이 채워질 수 있다. 상기 제 3 액티브 영역(313)의 제 1 영역(401) 상에는 상기 제 5 메모리 셀(305)이 형성되고, 상기 제 3 액티브 영역(313)의 제 2 영역(402) 상에는 상기 제 1 비트라인(BL0)이 형성되며, 상기 제 3 액티브 영역(313)의 제 3 영역(403) 상에는 상기 제 7 메모리 셀(307)이 형성될 수 있다. 상기 제 3 워드라인(WL2)이 제 1 저전압(VBBW0) 레벨로 프리차지되고, 제 2 워드라인(WL1)이

제 2 저전압(VBBW1) 레벨로 프리차지되면, 상기 메모리 셀(303)로부터 상기 제 2 워드라인(WL1)으로 패싱 GIDL이 발생할 수 있다.

[0023] 다시 도 3을 참조하면, GIDL에 취약한 메모리 셀을 스크린하기 위해, 상기 제 1 워드라인(WL0) 및 제 3 워드라인(WL2), 즉, 오드 워드라인과 연결되는 메모리 셀들로 1 데이터를 저장하고, 상기 제 2 워드라인(WL1), 즉, 이븐 워드라인과 연결되는 메모리 셀들로 0 데이터를 저장할 수 있다. 도 4에서, 1 데이터가 저장된 메모리 셀은 색칠된 원으로 도시되고, 0 데이터가 저장된 메모리 셀은 색칠되지 않은 원으로 도시되었다. 해당 데이터가 저장된 후, 상기 워드라인 드라이버(110, 120)는 오드 워드라인(WL0, WL2)을 제 1 저전압(VBBW0)으로 프리차지시키고, 이븐 워드라인(WL1, WL3)을 제 2 전압(VBBW1)으로 프리차지시킬 수 있다. 만약, 상기 제 2 및 제 5 메모리 셀(302, 305)이 GIDL에 취약하다면, 패싱 GIDL이 상기 제 2 및 제 5 메모리 셀(302, 305)로부터 더 낮은 전압 레벨로 프리차지된 상기 제 2 워드라인(WL1)으로 흘러나갈 수 있다. 위와 같은 패싱 GIDL은 상기 제 2 워드라인(WL1)이 프리차지된 전압 레벨이 낮으면 낮을수록 가속화될 수 있다. 따라서, 상기 워드라인 드라이버(110, 120)는 상기 패싱 GIDL을 가속화시킬 수 있는 방향으로 상기 워드라인을 프리차지시킬 수 있고, 패싱 GIDL에 취약한 메모리 셀을 쉽게 스크린할 수 있는 환경을 만들 수 있다.

[0024] 도 5는 도 1에 도시된 워드라인 드라이버(500)의 구성을 보여주는 도면이다. 상기 워드라인 드라이버(500)는 도 1의 워드라인 드라이버(110, 120)로 적용될 수 있다. 도 5에서, 상기 워드라인 드라이버(500)는 프리차지 전압 생성부(510) 및 서브 워드라인 구동부(520)를 포함할 수 있다. 상기 프리차지 전압 생성부(510)는 전압 제어신호(VC<0:n>)에 응답하여 제 1 및 제 2 저전압(VBBW0, VBBW1) 중 하나를 프리차지 전압(VPCG)으로서 출력할 수 있다. 상기 전압 제어신호(VC<0:n>)는 반도체 메모리 장치의 동작 모드 및 어드레스 신호에 기초하여 생성될 수 있다. 따라서, 상기 전압 제어신호(VC<0:n>)는 상기 반도체 메모리 장치의 동작 모드가 제 1 동작 모드인지 또는 제 2 동작 모드인지 여부에 따라 변화될 수 있고, 오드 워드라인 또는 이븐 워드라인으로 인가되는 프리차지 전압을 선택하기 위해 변화될 수 있다.

[0025] 상기 프리차지 전압 생성부(510)는 상기 전압 제어신호에 응답하여 제 3 저전압(VSS) 및 제 4 저전압(VBB)을 추가적으로 상기 프리차지 전압(VPCG)으로서 출력할 수 있다. 상기 제 3 저전압(VSS)은 상기 제 1 저전압(VBBW0)보다 더 높은 레벨을 가질 수 있고, 상기 제 4 저전압(VBB)은 상기 제 2 저전압(VBBW1)보다 더 낮은 레벨을 가질 수 있다. 상기 프리차지 전압 생성부는 상기 전압 제어신호에 응답하여 상기 제 1 저전압 대신에 상기 제 3 저전압을 상기 프리차지 전압으로 출력할 수 있고, 상기 제 2 저전압 대신에 상기 제 4 저전압을 상기 프리차지 전압으로 출력할 수 있다. 상기 제 3 및 제 4 저전압이 프리차지 전압으로 제공되는 경우, 오드 워드라인과 이븐 워드라인 사이의 전압 차이가 더 커질 수 있으므로, 메모리 셀로부터 발생하는 패싱 GIDL은 더 커질 수 있다.

[0026] 상기 서브 워드라인 드라이버(520)는 1개의 워드라인(WL)을 인에이블시키기 위한 구성을 포함할 수 있다. 상기 워드라인 드라이버(500)는 복수의 워드라인과 각각 연결되는 복수의 서브 워드라인 드라이버를 포함할 수 있다. 상기 서브 워드라인 드라이버(520)는 워드라인 인에이블부(521) 및 프리차지부(522)를 포함할 수 있다. 상기 워드라인 인에이블부(521)는 워드라인 선택신호에 응답하여 상기 서브 워드라인 드라이버(520)와 연결된 워드라인(WL)을 인에이블시키거나 프리차지시킬 수 있다. 상기 워드라인 선택신호는 메인 워드라인 선택신호(MWL) 및 서브 워드라인 선택신호(SWL)를 포함할 수 있다. 상기 메인 워드라인 선택신호(MWL) 및 상기 서브 워드라인 선택신호(SWL)는 각각 어드레스 신호에 기초하여 생성될 수 있다. 예를 들어, 상기 워드라인 인에이블부(521)는 상기 메인 워드라인 선택신호(MWL)가 인에이블되었을 때 상기 서브 워드라인 선택신호(SWL)에 대응하는 레벨로 상기 워드라인(WL)을 인에이블시킬 수 있다. 또한, 상기 워드라인 인에이블부(521)는 상기 메인 워드라인 선택신호(MWL)가 디스에이블되었을 때 상기 프리차지 전압(VPCG)에 대응하는 레벨로 상기 워드라인(WL)을 프리차지시킬 수 있다.

[0027] 상기 프리차지부(522)는 상기 서브 워드라인 선택신호의 반전신호(SWL $\bar{B}$ )에 응답하여 상기 워드라인(WL)을 프리차지시킬 수 있다. 어드레스 신호에 기초하여 상기 서브 워드라인 선택신호(SWL)가 디스에이블되었을 때 상기 워드라인 프리차지부(522)는 상기 프리차지 전압(VPCG)에 대응하는 레벨로 상기 워드라인(WL)을 프리차지시킬 수 있다.

[0028] 도 6은 도 5에 도시된 프리차지 전압 생성부(510)의 구성을 보여주는 도면이다. 도 6에서, 상기 프리차지 전압 생성부(510)는 제 1 내지 제 6 트랜지스터(T11, T12, T13, T14, T15, T16), 전압 게이팅부(601)를 포함할 수 있다. 상기 제 1 트랜지스터(T11)는 게이트로 제 1 전압 제어신호(VC<0>)를 수신하고, 소스 및 드레인 중 하나가 상기 제 1 저전압(VBBW0)을 수신하고, 다른 하나가 제 1 전압 라인(VL1)과 연결될 수 있다. 상기 제 2 트랜

지스터(T12)는 게이트로 제 2 전압 제어신호(VC<1>)를 수신하고, 소스 및 드레인 중 하나가 상기 제 1 저전압(VBBW0)을 수신하고, 다른 하나가 제 2 전압 라인(VL2)과 연결될 수 있다. 상기 제 3 트랜지스터(T13)는 게이트로 제 3 전압 제어신호(VC<2>)를 수신하고, 소스 및 드레인 중 하나가 상기 제 2 저전압(VBBW1)을 수신하고, 다른 하나가 상기 제 2 전압 라인(VL2)과 연결될 수 있다. 상기 제 4 트랜지스터(T14)는 게이트로 상기 제 4 전압 제어신호(VC<3>)를 수신하고, 드레인 및 소스 중 하나로 상기 제 3 저전압(VSS)을 수신하며, 다른 하나가 상기 제 1 전압 라인(VL1)과 연결될 수 있다. 상기 제 5 트랜지스터(T15)는 게이트로 제 5 전압 제어신호(VC<4>)를 수신하고, 드레인 및 소스 중 하나로 상기 제 4 저전압(VBB)을 수신하며, 다른 하나가 상기 제 2 전압 라인(VL2)과 연결될 수 있다. 상기 제 6 트랜지스터(T16)는 게이트로 제 6 전압 제어신호(VC<5>)를 수신하고, 소스 및 드레인이 각각 상기 제 1 및 제 2 전압 라인(VL1, VL2)과 연결될 수 있다.

[0029] 상기 전압 게이팅부(601)는 제 7 전압 제어신호(VC<6>)에 응답하여 상기 제 1 전압 라인(VL1) 및 제 2 전압 라인(VL2)의 전압을 각각 오드 워드라인을 위한 프리차지 전압(VPCG\_ODD) 및 이븐 워드라인을 위한 프리차지 전압(VPCG\_EVEN)을 제공할 수 있다. 예를 들어, 상기 전압 게이팅부(601)는 상기 제 7 전압 제어신호(VC<6>)가 인에이블되었을 때, 상기 제 1 전압 라인(VL1)을 오드 워드라인과 연결된 서브 워드라인 드라이버와 연결하여, 상기 제 1 전압 라인(VL1)의 전압이 상기 프리차지 전압(VPCG\_ODD)으로 제공될 수 있도록 한다. 또한, 상기 전압 게이팅부(601)는 상기 제 2 전압 라인(VL2)을 이븐 워드라인과 연결된 서브 워드라인 드라이버와 연결하여, 상기 제 2 전압 라인(VL2)의 전압이 상기 프리차지 전압(VPCG\_EVEN)으로 제공될 수 있도록 한다. 상기 전압 게이팅부(601)는 상기 제 7 전압 제어신호(VC<6>)가 디스에이블되었을 때, 상기 제 1 전압 라인(VL1)을 이븐 워드라인과 연결된 서브 워드라인 드라이버와 연결하여, 상기 제 1 전압 라인(VL1)의 전압이 상기 프리차지 전압(VPCG\_EVEN)으로 제공될 수 있도록 한다. 또한, 상기 전압 게이팅부(601)는 상기 제 2 전압 라인(VL2)을 오드 워드라인과 연결된 서브 워드라인 드라이버와 연결하여, 상기 제 2 전압 라인(VL2)의 전압이 상기 프리차지 전압(VPCG\_ODD)으로 제공될 수 있도록 한다.

[0030] 상기 제 1 동작 모드에서, 상기 제 1, 제 2 및 제 6 전압 제어신호(VC<0>, VC<1>, VC<5>)가 인에이블되고, 제 3 내지 제 5 전압 제어신호(VC<2>, VC<3>, VC<4>)는 디스에이블될 수 있다. 따라서, 상기 제 1 및 제 2 전압 라인(VL1, VL2)은 상기 제 1 저전압(VBBW0) 레벨이 될 수 있다. 따라서, 상기 프리차지 전압(VPCG\_ODD, VPCG\_EVEN)은 모두 상기 제 1 저전압(VBBW0) 레벨을 가질 수 있고, 오드 워드라인 및 이븐 워드라인은 모두 상기 제 1 저전압(VBBW0) 레벨로 프리차지될 수 있다.

[0031] 상기 제 2 동작 모드에서, 상기 제 1 및 제 3 전압 제어신호(VC<0>, VC<2>)가 인에이블되고, 상기 제 2, 제 4, 제 5 및 제 6 전압 제어신호(VC<1>, VC<3>, VC<4>, VC<5>)는 디스에이블될 수 있다. 따라서, 상기 제 1 전압 라인(VL1)은 상기 제 1 저전압(VBBW0) 레벨이 될 수 있고, 상기 제 2 전압 라인(VL2)은 상기 제 2 저전압(VBBW1) 레벨이 될 수 있다. 상기 제 7 전압 제어신호(VC<6>)가 인에이블되면, 상기 프리차지 전압(VPCG\_ODD)은 상기 제 1 저전압(VBBW0) 레벨을 가질 수 있고, 상기 프리차지 전압(VPCG\_EVEN)은 상기 제 2 저전압(VBBW1) 레벨을 가질 수 있다. 따라서, 상기 오드 워드라인은 상기 제 1 저전압(VBBW0) 레벨로 프리차지될 수 있고, 상기 이븐 워드라인은 상기 제 2 저전압(VBBW1) 레벨로 프리차지될 수 있다. 상기 제 7 전압 제어신호(VC<6>)가 디스에이블되면, 상기 프리차지 전압(VPCG\_ODD)은 상기 제 2 저전압(VBBW1) 레벨을 가질 수 있고, 상기 프리차지 전압(VPCG\_EVEN)은 상기 제 1 저전압(VBBW0) 레벨을 가질 수 있다. 따라서, 상기 오드 워드라인은 상기 제 2 저전압(VBBW1) 레벨로 프리차지될 수 있고, 상기 이븐 워드라인은 상기 제 1 저전압(VBBW0) 레벨로 프리차지될 수 있다.

[0032] 상기 제 2 동작 모드에서, 상기 제 1 및 제 3 전압 제어신호(VC<0>, VC<2>) 대신에 상기 제 4 및 제 5 전압 제어신호(VC<3>, VC<4>)가 인에이블될 수 있다. 따라서, 상기 제 1 전압 라인(VL1)은 상기 제 3 저전압(VSS) 레벨이 될 수 있고, 상기 제 2 전압 라인(VL2)은 상기 제 4 저전압(VBB) 레벨이 될 수 있다. 따라서, 상기 오드 워드라인은 제 3 및 제 4 저전압(VSS, VBB) 중 하나로 프리차지될 수 있고, 상기 이븐 워드라인은 제 4 및 제 3 저전압(VBB, VSS) 중 하나로 프리차지될 수 있다.

[0033] 도 7은 본 발명의 실시예에 따른 반도체 메모리 장치의 테스트 방법을 보여주는 흐름도이다. 도 1 내지 도 7을 참조하여 본 발명의 실시예에 따른 반도체 메모리 장치의 동작 및 테스트 방법을 설명하면 다음과 같다. 먼저, 반도체 메모리 장치(1)는 GIDL에 취약한 메모리 셀을 스크린하기 위해 제 2 동작 모드로 동작할 수 있다. 상기 반도체 메모리 장치(1)는 상기 오드 워드라인(WL0, WL2)과 연결되는 메모리 셀에 1 데이터를 저장하고, 이븐 워드라인(WL1, WL3)과 연결되는 메모리 셀에 0 데이터를 저장할 수 있다(701).

[0034] 이후, 상기 반도체 메모리 장치(1)는 오드 워드라인(WL0, WL2)을 제 1 저전압(VBBW0)으로 프리차지시키고, 이븐

워드라인(WL1, WL3)을 제 2 저전압(VBBW1)으로 프리차지시킬 수 있다(702). 상기 이븐 워드라인(WL1, WL3)은 상기 오드 워드라인(WL0, WL2)보다 더 낮은 전압 레벨로 프리차지되므로, 1 데이터를 저장하는 메모리 셀 중 GIDL에 취약한 메모리 셀로부터의 전류가 상기 이븐 워드라인(WL1, WL3)으로 흘러 나갈 수 있다. 이 때, 1 데이터를 저장했던 메모리 셀 중 몇몇 메모리 셀은 GIDL로 인해 저장된 데이터를 유실할 수 있다.

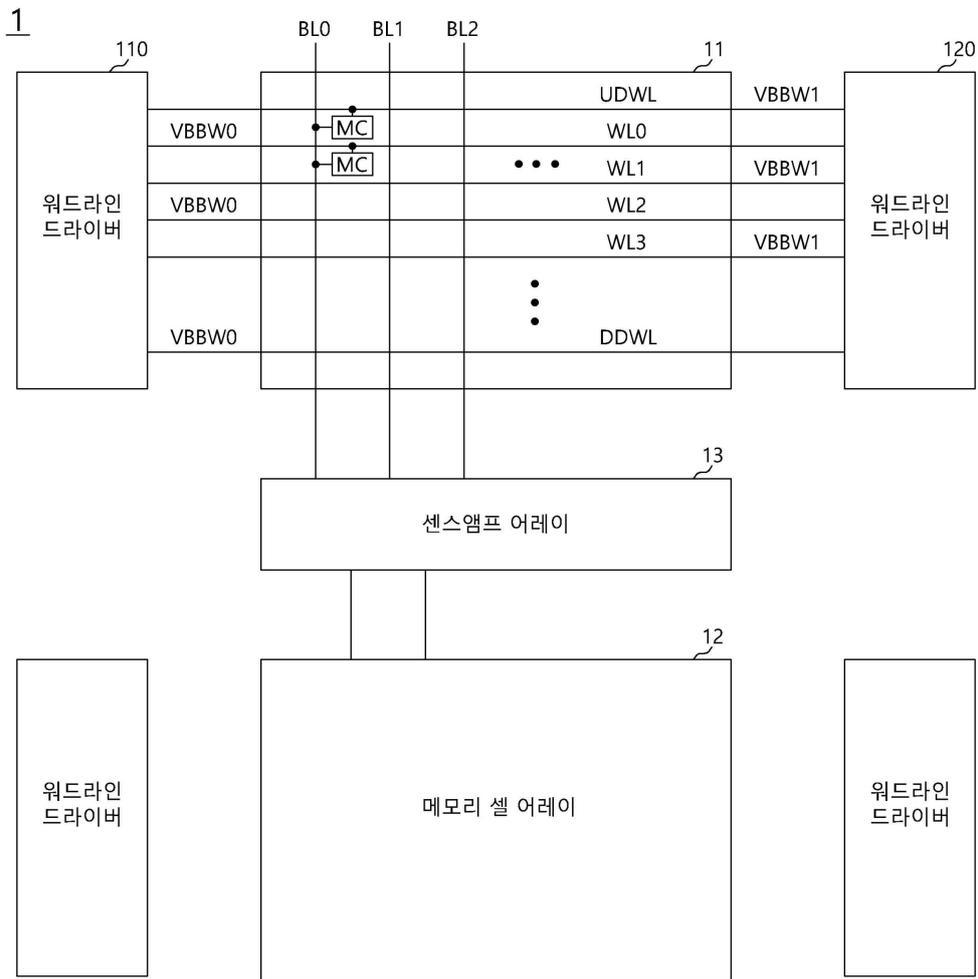
[0035] 이후, 상기 반도체 메모리 장치(1)는 메모리 셀에 저장된 데이터를 리드할 수 있다(703). 상기 반도체 메모리 장치(1)는 상기 메모리 셀로부터 리드된 데이터와 저장된 데이터가 동일한지 여부를 판단할 수 있다(704). 상기 오드 워드라인(WL0, WL2)과 연결된 메모리 셀로부터 리드된 데이터가 저장된 데이터와 동일한 경우, 즉 1인 경우, 상기 메모리 셀은 정상 메모리 셀로 판단될 수 있다(705). 만약 상기 오드 워드라인(WL0, WL2)과 연결된 메모리 셀로부터 리드된 데이터가 저장된 데이터와 다른 경우, 즉 1이 아닌 경우, 상기 메모리 셀은 GIDL로 인해 데이터를 유실한 것으로 판단되고 불량 메모리 셀로 판단될 수 있다(706).

[0036] 위와 같은 과정은, 오드 워드라인(WL0, WL2)과 연결된 메모리 셀에 0 데이터를 저장하고 이븐 워드라인(WL1)과 연결된 메모리 셀에 1 데이터를 저장한 후, 오드 워드라인(WL0, WL2)을 제 2 저전압(VBBW1)으로 프리차지하고 이븐 워드라인(WL1, WL3)을 제 1 저전압(VBBW1)으로 프리차지시켜 동일하게 반복될 수 있다. 위와 같이, 본 발명의 실시예에 따른 반도체 메모리 장치는 웨이퍼 레벨에서 GIDL에 취약한 메모리 셀을 효율적으로 스크린할 수 있다. 따라서, 반도체 메모리 장치의 제조 비용을 감소시키고, 반도체 메모리 장치의 신뢰성을 향상시킬 수 있다.

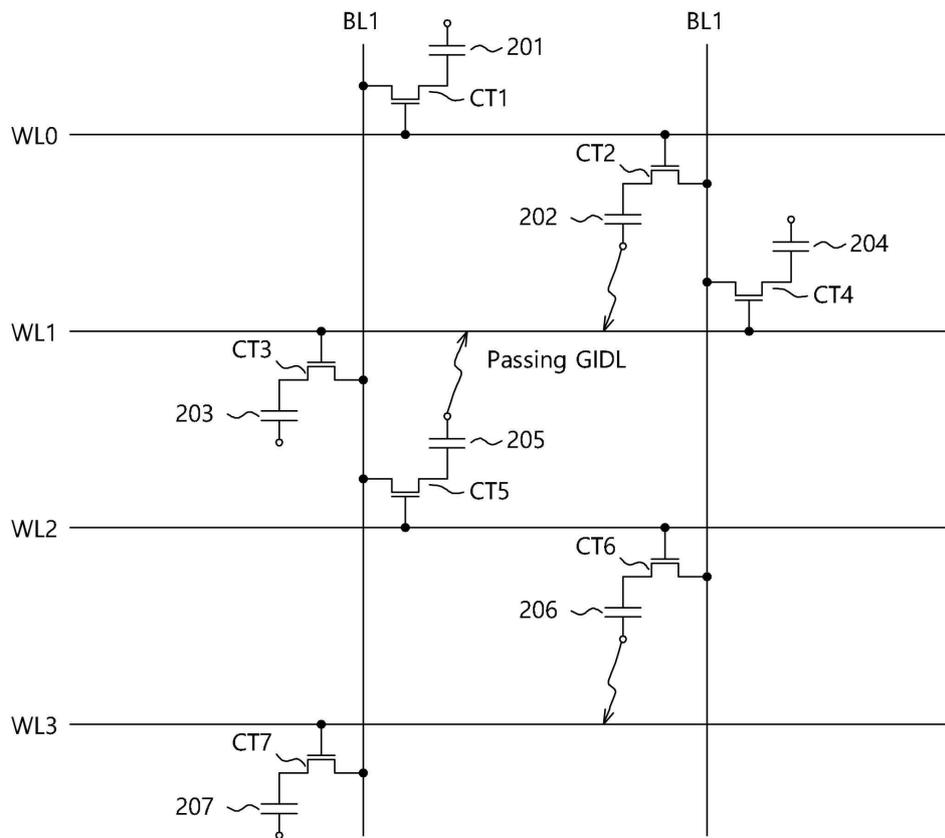
[0037] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

도면1

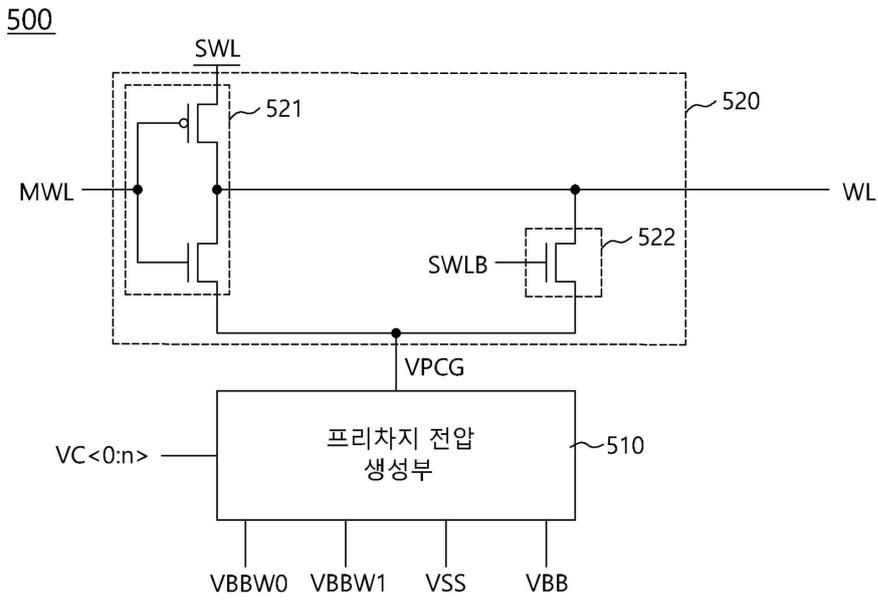


도면2

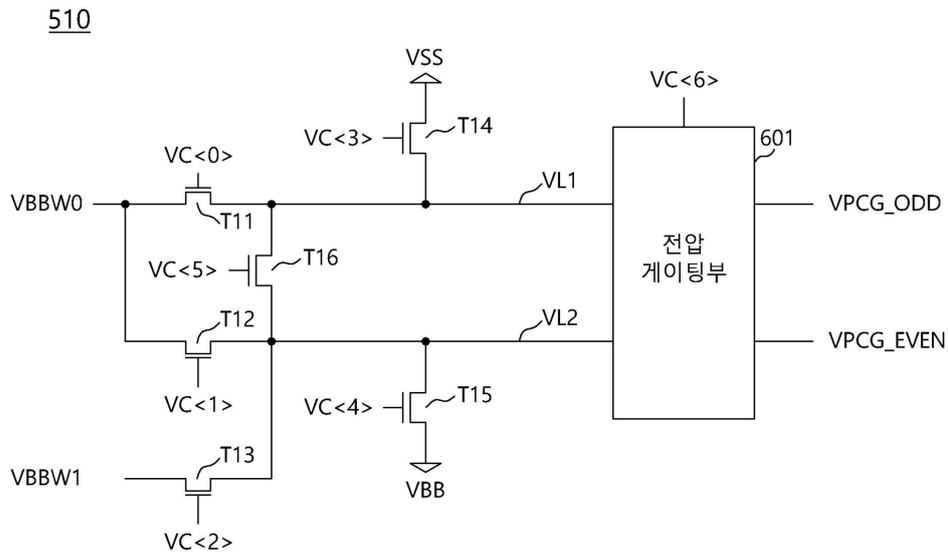




도면5



도면6



도면7

