

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008年1月17日 (17.01.2008)

PCT

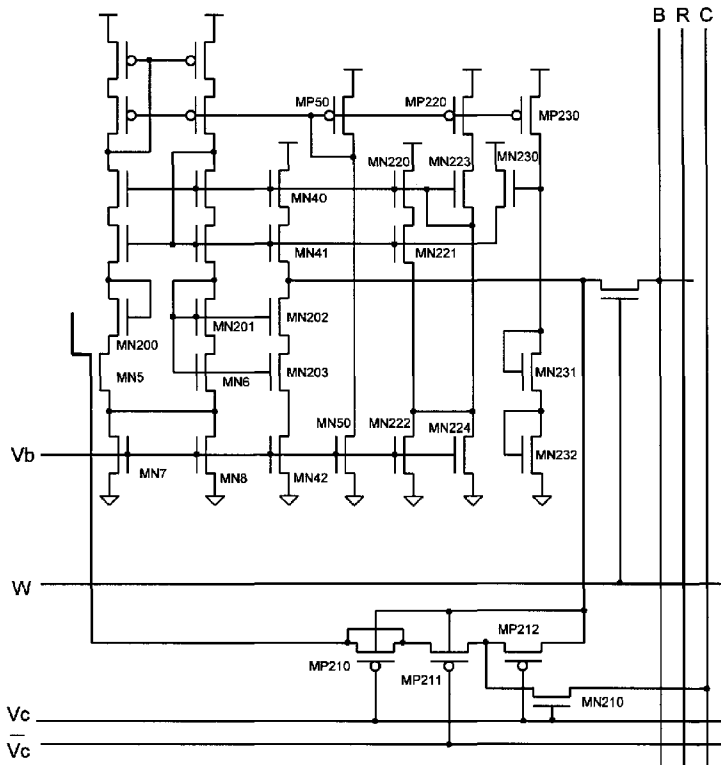
(10) 国際公開番号
WO 2008/007716 A1

- (51) 国際特許分類:
G01N 27/414 (2006.01) C12M 1/34 (2006.01)
G01N 27/416 (2006.01)
- (21) 国際出願番号: PCT/JP2007/063847
- (22) 国際出願日: 2007年7月11日 (11.07.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-193425 2006年7月13日 (13.07.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学
法人名古屋大学 (NATIONAL UNIVERSITY CORPO-
RATION NAGOYA UNIVERSITY) [JP/JP]; 〒4648601
愛知県名古屋市中区丸の内2丁目1番1号 Aichi (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中里 和郎
(NAKAZATO, Kazuo) [JP/JP]; 〒4648601 愛知県名古屋市中区丸の内2丁目1番1号 Aichi (JP).
- (74) 代理人: 藤谷 修 (FUJITANI, Osamu); 〒4600002 愛知
県名古屋市中区丸の内2丁目18番25号丸の内
KSビル16階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP,
KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME,
MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,
OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK,
SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: MATERIAL DETECTION DEVICE

(54) 発明の名称: 物質検出装置



(57) Abstract: [PROBLEMS]
To downsize a material detection device and realize high detection accuracy. [MEANS FOR SOLVING PROBLEMS] A charge detecting field effect transistor and its control circuit are built in each of cells so as to control the drain-source voltage and a drain current of the charge detecting field effect transistor are kept constant. By forming the control circuit by CMOS and using the standard CMOS integrated circuit technique, it is possible to form the control circuit with a small area with a small number of parts.

(57) 要約: 【課題】物質検出装置の小型化、高検出精度の実現
【解決手段】各セルに電荷検出用電界効果トランジスタと、その制御回路を組み込み、電荷検出用電界効果トランジスタのドレイン-ソース間電圧、ドレイン電流が常に一定となるように制御する。この制御回路をCMOSで構成することにより、標準CMOS集積回路技術を用い、部品点数が少なく小さな面積で形成することができる。

WO 2008/007716 A1



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

物質検出装置

技術分野

[0001] 本発明は、DNA、生物細胞群、生体分子、生体物質、その他、電荷を有する物質、電荷分布、電荷の変化、容量変化をもたらす現象を検出する物質検出装置に関する。特に、電荷検出用トランジスタを行列状に配置し、制御回路と共に同一チップ上に集積したCMOSのバイオチップに関する。特に、DNAの塩基配列を電氣的に同定する物質検出装置のDNAチップに関する。

背景技術

[0002] 溶液中のイオン電荷を検出する方法として図1に示す電荷検出トランジスタISFET (Ion Sensitive Field Effect Transistor)が使われている。このトランジスタは基本的に金属-酸化膜-半導体電界効果型トランジスタMOSFET (Metal-Oxide-Semiconductor Field Effect Transistor)においてゲート電極が無く、ゲート絶縁膜に直接溶液が接しているものである。ISFETについては例えば、下記非特許文献1に詳しい記述がある。

[0003] P型シリコン基板1の中に高濃度N型拡散層によりソース領域2およびドレイン領域3を形成し、基板表面にゲート絶縁膜4を設ける。このゲート絶縁膜4の上には溶液5が接し、溶液5の中に参照電極6を設ける。ソース2およびドレイン3の間のSi表面に反転層7が形成されるようにバイアスを設定し、反転層を流れる電流から溶液中のイオン電荷を検出する。通常、ISFETは定電流で動作させ、この場合には参照電極6とソース2の間の電位差を検出することになる。特定のイオンの存在を検出するには、イオンが存在しない溶液と調べたい溶液とでの電位差を測定するが、イオン電荷により生じる電位差は数10mVと小さく、その検出法には特別な注意が必要である。

[0004] 従来のISFET制御回路の例を図2に示す。ISFETの閾値は製造ばらつきがあり、検出精度はその製造ばらつきよりも小さなものが要求されるため、ゲート電位差を逐次記憶し、測定の前後でその測定値を比較する方法が用いられる。この方法では、製造ばらつきを小さく抑えることよりも、製造後のトランジスタの特性変動やゲート絶縁膜

の劣化を最小限に抑えることが求められる。

- [0005] 図2において、参照電極は常にグランドに接地されている。直流電源 U_{ref} からの電流は、ノードN1を通る抵抗 R_{01} と R_{02} との直列接続経路と、ノードN2を通る抵抗 R_{03} とISFETとの直列接続経路からなる。オペアンプにより、ノードN1とノードN2が同一電位となるように調整される。これにより、ISFETには一定のドレイン電流 $R_{01}U_{ref} / (R_{01} + R_{02})$ が流れ、ドレイン・ソース間の電圧が一定値 $R_{02} U_{ref} / (R_{01} + R_{02})$ に保たれ、これらのトランジスタ動作点を満たすように U_{out} が決まる。ISFETをソース・フォロワーとして用いることにより、検出範囲を大きくしている。また、ISFETは常にON状態に保たれ、溶液中に特異な電荷が発生しても反転層でのキャリア移動により補償されるようになっており、ゲート絶縁膜の劣化が起こりにくいように保たれる。更にドレイン・ソース間電圧は常に比較的低い電圧(例えば0.5V)に保たれ、ホットエレクトロンの発生を防ぐことにより、ゲート絶縁膜の劣化や表面準位が発生しないように保っている。また、 U_{out} にはダイオードD1, D2が並列接続され、ISFETのソース電圧が常に-1.3V~3Vに保たれるように保護している。
- [0006] また、下記特許文献1には、電荷検出用トランジスタと参照用トランジスタとで差動増幅回路を構成して、物質がゲート上に存在する場合と存在しない場合との差信号を出力することで、検出精度を向上させる技術が開示されている。
- [0007] また、下記特許文献2には、電荷検出用トランジスタと参照用トランジスタとをカレント・ミラー回路のドレイン側に挿入して、それらのドレイン出力を差動増幅する回路が開示されている。これも、特許文献1と同様に、物質がゲート上に存在する場合と存在しない場合との差信号を出力することで、検出精度を向上させている。
- [0008] また、特許文献3には、電荷検出用トランジスタのゲート電極に接続される試料測定用電極を充電して、容量分圧により、測定用電極上の物質を検出する回路が開示されている。また、この文献には、電荷検出用トランジスタのゲート電極を充電した後、遮断して、ゲート電圧が低下する減衰特性を測定して、その減衰定数から物質を検出することが開示されている。
- [0009] また、特許文献5には、ゲートに一定電圧を印加して、ドレイン電流を一定とて、圧力を印加した時に変化するドレイン電圧で、圧力を測定する技術が開示されている。

また、特許文献6には、検出用のFETと非検出のFETとの差動出力で、検出用FETで化学物質を検出するセンサが開示されている。

また、特許文献7には、各種の大きさの検出面積を有した素子を用いて核酸を定量する装置が開示されている。これらの何れの文献においても、基本的には差動増幅を用いるものである。

- [0010] 非特許文献1:P. Bergveld, “Thirty years of ISFETOLOGY What happened in the past 30 years and what may happen in the next 30 years,” Sensors and Actuators B 88 (2003) pp. 1-20

特許文献1:特公平7-74793号

特許文献2:特開2005-207797

特許文献3:特開2003-4697

特許文献4:特表2006-503279

特許文献5:特開平2-184728

特許文献6:特開昭61-118652

特許文献7:特開2004-309462

発明の開示

発明が解決しようとする課題

- [0011] 図2は1個のISFET、1個のオペアンプ、3個の抵抗、2個のダイオード、1個の電池の個別部品を結線することにより装置を構成した場合に有効な回路であるが、ISFETを例えば16x16のマトリクス・アレイ状に配置し、制御回路を含めたすべての回路を1チップ上に集積した装置の場合にはあまり有効な回路ではない。制御回路はISFETを保護するためにあり、1個のISFETにつき1つの制御回路が必要であるが、オペアンプは大きな占有面積を占めるため、16x16個のセルそれぞれに入れるのは現実的ではない。また、オペアンプのような増幅率の高い回路は発振やノイズの発生要因となるのでセル内に入れるのはできるだけ避けたい。更に、直流電源 U_{ref} がグランド・レベルから浮いており、この電源の実現も困難である。

- [0012] 電荷検出トランジスタをマトリクス・アレイ状に配置するデバイスはDNAチップ等の多くの応用が見込める。電荷検出トランジスタ・アレイにより、超並列高スループットD

NAシーケンシング、小型で可搬型の医療検査装置が実現可能である。ベッドサイドや在宅医療に十分適応できる診断技術の開発は先端医療の最重要課題である。また、近年では食品などの流通の迅速化と領域の拡大により、感染症の発生は、従来のように一部領域に留まらず、爆発的な勢いで拡散し、大量の患者を発生する原因になっている。このような感染予防では迅速な対応が必要で、その1つに大規模な感染者を瞬時に同定する診断技術が必要である。このような診断技術を実現するデバイスとして、ここではDNAチップを例に述べる。DNAチップでは塩基配列の判っている複数のプローブDNAをマトリックス・アレイ上に固定しておく。次に調べたいターゲットDNAの溶液を浸ける。DNAはそれと相補的な塩基配列を持つDNAと2重螺旋を作ることから、2重螺旋形成の有無からターゲットDNAの塩基配列を同定することができる。

[0013] 一般的な方法としては、ターゲットDNAに蛍光体をつけ、プローブDNAと反応させた後、洗浄し、蛍光体の有無を検出することにより判定を行う。この方法ではターゲットDNAに蛍光体をつける、蛍光体の有無を検出する、等の手続きに時間がかかり、光学系のため装置が大型になる欠点がある。

[0014] 一方、電荷検出トランジスタによる方法では、操作が自動化され装置も小型化されるメリットがある。しかしながら検出電位は微弱であるため各セル内に制御回路を組み込む必要があるが、その回路は通常半導体集積素子を用い、面積が小さなものにしなければならない。ターゲットDNAの塩基配列同定には考えられるあらゆる塩基配列をもったプローブDNAと反応させることが望まれ、反応を1度に行うためには100～1000万個のセルを1チップ上に配置することが求められる。半導体チップのコストはチップ面積で決まり、チップ面積を小さくすることがコストダウンに直結するため、セルの面積を小さくすることが求められる。

[0015] 上記の文献は、基本的には、差動増幅を用いるものであり、上記した欠点を有している。

本発明は、上記の課題を解決するために成されたものであり、その目的は、小型で多種類又は平面的な分布を有する物質を検出する装置を実現することである。

また、発明の他の目的は、検出精度を向上させることである。

さらに、発明の他の目的は、一度で、未知のDNA構造を特定できる検出装置を実現することである。

また、他の目的は、小型化を実現したCMOSのバイオチップを実現することである。

課題を解決するための手段

[0016] 上記課題を解決するための第1の発明は、以下の通りである。

第1の発明は、電荷検出用電界効果トランジスタのゲートに付着する物質の電荷量を測定することで、この物質を特定する物質検出装置において、電荷検出用電界効果トランジスタと、電荷検出用電界効果トランジスタを流れる電流と端子間電圧を一定に制御するCMOSから成るカレント・ミラー回路からなる制御回路と、を1セルとして、該セルを行列配置させたことを特徴とする物質検出装置である。

[0017] 本件発明は、CMOS回路で構成し、電荷検出用電界効果トランジスタに対して、端子間電圧とトランジスタを流れる電流を一定とする制御回路とを、各セルに配置して、セルを行列配列させたことを特徴とする。電荷検出用トランジスタは、いわゆるイオン感応電界効果トランジスタ (ISFET) として知られているトランジスタを用いることができるが、ゲート上に付着する物質の電荷によるゲート電位の変化によりチャンネルの抵抗が変化するトランジスタであれば、なんでも良い。MOSFET, MISFET, HEMT, MESFETなどの電界効果トランジスタを用いることができる。また、ゲート電極は存在しても、存在しなくとも良い。後述するようにゲート電極を有する電荷検出用電界効果トランジスタを用いた場合には、各セルのトランジスタの初期動作点を同一に制御し、また、感度や線形性の高い動作点を任意に選択することができ、精度の高い検出が可能となる。本発明は、特に、CMOSのバイオチップとして、有効である。

[0018] 第2の発明は、第1の発明において、制御回路は、電荷検出用電界効果トランジスタが一方の電流路に挿入され、第1抵抗、第1トランジスタ、又は、第1ダイオードが他方の電流路に電荷検出用電界効果トランジスタと対称位置に挿入され、PMOSFETによる第1カレント・ミラー回路とNMOSFETによる第2カレント・ミラー回路との直列接続と、その直列接続のカレント・ミラー回路に対して一定の電流を供給する電流源とから構成されることを特徴とする。

[0019] 本件発明は、電荷検出用トランジスタと第1抵抗、第1トランジスタ、又は、第1ダイオードとを対称位置に、2つの電流路に挿入したPMOSFETとNMOSFETとのカレント・ミラー回路で構成したことが特徴である。PMOSFETとNMOSFETとの直列接続がCMOS回路を構成している。回路の負荷抵抗として機能する第1抵抗は、抵抗の他、トランジスタ、ダイオードにより抵抗を実現しても良い。トランジスタやダイオードで負荷抵抗を実現することで、セルの寸法を小さくすることができる。特に、100万個のようにセルを大規模に集積する場合に、トランジスタやダイオードを用いるとセルの大きさを小さくできるので有効である。

[0020] 第3の発明は、第2の発明において、第1カレント・ミラー回路は、PMOSFETによるカスコード接続回路から成り、第2カレント・ミラー回路は、NMOSFETによるカスコード接続回路から成ることを特徴とする。

ここで、カスコード接続回路は、各電流路において、共通の電流が流れるようにトランジスタのソースとドレインを接続することである。各電流路の対称位置にあるトランジスタのゲートは同一電位に接続されている。電荷検出用トランジスタは、通常は、ソース側に挿入される。使用される電源電圧の極性により、PMOSFETとNMOSFETは最適に配置される。

[0021] 第4の発明は、第3の発明において、第1カレント・ミラー回路と第2カレント・ミラー回路とは、それぞれの電流路に挿入された第2抵抗、第2トランジスタ、又は、第2ダイオードと、第3抵抗、第3トランジスタ、又は、第3ダイオードを介して、それぞれ、直列接続されていることを特徴とする。

第2抵抗又は第3抵抗、又は、第2トランジスタ又は第3トランジスタ、又は、第2ダイオード又は第3ダイオードの電位の低い側の端子をカスコード接続されたPMOSFETのゲートに接続し、第3抵抗又は第2抵抗、又は、第3トランジスタ又は第2トランジスタ、又は、第3ダイオード又は第2ダイオードの電位の高い側の端子をNMOSFETのゲートに接続する。これらの抵抗又はトランジスタ又はダイオードにより、カスコード接続されたトランジスタにバイアスを与えることができる。

[0022] 第5の発明は、第1乃至第4の発明の何れか1の発明において、電流源は、負荷である第4抵抗、第4トランジスタ、又は、第4ダイオードを有したカレント・ミラー回路によ

り、定電流が供給される回路であることを特徴とする。

[0023] 第6の発明は、第5の発明において、第1抵抗、第2抵抗、第3抵抗、第4抵抗又は、第1トランジスタ、第2トランジスタ、第3トランジスタ、第4トランジスタ、又は、第1ダイオード、第2ダイオード、第3ダイオード、第4ダイオードは、同じ材料で形成されることを特徴とする。これにより、各抵抗、各トランジスタ、各ダイオードの温度係数を一定とすることができ、特性の温度変動を抑制することができる。

[0024] 第7の発明は、第1乃至第6の発明の何れか1つの発明において、各セルは、電荷検出用電界効果トランジスタと同一構成の参照用電界効果トランジスタと、電荷検出用電界効果トランジスタを制御する制御回路と同一構成で、参照用電界効果トランジスタに電流を供給する参照用制御回路を有し、各セルは、電荷検出用電界効果トランジスタの動作状態に依存する出力信号と、参照用電界効果トランジスタの動作状態に依存する出力信号とを入力して差動増幅する第1差動増幅器を有することを特徴とする。

電荷検出用電界効果トランジスタと参照用電界効果トランジスタとは、同一特性を有するように構成されるのが望ましい。通常は同一特性を有するようにするため同一サイズのものを用いるが、同一特性を有するように構成されれば、大きさの差異はあっても良い。上記の出力信号は、電荷検出用電界効果トランジスタ、参照用電界効果トランジスタの、それぞれの動作状態、すなわち、ゲート電圧に応じて変化する出力信号であればどの点からの出力信号であっても良い。例えば、出力信号をソースホロワとして出力する場合には、電荷検出用電界効果トランジスタ、参照用電界効果トランジスタのソース端子の電位を出力信号とする。逆に、ドレインホロワとして出力する場合には、電荷検出用電界効果トランジスタ、参照用電界効果トランジスタのドレイン端子の電位を出力信号とすることも可能である。しかし、これらのトランジスタのゲート電圧に応じた電位を出力できれば良いので、トランジスタのソース端子であっても、ドレイン端子であっても良いし、電荷検出用電界効果トランジスタや参照用電界効果トランジスタと、対称位置に存在する第1抵抗、第1トランジスタ、又は第1ダイオードの端子電位を出力信号としても良い。

[0025] 第8の発明は、第1乃至第6の発明の何れか1つの発明において、セルの行列配列

の領域の周辺部において、各行毎に、電荷検出用電界効果トランジスタと同一構成の参照用電界効果トランジスタと、電荷検出用電界効果トランジスタを制御する制御回路と同一構成で、参照用電界効果トランジスタに電流を供給する参照用制御回路を有し、各行毎に、電荷検出用電界効果トランジスタの動作状態に依存する出力信号と、参照用電界効果トランジスタの動作状態に依存する出力信号とを入力して差動増幅する第2差動増幅器を有することを特徴とする。

参照用電界効果トランジスタと参照用制御回路は、全てのセルにおいて共通に1つ設けることでも良いが、セルの行列配置が矩形となることを考えれば、行単位で、これらの回路を設けるのが、設計上望ましいと言える。また、ここで、行とは、セルのx軸、y軸に沿った行列配置のうちの、一方の軸方向の配列の意味である。出力信号の意味は、第7の発明と同一である。

[0026] 第9の発明は、第1乃至第6の発明の何れか1つの発明において、各セルは、電荷検出用電界効果トランジスタのソースにゲートが接続された出力トランジスタと、その出力トランジスタのソース側に接続され、出力トランジスタの出力を外部の選択信号に応じて通過・遮断して、出力信号をセルの外部に出力するパスゲート・トランジスタと、パスゲート・トランジスタの出力信号をセルの行列配置領域の周辺部に伝送する信号線路とを有することを特徴とする。

選択信号は、行単位、列単位での選択の他、行と列の両者が選択されたところの1つのセルを特定する信号であっても良い。

[0027] 第10の発明は、第9の発明において、セルの行列配置領域の周辺部に設けられ、信号線路からの出力信号を一方の入力端に入力する第3差動増幅器と、第3差動増幅器の2入力端間を接続する抵抗又はトランジスタと、第3差動増幅器の他の入力端と、各セルとを接続する帰還線路と、各セルにおいて設けられ、外部の選択信号に応じて、信号を通過・遮断し、帰還線路を介して、帰還した出力信号を共通電位に帰還させる還流トランジスタとを有することを特徴とする。

選択信号の意味は、第9の発明と同一である。よって、第3差動増幅器は、選択信号が行選択であれば、列単位で設けられ、その数は列の数となる。逆に、第3差動増幅器は、選択信号が列選択であれば、行単位で設けられ、その数は行の数となる。

また、選択信号がセル単位であれば、第3差動増幅器はセルの数に等しくなる。第3差動増幅器はオペアンプを含む概念である。上記の第2差動増幅器の配置に関しても、第3差動増幅器の配置と同様である。

[0028] 第11の発明は、第1乃至第10の発明の何れか1つの発明において、電荷検出用電界効果トランジスタは、絶縁膜上にゲート電極を有することを特徴とする。

[0029] 第12の発明は、第11の発明において、このゲート電極に対して充電又は遮断する充電用トランジスタを有することを特徴とする。電荷検出用電界効果トランジスタの初期動作点を設定するために、充電用トランジスタが設けられる。測定時には、充電用トランジスタはオフ状態となる。測定に影響を与えないためには、この充電用トランジスタの漏れ電流はできるだけ小さい方が望ましいが、測定時間における漏れ電流が無視できれば良い。また、漏れ電流を小さくするには、充電用トランジスタがオフの間であっても、充電用電源の電圧は、そのトランジスタに印加されている方が良い。

[0030] 第13の発明は、第7の発明において、各セルの参照用電界効果トランジスタは絶縁膜上にゲート電極を有し、各セルは、外部の充電制御信号により、このゲート電極に対して通電又は遮電する第1充電用トランジスタを有し、各セルの電荷検出用電界効果トランジスタは絶縁膜上にゲート電極を有し、各セルは、電荷検出用電界効果トランジスタの動作状態に依存する出力信号と、参照用電界効果トランジスタの動作状態に依存する出力信号とを入力して差動増幅する第4差動増幅器と、充電制御信号により通電又は遮電するトランジスタであって、この差動増幅器の出力を、電荷検出用電界効果トランジスタのゲート電極に印加する第2充電用トランジスタを有することを特徴とする。

出力信号の意味は、第7の発明と同一である。ゲート電極を有する参照用電界効果トランジスタと参照用制御回路とを各セルに設けたことが特徴である。差信号により、物質を検出するので、精度の高い検出が実行できる。

[0031] 第14の発明は、第8の発明において、参照用電界効果トランジスタは絶縁膜上にゲート電極を有し、外部の充電制御信号により、このゲート電極に対して通電又は遮電する第1充電用トランジスタを有し、各セルの電荷検出用電界効果トランジスタは絶縁膜上にゲート電極を有し、電荷検出用電界効果トランジスタの動作状態に依存

する出力信号と、参照用電界効果トランジスタの動作状態に依存する出力信号との差動増幅電圧を、電荷検出用電界効果トランジスタのゲート電極に印加し、充電制御信号により通電又は遮電する第2充電用トランジスタを有することを特徴とする。

出力信号の意味は、第7の発明と同一である。参照用電界効果トランジスタと参照用制御回路とを行単位で設けることで、装置全体を小型化でき、構造を簡単化できる。

[0032] 第15の発明は、第11乃至第14の何れかの発明において、電荷検出用電界効果トランジスタのゲート電極は、電荷検出用電界効果トランジスタ及び前記制御回路の直上に拡張された拡張ゲート電極であることを特徴とする。

ゲート電極を制御回路の直上にまで形成して、小型化したことが特徴である。

[0033] 第16の発明は、第15の発明のゲート電極の拡張を、参照用電界効果トランジスタにも、用いたことが特徴である。

[0034] 第17の発明は、第1乃至第16の発明の何れか1つの発明において、各セルに供給する電源電圧が3Vから-1.3Vの間にあることを特長とする。

[0035] 第18の発明は、第1乃至第17の発明の何れか1つの発明において、セルの行列配置の1つの行を選択するワード線と各列のセルからの信号を伝達するビット線を有することを特徴とする。

[0036] 第19の発明は、第13、第14の発明において、第1充電用トランジスタ、第2充電用トランジスタに対して、それぞれ、それらのトランジスタがオフ状態の時に、ソース、ドレイン間端子電圧を零とするように、参照用電界効果トランジスタのゲート電極、電荷検出用電界効果トランジスタのゲート電極に接続されていない側の端子に、ゲート電極の電位に相当する電位を印加する第5トランジスタ、第6トランジスタを有することを特徴とする物質検出装置である。

[0037] 第20の発明は、第13、14、19の発明において、参照用電界効果トランジスタのゲート電極と第5トランジスタとの間に配設され、第1充電用トランジスタのオフ時にそのチャンネルの電荷を吸収する第7トランジスタと、電荷検出用電界効果トランジスタのゲート電極との間に配設され、第2充電用トランジスタのオフ時のそのチャンネルの電荷を吸収する第8トランジスタを有することを特徴とする物質検出装置である。

[0038] 第21の発明は、第1乃至第20の何れか1の発明において、電荷検出用電界効果トランジスタのゲート電位を出力信号として出力する第2出力回路を有する物質検出装置である。

第22の発明は、第7、第8、第13乃至第21の何れかの発明において、参照用電界効果トランジスタのゲート電位を出力信号として出力する第1出力回路を有する物質検出装置である。

[0039] 第23の発明は、第21の発明において、電荷検出用電界効果トランジスタのゲート電位が低下した時に、第2出力回路の出力インピーダンスの上昇を抑制する第2スタートアップ回路を有することを特徴とする物質検出装置である。

[0040] 第24の発明は、第22の発明において、参照用電界効果トランジスタのゲート電位が低下した時に、第1出力回路の出力インピーダンスの上昇を抑制する第1スタートアップ回路を有することを特徴とする物質検出装置である。

[0041] 第25の発明は、第1乃至第24の何れか1の発明において、各セルのトランジスタに対するバイアス電圧を付与する回路であって、隣接するセル間における少なくとも電荷検出用トランジスタを流れる基準電流を同一とするカレントミラー回路と、参照電流を入力して、基準電流をこの参照電流と同一とするカレントミラー回路とから成るバイアス回路を有することを特徴とする物質検出装置である。

[0042] 第26の発明は、第25の発明において、参照電流は、測定中にセルに対しては大きな値に、測定中ではないセルに対しては小さな値に制御されることを特徴とする物質検出装置である。

[0043] 第27の発明は、第1乃至第16の発明の何れか1つの発明において、物質検出装置は、DNA、生体分子、生物細胞群、生体物質のうち、何れか一つを検出する装置であることを特徴とする。

発明の効果

[0044] 第1、第2の発明では、CMOSから成るカレント・ミラー回路で各セルの制御回路を構成したことにより、セル内に小さな面積で制御回路を入れることができ、それぞれのセル内の電荷検出用電界効果トランジスタを保護することができる。

また、セルを行列配置とすることで、多数の物質を一度に検出することができる。ま

た、平面的に電荷分布を生じている物質であれば、その物質の平面的分布を検出することができる。また、NMOSFETとPMOSFETを組み合わせることにより部品点数が少なく低消費電力の回路を構成することができる。

- [0045] 第3の発明では、第1及び第2カレント・ミラー回路をMOSFETのカスコード接続したので、チャンネル長が短いMOSFETで生じるチャンネル長変調効果を低減することができる。したがって、チャンネル長の短いMOSFETを用いて小型化を図っても精度を確保することができる。
- [0046] 第4の発明では、カレント・ミラー制御に関与するトランジスタに対して、抵抗、トランジスタ、又は、ダイオードによりセルフバイアスを与えることができ、バイアス回路を必要とせず、回路構成を簡単にすることができる。
- [0047] 第5の発明により、カレント・ミラー回路に定電流を与えることができ、第6の発明では、各抵抗、各トランジスタ、又は、各ダイオードを同一材料で構成したので、抵抗やトランジスタやダイオードの温度変動による影響を排除することができる。
- [0048] 第7の発明では、各セルに検出すべき物質がゲートに付着しない参照用電界効果トランジスタを設けたので、検出信号を背景の参照信号と比較して出力するので、精度の高い検出が可能となる。また、第8の発明では、参照用電界効果トランジスタとその制御回路は、セルの行列配列の行単位で設けたことから、回路を小型化することができる。
- [0049] 第9の発明により、各セルでの検出された信号を出力することができ、第10の発明では、セルの行列配置の行単位で出力した信号を各セルに帰還させているので、同相ノイズによる影響を排除することができ、検出精度を向上させることができる。
- [0050] 第11の発明では、電荷検出用電界効果トランジスタのゲートにゲート電極を設けたので、ゲートを保護し自己組織化単分子膜によりDNAや生体分子の固定化がしやすくなる。また、第12の発明では、各セルの電荷検出用電界効果トランジスタの初期の動作点を最適な領域に設定することができる。また、第13の発明では、参照用電界効果トランジスタにおいてもゲート電極を有し、電荷検出用電界効果トランジスタの出力端子電位と参照用電界効果トランジスタの出力端子電位とが等しい状態になるように、電荷検出用電界効果トランジスタのゲート電極に電圧が印加される。よって、

回路が簡単となるとともに、電荷検出用及び参照用のトランジスタにおいて、初期動作を同一動作点で動作開始させることができる。

また、第14の発明では、参照用電界効果トランジスタ及びその制御回路をセルの行列配置の行毎に設けたことで、回路を小型化、簡略化できる。

- [0051] 第15の発明、第16の発明では、ゲート電極を制御回路の直上にまで形成している。このため、ゲート部とトランジスタ部を分離することができ、反応を行わせるゲート部のみをディスプレイザブルとし、トランジスタ部は繰り返し使用することにより、経済性にも優れた計測技術を開発できるとともに回路の高集積化を図ることができる。
- [0052] 第17の発明では、電極の電圧範囲を制限することにより、電極と溶液との電解反応を防ぐことができ、安定な動作を得ることができる。また、第18の発明では、行列配置の各セルの信号を行単位で出力させることができ、回路構成が簡単となる。
- [0053] 第19の発明では、電荷検出用トランジスタ、参照用トランジスタのゲート電極に電荷の充電が完了した後に、充電用トランジスタがオフしても、その端子間電圧差がないように電圧が印加されるので、ゲート電極からの電流の漏れを防止できる。したがって、測定精度が向上する。
- [0054] 第20の発明では、ゲート電極への蓄積キャリアの量を精度良く制御できるので、測定精度が向上する。
- [0055] 第21、22の発明では、電荷検出用トランジスタ、参照用トランジスタのゲート電位を出力信号とすることができ、測定精度を向上させることができる。
- [0056] 第23、第24の発明では、電荷検出用トランジスタ、参照用トランジスタのゲート電位が低下して、トランジスタがオフ状態になろうとした時に、スタートアップ回路により、出力回路のトランジスタが動作状態を維持するので、出力インピーダンスの低下が防止できる。また、次の測定時のトランジスタの立ち上がりを速くすることができる。
- [0057] 第25の発明では、各セルのトランジスタのバイアス電圧が参照電流により、同一値に制御できるので、各セル間の測定精度のばらつきを小さくすることができる。したがって、測定精度が向上する。
- [0058] 第26の発明では、測定中(走査中)のセルには、大きなドレイン電流を流して、測定精度を向上させ、休止中(走査されていない)のセルに対しては、小さなドレイン電流

を流すことができる。これにより、測定精度を向上させた状態で、省電力化を図ることができる。

[0059] 第27の発明により、各種の電荷を有した生体物体などの物質を検出するバイオセンサとして用いることが可能となる。

図面の簡単な説明

[0060] [図1]従来の電荷検出トランジスタ ISFETの断面図。

[図2]電荷検出トランジスタを制御する従来の回路図。

[図3]本発明の第1の実施例に係る検出装置の基本回路図。

[図4A]本発明の第1の実施例に係る検出装置の他の例を示した回路図。

[図4B]本発明の第1の実施例に係る検出装置の他の例を示した回路図。

[図5]図4Aの回路の動作波形を示した特性図。

[図6]本発明の第1の実施例に係る検出装置の他の例を示した回路図。

[図7]図6の回路の動作波形を示した特性図。

[図8]本発明の第1の実施例に係る検出装置の他の例を示した回路図。

[図9]図6の回路をマトリックス状に配置した実施例の検出装置を示した回路図。

[図10]図9の1つのセルを示した配置図。

[図11]従来のゲート電極付き電荷検出トランジスタ ISFETの断面図。

[図12]本発明の第2の実施例に係る検出装置の基本回路図。

[図13]本発明の第2の実施例に係る検出装置の他の例を示した基本回路図。

[図14]図13の回路によるDNA検出の原理を示す図。(a)はプローブのシングル・ストランドDNA9を付けた状態、(b)はターゲットのDNA10とハイブリダイゼーションした状態を示した図。

[図15]図12と図13の回路を組み合わせた本発明の第2実施例に係る検出装置の他の例を示した基本回路図。

[図16]本発明の第2の実施例に係る検出装置の他の例を示した回路図。

[図17]図16の回路の動作波形を示した特性図。

[図18]本発明の第2実施例に係る検出装置の図16の回路をマトリックス状に配置した検出装置の回路図。

[図19]本発明の第2の実施例に係る検出装置の他の例を示した回路図。

[図20]図19の回路をマトリクス状に配置した検出装置の回路図。

[図21]本発明の第3実施例に係る検出装置の回路図。

[図22]本発明の第3実施例に係る検出装置の他の構成を示した回路図。

[図23A]第3実施例にかかる図21の検出装置の入出力特性の測定結果を示す特性図。

[図23B]第3実施例にかかる図21の検出装置の入力電圧対全ドレイン電流特性の測定結果を示す特性図。

[図24]第3実施例にかかる図21の検出装置の出力と入力との差の全ドレイン電流に対する特性の測定結果を示す特性図。

[図25]第3実施例にかかる図21の検出装置において、純水とリン酸バッファ液を交互にチップ上に供給した時の出力の時間変化特性の測定結果を示す特性図。

[図26]第3実施例にかかる図21の検出装置の周波数応答特性の測定結果を示す特性図。

[図27]第3実施例にかかる図22の検出装置を改良した検出装置の構成を示した回路図。

[図28]図27の検出装置のバイアス回路の構成を示した回路図。

[図29]第3実施例にかかる図22の検出装置における各セルの読み込みの回路を示した回路図。

[図30]図29の回路の実際の集積回路のパターンを示した図。

符号の説明

- [0061]
- 1:P基板
 - 2:ソース
 - 3:ドレイン
 - 4:ゲート絶縁膜
 - 5:溶液
 - 6:参照電極
 - 7:反転層

8:ゲート電極

9:プローブDNA

10:ターゲットDNA

R01, R02, R03, R1, R2, R3, R4, R5, R6, RL1, RL2, RLn: 抵抗

D1, D2: ダイオード

MN1, MN2, MN3, MN4, MN7, MN8, MN10, MN11, MN20, MN21, MN22, MN23, MN24, MN25, MN26, MN27, MN28, MN30, MN31, MN32, MN33, MN40, MN41, MN42, MN43, MN50, MN51, MN52, MN53, MN54, MN55, MN101, MN102, MN103, MN104, MN110, MN111, MN112: N型MOSFET

MP1, MP2, MP3, MP4, MP50, MP51, MP101, MP102, MP103, MP104, MP110, MP111: P型MOSFET

DA1, DA2, DAn, Damp, D1, D2, D11, D12, D1n, D21, D22, D2n: 差動増幅器

SW, SW1, SW2, SWn: スイッチ

W1, W2, Wm: ワード線

B1, B2, Bn: 信号ビット線

G1, G2, Gn: グランド・ビット線

R1, R2, Rn: レファレンス線

C1, C2, Cn: キャリブレーション線

発明を実施するための最良の形態

[0062] 以下、本発明を望ましい実施の形態に基づいて説明する。本件発明は、以下の実施例に限定されるものではない。

実施例 1

[0063] 図3に本発明の基本回路を示す。PMOSFETであるMP1, MP2, NMOSFETであるMN1, MN2は常に飽和領域で動作するようにバイアスが設定されている。MP1とMP2、MN1とMN2は、それぞれ同一サイズのトランジスタを用い、近接して設けることにより、特性が揃うようにする。MP1およびMP2は第1カレント・ミラー回路を構成し、MN1及びMN2は、第2カレントミラー回路を構成する。これらのカレントミラー回路により、MP1, MN1, ISFETを流れる電流とMP2, MN2, 第1抵抗である抵抗R1を流れる電流を同一

の電流 $I/2$ にする。ISFETが検出用電界効果トランジスタである。以下、本明細書において、PMOSFETは、単に、記号MPとその後の番号で表す。NMOSFETは、単に、記号MNとその後の番号で表す。

[0064] 更にMN1とMN2を流れる電流が同一の場合にはノードN3とN4の電圧はN5の電圧からMN1, MN2の閾値とオーバードライブ電圧を引いた電圧となり、MN1, MN2の特性が同一であればN3とN4が同電位となる。これにより、ISFETには一定のドレイン電流 $I/2$ 、一定のドレイン-ソース間電圧 $R1 \cdot I/2$ が印加される。参照電極はグランド・レベルに固定され、ISFETの動作点に対応して出力電圧 V_{out} が決まる。 $VDD=3V$, $VSS=-1.3V$ とすることにより、ISFETのソース電圧は $-1.3 \sim 3V$ の範囲に制限される。以上から、図2と同一の機能を図3の回路で実現することができる。図3の回路は、CMOS集積回路を用いることにより小さな面積で実現でき、更に、オペアンプを用いた場合に比べ発振等の動作上の不安定要因が無い利点を持っている。なお、抵抗 $R1$ に代えて、トランジスタやダイオードを用いることも可能である。トランジスタやダイオードを用いることで、素子寸法を小さくでき、セルの集積度を向上させることができる。

[0065] [チャンネル長変調効果の改善回路]

図3の回路において、MOSFETであるMP1, MP2, MN1, MN2のチャンネル長変調効果により、両経路の電流およびノードN3とN4の電位に差が生じ、所望の特性を得ることは困難である。この欠点を改良した回路を図4Aに示す。ここで新たに付加されたMP3, MP4はPMOSFET、MN3, MN4はNMOSFETである。MP1, MP2, MN1, MN2にそれぞれカスコード接続のトランジスタMP3, MP4, MN3, MN4を付加している。MP1, MP2, MP3, MP4が第1カレントミラー回路であり、MN1, MN2, MN3, MN4が第2カレントミラー回路である。カスコード接続することによりチャンネル長変調効果を $1/(gm \cdot ro)$ に小さくすることができる。ここに gm , ro はMN3, MN4, MP3, MP4の相互コンダクタンス、出力抵抗であり、 $gm \cdot ro$ はおおよそ30の値を持つ。MN10は電流 I を生成する電流源である。MP1, MP2, MP3, MP4, MN1, MN2, MN3, MN4, MN10の動作領域は常に飽和領域にある。

[0066] 以下、 $0.35 \mu m$ の標準CMOSプロセスを用いて設計試作した結果を示す。電源電圧 $VDD=3V$, $VSS=-1.3V$ 、ISFETのドレイン-ソース間電圧 $0.45V$ 、ドレイン電流 $15 \mu A$

を設計値とした。これにより抵抗 $R1$ は $30\text{k}\Omega$ となる。トランジスタはドレイン飽和電圧が 0.2V 以下となるようにゲート幅を決め、チャンネル長変調効果が小さくなるようにチャンネル長を $1\mu\text{m}$ に定めた。この結果、 $MP1$, $MP2$, $MP3$, $MP4$ はチャンネル長 $1\mu\text{m}$ 、ゲート幅 $10\mu\text{m}$ のPMOSFET、 $MN1$, $MN2$, $MN3$, $MN4$ はチャンネル長 $1\mu\text{m}$ 、ゲート幅 $4\mu\text{m}$ のNMOSFET、 $MN10$ はチャンネル長 $1\mu\text{m}$ 、ゲート幅 $10\mu\text{m}$ のNMOSFETを用いた。 $MN10$ に流れる電流が $30\mu\text{A}$ となるように V_b を調整し、 $V_b=-0.63\text{V}$ とした。飽和動作する条件から $V_{b1}=1.8\text{V}$, $V_{b2}=3\text{V}$ に設定した。図5に動作波形を示す。 V_G はISFETのゲート絶縁膜直上の電位である。 V_G が -0.5V から 2.2V の範囲でISFETのソース電圧 V_S は V_G に比例し、ドレイン電圧 V_D と V_S の差は設計値の 0.45V にほぼ保たれている。

[0067] また、この領域でISFETのドレイン電流 I_D は約 $15\mu\text{A}$ に保たれている。 V_S の V_G に対する傾きは、基板バイアス効果により、1よりも小さく(約0.85に)なっている。この基板電圧依存性を除く方法としては、N型基板あるいはトリプル・ウエル構造にし、Pウエル層をISFETのソースに接続することが有効である。

また、図4Aの回路においても、抵抗 $R1$ に代えて、トランジスタやダイオードを用いても良い。

[0068] 図4Aの回路の数値を表1に示す。

[0069] [表1]

設計項目		設計値
電源	VDD	3V
	VSS	-1.3V
	Vb	-0.63V
	Vb1	1.8V
	Vb2	3V
ISFET	ID	15 μ A
	VDS	0.45V
抵抗	R1	30k Ω
PMOSFET	MP1, MP2, MP3, MP4	L=1 μ m W=10 μ m
NMOSFET	MN1, MN2, MN3, MN4	L=1 μ m W=4 μ m
	MN10	L=1 μ m W=10 μ m

[0070] 図4Aの回路において抵抗R1に代えて、ダイオード接続した第1トランジスタを用いた例を図4Bに示す。図4Bでは、MN1、MN2のゲート電圧を入力とし、MN40、MN41、MN42で構成されるカスコード接続のソースフォロワーにより出力電圧Voutを得ている。このMN40、MN41、MN42で構成される回路が第2出力回路である。また、後述するように、参照用の回路を用いる場合には、参照用電界効果トランジスタに対する同一の回路が第1出力回路である。MN5とMN6の特性が同じであればMN5のゲート電圧はノードN6の電圧に等しくなり、MN1、MN2、MN41の特性が同じであれば、VoutはノードN6の電圧に等しくなる。従って、VoutはISFETのゲート

電圧にほぼ近い値となる。MN5とMN6、MN1とMN2とMN4はセル内の近接した場所に形成され特性が揃うので、閾値ばらつきや基板バイアス効果に対し、改善された出力を得ることができる。

[0071] [カスケード接続トランジスタのバイアス]

図4Aの回路は電源電圧VDD, VSSの他に3つのバイアスVb, Vb1, Vb2が必要である。これらの電圧を自動的に発生させた回路を図6に示す。電流源は、第4抵抗を構成する抵抗R2と、MN11とMN10とで構成されるカレントミラーで構成されている。MN10を流れる電流はカレント・ミラーによりNMOSFETであるMN11に流れる電流から移される。MN11を流れる電流は抵抗R2とダイオード接続されたトランジスタMN11から決まる。MN11のダイオード電圧を無視すれば電流は $I = (VDD - VSS) / R2$ で与えられる。第2抵抗であるR3はその両端にMP1の飽和ドレイン電圧D以上が発生するように設定する: $R3 > 2D / I$ 。同様に第3抵抗であるR4はその両端にMN2の飽和ドレイン電圧D以上が発生するように設定する: $R4 > 2D / I$ 。

[0072] R3による降下電圧をMP1, MP2のソースとドレイン間に印加し、R4による降下電圧をMN1, MN2のドレインとソース間に印加するようにしている。これにより、カレントミラーのトランジスタが飽和動作するようにバイアスを与えている。ISFETには、一定のドレイン電流 $I/2$ 、一定のドレイン・ソース間電圧 $VDS = I R1 / 2$ が印加される。R3, R4の両端に発生する電圧、ISFETドレイン・ソース間電圧はおおよそ抵抗比 $R3/R2$, $R4/R2$, $R1/R2$ で決まるため、これらの抵抗を同一材料で形成することにより、抵抗・MOSFET特性の温度による変動の影響を受けにくくなる。

[0073] しかし、ISFETに流れる電流は抵抗R2の温度による変動の影響を受ける。設計は図4Aと同一とし、R2は $120k\ \Omega$, R3, R4は $15k\ \Omega$ とした。R1が $30k\ \Omega$ であることから、これを基本抵抗とし、R2は4個直列、R3, R4は2個並列で形成した。このようにすることにより、シート抵抗・コンタクト抵抗の成分を含めて、R1, R2, R3, R4の比はすべての温度で一定に保たれる。MN11はMN10と同じチャンネル長 $1\ \mu m$ 、ゲート幅 $10\ \mu m$ のNMOSFETを用いた。MN10, MN11を流れる電流を $30\ \mu A$ としているため、電源電圧VDD=3V, VSS=-1.3Vで、 16×16 個のマトリクス・アレイを用いた場合、アレイ全体の消費電力は $16 \times 16 \times 2 \times 30\ \mu A \times 4.3V = 66mW$ である。図7に回路動作波形を示す。新たに抵

抗R3, R4を加えたことにより、図5に比べ、動作範囲の上限が2.2Vから1.8Vに減少している。しかしながら、外部からバイアスを供給する場合に比べ、回路に加わるノイズが低減する。

[0074] 図6に示す回路の回路定数を表2に示す。

[0075] [表2]

設計項目		設計値
電源	VDD	3V
	VSS	-1.3V
ISFET	ID	15 μ A
	VDS	0.45V
抵抗	R1	30k Ω
	R2	120k Ω
	R3, R4	15k Ω
PMOSFET	MP1, MP2, MP3, MP4	L=1 μ m W=10 μ m
NMOSFET	MN1, MN2, MN3, MN4	L=1 μ m W=4 μ m
	MN10, MN11	L=1 μ m W=10 μ m

[0076] 図6の回路において、抵抗R3, R4に代えて、トランジスタやダイオードを用いることも可能である。この場合にも、素子の寸法を小さくでき、同一面積当たりのセルの集積度を向上させることが可能となる。

[0077] 図6の回路において線形な出力電圧の範囲は $1.2V(VDD-VT-4D-VDS) \sim -1.1V(VSS+D)$ であり、電圧の高い部分で動作の制限が大きい。電圧の高いところでの検出を重視するにはPMOSFETとNMOSFETを交換した図8の回路を適用する。図8の回路において線形な出力電圧の範囲は $2.8V(VDD-D) \sim 0.5V(VSS+VT+4D+VDS)$ となる。図8の回路における抵抗 $R3, R4$ もトランジスタやダイオードに代えることが可能である。

[0078] [検出装置の全体構成回路]

図6の回路をセルとしてマトリックス・アレイ状に配置した回路を図9に示す。ワード線 $W1, W2, \dots, Wm$ の電圧は通常、トランジスタ $MN111, MN112$ のオフ・ゲート電圧(例えば VSS)に設定しているが、1つの列を選択するとき、対応するワード線の1本をオン・ゲート電圧(例えば VDD)に設定する。ここでは第1列を選択した場合を例にとり、 $W1$ の電圧は VDD , $W2, \dots, Wm$ には VSS の電圧が印加されているとする。このとき、パsgateトランジスタ $MN111, MN112$ がON状態になり、その列のセル信号がビット線対 $(B1, G1), (B2, G2), \dots, (Bn, Gn)$ に出力される。各ISFETの出力電圧を出力トランジスタであるソース・フォロワー $MN110$ で受け、電流モードで周辺回路の差動アンプ $DA1 \sim DAn$ に信号を伝達し、電流をセルに戻しグランドに接地している。 $MN112$ が還流トランジスタであり、ビット線 $B1 \sim Bn$ が信号線路であり、ビット線 $G1 \sim Gn$ が帰還線路である。これによりコモン・ノード・ノイズの影響を低減している。電流パスのビット線対の間に抵抗 $RL1, RL2, \dots, RLn$ を挿入し、抵抗間の電圧差を差動アンプ $DA1, DA2, \dots, DAn$ で増幅する。この差動アンプが第3差動増幅器に該当する。

[0079] 図10に図9の回路の1セル部分の配置図を示す。ISFETの大きさは $100 \mu m \times 100 \mu m$ 、制御回路を含むセルのサイズは $160 \mu m \times 140 \mu m$ である。温度による特性変動を小さくするため、抵抗 $R2$ は抵抗 $R1$ の4個直列、抵抗 $R3, R4$ は抵抗 $R1$ の2個並列を用いている。抵抗の加工寸法ばらつきを低減するため、抵抗の両端にダミー抵抗を設けている。

実施例 2

[0080] 図1はゲート絶縁膜4に直接溶液5が接している場合の電荷検出トランジスタであるが、図11に示すようにゲート絶縁膜4上にゲート電極8を設けた電荷検出トランジスタ

を用いても良い。ゲート電極を設けた電荷検出トランジスタによるDNA検出については、例えば P. Estrtela, P. Migliorato, H. Takiguchi, H. Fukushima, S. Nebashi, “Electrical detection of biomolecular interactions with metal-insulator-semiconductor diodes,” *Biosensors and Bioelectronics* 20 (2005) pp. 1580-1586に記述されている。

[0081] この場合、ゲート電極8はフローティング状態で用いることになるが、初期に電荷を与えることにより、閾値や初期電荷ばらつきの補正を行い、更にトランジスタの動作点を最適なところに設定することができる。

[0082] 図12はゲート電極付ISFETを用いた場合の本発明の基本回路である。このISFETが、ゲート電極を有した電荷検出用電界効果トランジスタである。ゲート電極にはMOSFETであるMN20を通してバイアスVgに接続されている。MN20が充電用トランジスタ、又は、第2充電用トランジスタである。最初にVcにオン・ゲート電圧(例えばVDD)を印加しMN20のトランジスタを導通状態にし、ゲート電極の電位をVgに設定する。この後、Vcにオフ・ゲート電圧(例えばVSS)を印加してMN20のトランジスタを非導通状態にする。このとき、トランジスタMN20のオフ・ドレイン電流を小さくすることによりISFETゲート電極の電荷量を一定の時間保持することができる。例えば、 $100\ \mu\text{m} \times 100\ \mu\text{m}$ のISFETゲート電極を用いた場合、溶液によるキャパシタンスはおおよそ1nFである。トランジスタのオフ電流は、良く設計されたトランジスタの場合、ばらつきを含めて10fA以下に抑えることができる。これにより、ISFETゲート電極の電荷を1日以上保持することができる。更に電荷保持時間を延ばすには、トランジスタMN20をオフ状態にした後、VgをISFETゲート電極の電圧に近い値に設定しておくことが有効である。

[0083] [参照用電界効果トランジスタを用いた例]

図13にゲート付ISFETを2つ用いた場合の構成を示す。ISFETaがゲート電極を有した参照用電界効果トランジスタであり、ISFETbがゲート電極を有した電荷検出用電界効果トランジスタである。最初にVcにオン・ゲート電圧を印加し、トランジスタMN20, MN21をオン状態にする。MN20が第1充電トランジスタ用トランジスタ、MN21が第2充電用トランジスタである。2つの回路からの出力a,bを差動アンプDampに入力し、その出力をMN21を通して、ISFETbのゲート電極にフィードバックする。このようにして、ISFETa, ISFETbの閾値差を自動的に補正し、a, bの電圧が同一になる。この後、Vcにオ

フ・ゲート電圧を印加してMN20, MN21をオフ状態にする。ISFETaをレファレンス、ISFETbを電荷変化の検出に用い、その出力電圧差を差動アンプDampで増幅した信号を出力する。差動アンプDampが第4差動増幅器、又は、第1差動増幅器である。これにより高精度な電荷検出が可能になる。なお、本例では補正と出力を同一の差動アンプDampで行っているが、補正の精度と検出入力電圧の範囲を別途最適化するために、異なるゲインを持った2個の差動アンプを用いる、あるいは差動アンプDampの出力とトランジスタMN21の間に増幅回路を挿入する、ことが有効である。なお、出力信号としては、ISFETaのソース端子、ISFETbのソース端子の電位を出力信号としているが、これらのトランジスタのゲート電圧により変化する電位であれば、出力信号となり得る。

[0084] [DNAの検出装置の例]

ここでDNAの検出法について図14を用いてより具体的に説明する。DNAは通常2重螺旋を形成しているが、解離温度(20°C~90°C:塩基配列に依る)以上で2つの一本鎖に分かれる。解離温度以下では塩基配列が相補的な場合に2重螺旋を形成する。また、一本鎖は長さ0.34nmあたり $-e$ (e は素電荷量)の電荷を持っている。

[0085] 最初に図14(a)のように、塩基配列の判っている一本鎖9(プローブDNA)を電極8に固定する。例えば電極8の表面を金で形成し、DNA9の末端をチオール化し、イオウ原子を通して金と結合させる。この後、バッファ液に浸し、図13の V_c にオン・ゲート電圧を加え、2つのISFETの出力電圧a, bを揃える。これにより、ISFETの閾値ばらつきだけでなく、DNAの付着の差による電荷のばらつきも補正することができる。この後、 V_c にオフ・ゲート電圧を加え、ゲート電極8をフローティング状態にする。この状態でISFETa, ISFETbの状態が変わらなければ、aとbの電圧は同一の値に保たれる。

[0086] 次に、ISFETbのゲート電極上の溶液にのみ、調べたいDNA(ターゲットDNA)の一本鎖10を添加する。ターゲットDNAの添加された溶液がISFETbの電極上を流れる時、解離温度以下に保ち、2重螺旋の形成を促進する。その後、DNAの添加を止め、更にバッファ液を供給し、結合しなかったターゲットDNA10を洗い流す。もし、ターゲットDNA10の塩基配列がプローブDNA9の塩基配列と相補的であれば、2重螺旋が形成され、ターゲットDNA10が固定されることになる。

- [0087] 図14の(a)と(b)の状態ではDNAの電荷量が約2倍に増加している。一方、図13のISFETaのゲート電極上には常にターゲットDNAを含まないバッファ液のみを供給する。これにより、図13の信号a, bには図14(a)(b)の信号が現われ、この信号の差を差動アンプで増幅することにより、DNAの2重螺旋形成の有無を精度良く検出することが可能となる。
- [0088] この差動アンプ方式では、温度等の環境が変化してISFETの閾値が変化しても、ISFETa, ISFETbの両閾値が同一量だけずれるため、環境変化によらない出力が得られる利点を持っている。バイオチップのように温度を室温から100°Cまで変えたり、成分の異なる溶液に接したりする場合においても、溶液中の電荷変化部分のみを検出することができ、高精度化を図ることができる。
- [0089] 図15に図12と図13の回路を組み合わせた構成を示す。ISFETのソース・ドレイン電圧は比較的低い(例えば0.5V)電圧に保たれ、高電界によるゲート絶縁膜へのキャリア注入や表面準位が生じないようにし、安定な動作が保たれる。
- [0090] 図16に本実施例の回路を示す。図6と共通するトランジスタ、抵抗は同一のものを用いている。トランジスタMN20, MN21はオフ・ドレイン電流が小さくなるように最小のゲート幅のものを用い、ショート・チャンネル効果を減らすためチャンネル長を最小寸法より大きくしている。MN20が第1充電用トランジスタ、MN21が第2充電用トランジスタである。ここではチャンネル長 $0.8\ \mu\text{m}$ 、ゲート幅 $0.5\ \mu\text{m}$ のNMOSFETを用い、更にゲート酸化膜を比較的厚く(5nm)し、基板の不純物濃度を最適化してトランジスタ内の電界が大きくなるようにすることにより、オフ・ドレイン電流がばらつきの最大でも10fA以下になるようにしている。差動アンプの入力範囲を拓げるため、NMOSFET MN22, MN23のゲート幅:チャンネル長の比を大きくしている。MN22, MN23, MN24が第1差動増幅器、又は、第4差動増幅器に該当する。ここではゲート幅を $40\ \mu\text{m}$ 、チャンネル長を $1\ \mu\text{m}$ とした。MN24のゲート幅はMN11の4倍とし、電流が4倍の $120\ \mu\text{A}$ となるようにした。
- [0091] この結果、MN24はゲート幅 $40\ \mu\text{m}$ 、チャンネル長 $1\ \mu\text{m}$ とした。R5, R6の抵抗の両端にはおおよそ $V_{DD}-V_{SS}=4.2\text{V}$ が発生するように設計し、電流 $120\ \mu\text{A}$ に対応してR5, R6の抵抗は $30\text{k}\Omega$ とした。MN25, MN26, MN27, MN28はゲート幅 $10\ \mu\text{m}$ 、チャンネル

長 $1\mu\text{m}$ とした。図17に出力波形を示す。横軸はISFETbの電極上の溶液中の電荷変化 DQ と電荷と参照電極の間のキャパシタンス C の比 DQ/C である。図17に示されたように溶液中の電荷による電位変化が約10倍に増幅されている。また DQ/C が $+0.2\text{V}\sim-0.2\text{V}$ の範囲で電荷変化 DQ の検出が可能である。本例ではDNAの2重螺旋形成の有無による電荷の変化 DQ/C がおおよそ 0.15V であることから設計を行ったが、検出電荷の範囲はMN22, MN23のゲート幅:チャンネル長および電流により調整することができる。

[0092] [検出装置の全体回路]

図18に図16の回路をマトリックス状に配置したデバイスを示す。相補的な出力を周辺の差動アンプDA1, DA2, ..., DAnで増幅して外部に出力している。図18は1つのセルに2つのISFETを入れているが、レファレンス用のISFETをセルアレイ周辺部に持つてくることによりセルの面積を約 $1/2$ に小さくすることができる。そのためには、図19のように、図15の回路をセル部と周辺参照信号部に別け、出力トランジスタに該当するソース・フォロワーMN32a, MN33a, MN32b, MN33bを追加し、ビット線に対する駆動能力を高める。セル部と周辺参照信号部は同一の回路を用い、ビット線B,レファレンス線Rへの接続のみが異なる。第4差動増幅器である差動アンプは周辺部に配置する。ここでは補正用の差動アンプD1と出力用の差動アンプD2に別け、それぞれのゲインを最適化している。差動アンプD1,D2ともに、第4差動増幅器に該当する。

[0093] 図19の動作方法について詳しく述べる。初期状態で W_r, W_i, V_{cr}, V_c にはオフ・ゲート電圧(例えば V_{SS})が印加され、トランジスタMN30a, MN30b, MN31a, MN31bは非導通状態にある。MN30a, MN30bは、パスゲートトランジスタに該当し、MN31a, MN31bは、それぞれ、第1充電用トランジスタ、第2充電用トランジスタに該当する。最初に周辺参照信号部の参照用電界効果トランジスタISFETaゲート電極の補正電荷 Q_a の設定を行う。このためには、スイッチSWをS2側に切り替えキャリブレーション線Cの電圧を V_b に設定した後、 V_{cr} にオン・ゲート電圧(例えば V_{DD})を加え、ISFETaのゲート電極に V_b を印加する。この後、 V_{cr} にオフ・ゲート電圧を加える。次にセル部の電荷検出用電界効果トランジスタISFETbゲート電極の補正電荷 Q_b の設定を行う。スイッチSWをS1側に切り替えた後、 W_r, W_i, V_c にオン・ゲート電圧を印加することにより、ビッ

ト線Bの電圧がレファレンス線Rの電圧に等しくなるようにセル部のISFETbのゲート電極の電荷 Q_b が定まる。 V_c にオフ・ゲート電圧を加えて、補正過程を終了し、その後の検出過程を行う。検出過程ではスイッチSWをS2側に切り替え、 V_b に固定することにより、キャリブレーション線Cからのノイズを低減し、更にMN31a, MN31bのドレイン・ソース間電圧を小さくしてオフ電流を低減することにより Q_a , Q_b の保持時間を延ばす。

なお、差動アンプD1,D2は、一つにして共通化することも可能である。

[0094] 溶液中の電荷物質(例えばDNA)を金属電極に引き付けたり離したりするのに、ISFETのゲート電極に電圧を加えるのが有効である。それには W_r , W_i にオフ・ゲート電圧を印加した後、 V_b に適当な電圧を加え、スイッチSWをS2側に切り替える。 V_{cr} , V_c にオン・ゲート電圧を印加すると、ISFETa,bのゲート電極に V_b の電圧を印加することができる。これは特に、プローブDNAのゲート電極への固定や2重螺旋を形成しなかったターゲットDNAの除去に有効である。

[0095] 図20に図19の回路をマトリックス状に配置したデバイスを示す。レファレンス信号を各列で共有している。これにより1つのセルの面積は図10に示したものに近いものとなる。

実施例 3

[0096] 本実施例は、上記実施例の抵抗($R_1 \sim R_4$)の代わりに、それらを全てトランジスタで実現した例である。

高いスループットでゲノム解析するDNAチップでは、電荷検出トランジスタと制御部からなるセルを100万個以上、チップに集積する必要がある。このためには、セルを小さくし、セル当たりの消費電力を小さくすることが必要である。セル面積を小さくするには、抵抗($R_1 \sim R_4$)の代わりにトランジスタやダイオードを用いることが有効で、また、バイオ分子と接するゲートは拡張ゲート構造とし電荷検出トランジスタおよび制御回路の直上に設ける。このような方式の実施例を図21に示す。

[0097] MP1~MP4, MN1~MN4は図4Bと同一である。MN1,MN2のゲート電圧をカスコード接続のソース・フォロワー回路MN40, MN41, MN42で受け、その出力信号をパスゲートトランジスタMN43を通して選択的にビット線Bに伝える。MN40, MN41, MN42の直列接続回路が第2出力回路である。参照信号発生部における参照用電界効果トラン

ジスタに対して、上記のMN40, MN41, MN42と同一の接続関係にある直列接続回路が第1出力回路である。MN5とMN6、MN1とMN2とMN41、MN3とMN4とMN40、を同一レイアウト・同一向きのトランジスタでセル内の近接した場所に設けることにより、電荷検出用トランジスタMN5の拡張ゲート電圧がそのままビット線に現れ、トランジスタのセル間閾値ばらつき・基板バイアス効果・電源電圧変動・温度変化にほとんど依存しない出力が得られる。本構成では、トランジスタのセル間閾値ばらつき、基板バイアス効果、電源電圧変動、温度変動の影響が無視できるようになるので、ゲート電極の電荷の初期化を行わなくても、検出信号と参照信号とは十分近い値をとり、差信号を扱うことができる。従って、ゲート電極に充電用トランジスタをつけずに、最初から完全にフローティング状態で用いることができる。これはゲート電極の電荷を保持する上で有利である。一方、ゲート電極の初期電荷量のばらつきが依然残されているが、これを低減する方法として紫外線照射による初期化が有効である。

[0098] 電源部はMP50, MN50によりVb1をMP51, MN51によりVb2を発生し、MN52, MN53, MN54, MN55によりVbを与えている。MP50のゲート幅/チャンネル長はMP3, MP4の1/4にとり、ゲート・オーバードライブ電圧を2倍にしている。MN53はn個のトランジスタの直列接続、MN54はm個のトランジスタの直列接続からなり、列の選択時(WがHigh)には $(VDD-VSS)/(n+1)$ の電圧が、非選択時(WがLow)には $(VDD-VSS)/(m+n+1)$ の電圧がVbに引加される。これにより待機時の消費電力を減らし、読み出し時に安定な信号電圧の出力とビット線に対する高い駆動能力を確保している。この電源バイアス回路は8個のセルの中央に1つ設け、配線による電圧の変動やノイズの影響を小さくし、低消費電力化と小型化を図っている。

[0099] 本実施例ではVDD=3V, VSS=0Vとし、MP1, MP2, MP3, MP4, MP51はゲート幅4 μ m、チャンネル長1 μ m、MP50はゲート幅1 μ m、チャンネル長1 μ m、NMOSFETはすべてゲート幅2 μ m、チャンネル長1 μ mを用い、MN53は4個直列(n=4)、MN54は4個直列(m=4)とした。セルサイズは30 μ m \times 30 μ m、非選択時の消費電力はセル当たり0.07 μ Wであり、100万個のセルを並べた場合、チップサイズは4mm \times 4mm、チップ全体の消費電力は100mWである。

[0100] 電荷検出トランジスタMN5の拡張ゲートにトランジスタMN31bを接続し、拡張ゲート

上の電荷量を制御した実施例を図22に示す。全体の構成は図20と同一である。

- [0101] 図21の検出装置の特性を測定した。図23A、23Bに示す。図23Aは、検出装置の入出力特性を示す。横軸の V_{IN} は、ISFETであるMN5の拡張ゲートに印加する電圧、縦軸の V_{OUT} は、ビット線B上の出力電圧である。パラメータ V_b は、MN7、MN8などのゲートに印加される電圧であり、0.4～1.2Vの範囲で0.05Vステップで変化させている。また、印加電源に関しては、VDDが5V、VSSが0Vである。 V_b が0.4Vの場合には、入力電圧 V_{IN} が0.4V～3.2Vの範囲で、入力電圧に比例した出力電圧 V_{OUT} が得られていることが理解される。この実施例では、入力電圧 V_{IN} に等しい出力電圧 V_{OUT} が得られていることが理解される。また、 V_b が1.2Vの場合には、入力電圧 V_{IN} が0.4V～2Vの範囲で、入力電圧に比例した出力電圧 V_{OUT} が得られていることが理解される。
- [0102] 図23Bは、MN5のゲート電圧 V_{IN} と電荷検出セルの全ドレイン電流 I_{DD} （MN7、MN8、MN42、MN50、MN51を流れる電流の和）との関係を示す。全ドレイン電流 I_{DD} が100pA～100 μ Aの範囲で、動作していることが理解される。また、消費電力は、500pW～500 μ Wである。
- [0103] 図24に入力電圧 V_{IN} に対する出力電圧 V_{OUT} の差(誤差)と全ドレイン電流 I_{DD} との関係を示す。全ドレイン電流 I_{DD} が10nA以下の場合には、出力 V_{OUT} は履歴特性を示した。しかし、全ドレイン電流 I_{DD} が10nA、消費電力が50nWよりも大きい場合には、誤差範囲は、0.0080～-0.0040Vであった。
- [0104] 次に、図21の検出装置を用いて、純水とリン酸バッファ液を交互にチップ上に供給して、イオン濃度に対する感度を測定した。その結果を図25に示す。行列状に配列したセルからの信号の形状はほぼ同一になっている。
- [0105] 次に、図21の検出装置の周波数応答特性を測定した。縦軸は、 $\log(V_{OUT}/V_{IN})$ である。パラメータは消費電力であり、10nW、100nW、1 μ W、10 μ Wの場合につき測定した。この図から、消費電力が大きい程、応答速度が速くなることが理解できる。セルの信号を数 μ secの高速で読み込むために、検出装置を消費電力1 μ Wで動作させて、待機時には、ISFETの動作点を固定できる最低の消費電力である10nWにすることで、装置全体の消費電力を低減することができる。
- [0106] 次に、図22の検出装置を改良した例を図27に示す。MN5のドレインにダイオード

接続のMN200 が挿入され、ダイオード接続のMN6 のドレインにMN201 が挿入されている。ただし、MN6 のゲートと、MN201 のゲートは接続されている。また、MN41のソースには、それぞれのゲートが、MN201 とMN6 のそれぞれのゲートに接続された、MN202 とMN203 とのカスコード接続が挿入されている。MN200、MN201、MN202 は、同一サイズでMN5 に対して、ゲート幅/ゲート長を小さくしてオーバードライブ電圧を大きくしたトランジスタである。MN5 のオーバードライブ電圧と、MN200、MN201、MN202 のオーバードライブ電圧の差が、MN5 のソースドレイン間電圧となる。MN203 は、MN202 のソース電圧をMN201 のソース電圧と同一にしてチャンネル長変調効果による誤差を抑え、出力電圧をより正確にするためのトランジスタである。このように、MN200、MN201、MN202 を設けて、ISFET であるMN5 のソースドレイン間電圧を小さくして、より安定な動作が得られるようにしている。MN40、MN41、NM202、MN203 から成る直列接続回路により、MN202 のドレイン電位は、ISFET のゲート電位に等しくなり、このMN202 のドレイン電位が検出装置の出力信号となる。MN40、MN41、NM202、MN203 から成る直列接続回路が第2出力回路である。同様に、参照信号発生部において、参照用電界効果トランジスタに対してISFET に対する第2出力回路と同一関係にあるMN40、MN41、NM202、MN203 と同一の構成から成る直列接続回路が第1出力回路を構成している。

- [0107] MN5 の拡張ゲートには、そのゲートに給電するための回路が設けられている。このゲートに給電する部分は、図19の回路の給電システムに対応し、参照信号部のISFET のゲートにも同電荷が供給されるように、図19と同様に構成されている。この給電回路において、MN210、MP211 はMN5 のゲートにキャリブレーション線Cから電圧を印加するためのトランジスタで、図19のMN31b に相当する。MN210、MP211 は第2充電用トランジスタに該当する。また、MN210 と並列に、ソースがMN202 のドレインに接続されたMP212 が配設されている。このMP212 は、MP211 がオフの場合に、そのソースドレイン間電圧をほぼ0Vとすることで、MP211 によるリーク電流を減少させるものである。また、MP210 が、MN5 のゲートとMP211 のソース間に接続されている。MP210、MP211 は、MP211 がオンからオフへ遷移する時に、MP211 のチャンネルからの拡張ゲートへの電荷注入をキャンセルしたスイッチであり、MP211 は、MP210 と同

ーサイズのトランジスタを2個並列接続している。

[0108] 更に図21のVb2を与えるバイアス回路では入力電圧範囲が小さいことがわかった。これを改良するため、図21におけるMP51, MN51の代わりに、図27に示すようなバイアス回路が設けられている。そのバイアス回路は、MN220, MN220のソースにドレインが接続されたMN221、MN221のソースにドレインが接続されたMN222から成る直列接続回路と、MN223とそのソースにドレインが接続されたMN224、MN223のドレインにドレインが接続されたMP220から成る直列接続回路との並列回路で構成されている。ここで、MN222とMN224のドレインは相互に接続されており、MN223のゲートとソースとは接続されている。また、MN220とMN223のゲートは、MN40のゲートに接続されており、MN221のゲートはMN41のゲートに接続されている。MN220はMN40と同一サイズのトランジスタ、MN223はMN40よりもゲート幅／ゲート長を小さくしてゲート・オーバードライブ電圧を大きくしたトランジスタ、MN221はMN41と同一サイズのトランジスタ、MN222, MN224はMN50と同一サイズのトランジスタ、MP220はMP50と同一サイズのトランジスタである。このバイアス回路を用いることにより、入力電圧範囲が2Vから3.5Vに増加し、誤差が10 mV から1mV に改善することができる。

[0109] また、拡張ゲートの電圧が低くなるとすべてのトランジスタがオフ状態となり、その状態から復帰するのに時間がかかる。また、出力ノードがハイインピーダンス状態になるため、ビット線に大きな負荷キャパシタがつくと出力電圧が任意の電圧に固定されるという問題がおこることがわかった。これを改良するため、MN221のゲートにソースが接続されたMN230と、MN230のゲートにドレインが接続されたMP230、MP230のドレイン及びMN230のゲートにドレインの接続されたMN231、MN231のソースにドレインが接続されたMN232とを有する直列接続回路とから成る第2スタートアップ回路が設けられている。なお、MN231のゲートとドレインとが接続され、MN232のゲートとドレインとが接続されており、MP230のゲートとMP220のゲートとMP50のゲートとが接続されている。このスタートアップ回路は入力電圧が下がってすべてのトランジスタがオフになったときにのみ働き、MN41、MN221のゲート電圧がトランジスタの閾値より下がるのを防ぎ常に電流が流れるようにするとともに、出力ノードが

ハイインピーダンス状態になるのを回避する。なお、参照信号発生部において、上記の第2スタートアップ回路と同一構成の直列接続回路が第1スタートアップ回路を構成している。

[0110] また、図21の回路においては、 V_b を与えるMN52, MN53, MN54, MN55のバイアス回路は温度特性があまりよくないことがわかった。これを改良するため、図28に示す回路構成を採用した。まず、電流参照回路50、51をセルアレイ52の外部に設けた。そして、あるセルに配置したMP310とMP311との第1直列接続回路と、そのセルの隣接したセルに配置したMP312とMP313との第2直列接続回路とにより第1カレントミラー回路を構成した。また、あるセルにおいては、第1直列接続回路に直列に接続されたMN302とMN303との第3直列接続回路を設け、その第3直列接続回路を流れる電流に対してカレントミラーを構成するようにMN300とMN301との第4直列接続回路を設けた。この第3直列接続回路と第4直列接続回路とから第2カレントミラー回路を構成した。なお、MN300とMN301は、それぞれ、ゲートとドレインとが接続されており、MP310とMP311とは、それぞれ、ゲートとドレインとが接続されている。参照電流 I_1 は、MN300のドレインに供給され、MP313のドレイン電流 I_2 は、次の隣接セルのMN300のドレインに供給される。このようにして、各行の最左端のセルに対して、高電流参照回路50と低電流参照回路51とから、切換スイッチ $W_1 \sim W_4$ を介して、参照電流 I_1 が供給される。勿論、カレントミラー回路の作用により、 $I_1 = I_2$ が成立するので、全てのセルには、参照回路50、51から供給される同一の電流が流れることになる。これにより、各セルのMN7、MN8、MN42などには、MN301のドレイン電圧がバイアス電圧 V_b として供給されることになる。このようにして、セル間をカレントミラーで連結して温度に依存しない電流 I を高電流参照回路50又は低電流参照回路51から供給することにより、広範囲の温度で安定な動作を得ることができる。高電流参照回路50は $1 \mu A$ の高電流を供給し、低電流参照回路51は $1nA$ の低電流を供給する。検出信号を読むときには高電流に切り替え高速で検出信号を読み、待機時には低電流に切り替えISFETを保護しながら消費電力を下げている。

[0111] また、図27の検出装置の各セルに対するアクセスのための回路を図29に示す。アドレス線40には、行アドレスと列アドレスとを時分割で入力される。行アドレスデータ

はRAS 信号に同期してアドレスバッファ20に記憶され、列アドレスデータはCAS 信号に同期してアドレスバッファ30に記憶される。行アドレスデータはYデコーダ21によりセルアレイ10のY座標に変換され、列アドレスデータはXデコーダ22によりX座標に変換される。Y座標が与えられるとセルアレイ10からは、図20で示されているように、そのY座標に相当する行に存在する全セルからのデータが出力される。この1行分のデータは、Xデコーダ22の値に応じて、マルチプレクサ12によって選択されたX座標に対応するデータが出力バッファ14に出力される。このようにして、マトリクス構造のセルアレイ10の各セルに対する検出信号の読み取りが行われる。

[0112] 図29の回路構成を実現した集積回路を図30に示す。

[0113] 本実施例において、DNAの検出を例としてとりあげたが、たんぱく質や細胞等のバイオ分子の検出に本チップを用いることができる。更に電荷検出はゲート付近、溶液のGuoy-Chapmanのデバイ遮蔽長内に限られるため、例えばFINFETやSGT(Surrounding Gate Transistor)のように垂直なゲートを設け、DNA等の分子を側面近く垂直に固定することにより、長い分子の検出を行うこともできる。あるいは、拡張ゲート電極を2層構造、例えばアルミニウムと金の2層構造とし、金を微細加工して、金の側面にチオール化DNAを固定しても良い。

[0114] また、セル内に熱源と温度計を設け、各セルの温度を個々に制御することも有効である。これにより、解離温度付近での完全結合・不完全結合を検出することにより、更に高精度化が図られる。この際に、セル間の断熱材としてポーラス・シリコンを用いる方法と本発明を組み合わせる用いることができる。

[0115] 本発明の第1の実施例では、面積 $100\ \mu\text{m} \times 100\ \mu\text{m}$ のISFETに制御回路を組み込んだセルの面積は $160\ \mu\text{m} \times 140\ \mu\text{m}$ であり、 16×16 のセル・アレイで周辺回路および入出力パッドを含めたチップサイズは $4\text{mm} \times 4\text{mm}$ 、電源電圧 3V 、 -1.3V でチップ全体の消費電力は 150mW である。セルサイズの縮小によりチップサイズを減少することができ、低コストで高精度の電荷検出センサーが実現できる。また、第2の実施例ではゲート電極付きの電荷検出トランジスタを用い、閾値や初期電荷のばらつきを補正し、差動で検出電圧を増幅することにより、更に高精度の電荷検出センサーが実現できる。

[0116] また他の実施例では、100万個のセルを用いて100万個の異なる電荷を同時に検出

するチップを、チップサイズ4mmx4mmチップ全体の消費電力100mWで提供する。
なお、本実施例でのNMOSFETとPMOSFETを入れ替えても良いことは明らかである。

産業上の利用可能性

[0117] 本発明は、DNAの特定や、その他の生体分子や生体物質の検出に用いることができる。また、広くは、電荷分布自身、または、電荷分布に応じた物質の分布を検出する検出装置に用いることができる。

請求の範囲

- [1] 電荷検出用電界効果トランジスタのゲートに付着する物質の電荷量を測定することで、この物質を特定する物質検出装置において、
前記電荷検出用電界効果トランジスタと、
前記電荷検出用電界効果トランジスタを流れる電流と端子間電圧を一定に制御するCMOSから成るカレント・ミラー回路からなる制御回路と、
を1セルとして、該セルを行列配置させたことを特徴とする物質検出装置。
- [2] 前記制御回路は、前記電荷検出用電界効果トランジスタが一方の電流路に挿入され、第1抵抗、第1トランジスタ、又は、第1ダイオードが他方の電流路に前記電荷検出用電界効果トランジスタと対称位置に挿入され、PMOSFETによる第1カレント・ミラー回路とNMOSFETによる第2カレント・ミラー回路との直列接続と、その直列接続のカレント・ミラー回路に対して一定の電流を供給する電流源とから構成されることを特徴とする請求項1に記載の物質検出装置。
- [3] 前記第1カレント・ミラー回路は、PMOSFETによるカスコード接続回路から成り、前記第2カレント・ミラー回路は、NMOSFETによるカスコード接続回路から成ることを特徴とする請求項2に記載の物質検出装置。
- [4] 前記第1カレント・ミラー回路と前記第2カレント・ミラー回路とは、それぞれの電流路に挿入された第2抵抗、第2トランジスタ、又は、第2ダイオード、第3抵抗、第3トランジスタ、又は、第3ダイオードを介して直列接続されていることを特徴とする請求項3に記載の物質検出装置。
- [5] 前記電流源は、負荷である第4抵抗、第4トランジスタ、又は第4ダイオードを有したカレント・ミラー回路により、定電流が供給される回路であることを特徴とする請求1乃至請求項4の何れか項に記載の物質検出装置。
- [6] 前記第1抵抗、前記第2抵抗、前記第3抵抗、前記第4抵抗、又は、前記第1トランジスタ、前記第2トランジスタ、前記第3トランジスタ、前記第4トランジスタ、又は、前記第1ダイオード、第2ダイオード、第3ダイオード、第4ダイオードは、同じ材料で形成されることを特徴とする請求項5に記載の物質検出装置。
- [7] 前記各セルは、前記電荷検出用電界効果トランジスタと同一構成の参照用電界効

果トランジスタと、前記電荷検出用電界効果トランジスタを制御する制御回路と同一構成で、前記参照用電界効果トランジスタに電流を供給する参照用制御回路を有し、

前記各セルは、前記電荷検出用電界効果トランジスタの動作状態に依存する出力信号と、前記参照用電界効果トランジスタの動作状態に依存する出力信号とを入力して差動増幅する第1差動増幅器を

有することを特徴とする請求項1乃至請求項6の何れか1項に記載の物質検出装置。

- [8] 前記セルの前記行列配列の領域の周辺部において、各行毎に、前記電荷検出用電界効果トランジスタと同一構成の参照用電界効果トランジスタと、前記電荷検出用電界効果トランジスタを制御する制御回路と同一構成で、前記参照用電界効果トランジスタに電流を供給する参照用制御回路を有し、

各行毎に、前記電荷検出用電界効果トランジスタの動作状態に依存する出力信号と、前記参照用電界効果トランジスタの動作状態に依存する出力信号とを入力して差動増幅する第2差動増幅器を

有することを特徴とする請求項1乃至請求項6の何れか1項に記載の物質検出装置。

- [9] 前記各セルは、前記電荷検出用電界効果トランジスタのソースにゲートが接続された出力トランジスタと、その出力トランジスタのソース側に接続され、前記出力トランジスタの出力を外部の選択信号に応じて通過・遮断して、前記出力信号をセルの外部に出力するパスゲート・トランジスタと、

前記パスゲート・トランジスタの出力信号を前記セルの行列配置領域の周辺部に伝送する信号線路とを、

有することを特徴とする請求項1乃至請求項6の何れか1項に記載の物質検出装置。

- [10] 前記セルの行列配置領域の周辺部に設けられ、前記信号線路からの出力信号を一方の入力端に入力する第3差動増幅器と、

前記第3差動増幅器の2入力端間を接続する抵抗又はトランジスタと、

前記第3差動増幅器の他の入力端と、各セルとを接続する帰還線路と、
各セルにおいて設けられ、外部の前記選択信号に応じて、信号を通過・遮断し、前記帰還線路を介して、帰還した前記出力信号を共通電位に帰還させる還流トランジスタとを、を有することを特徴とする請求項9に記載の物質検出装置。

[11] 前記電荷検出用電界効果トランジスタは、絶縁膜上にゲート電極を有することを特徴とする請求項1乃至請求項10の何れか1項に記載の物質検出装置。

[12] 前記ゲート電極に対して通電又は遮断する充電用トランジスタを有することを特徴とする請求項11に記載の物質検出装置。

[13] 前記各セルの前記参照用電界効果トランジスタは絶縁膜上にゲート電極を有し、前記各セルは、外部の充電制御信号により、このゲート電極に対して通電又は遮電する第1充電用トランジスタを有し、

前記各セルの前記電荷検出用電界効果トランジスタは絶縁膜上にゲート電極を有し、

前記各セルは、前記電荷検出用電界効果トランジスタの動作状態に依存する出力信号と、前記参照用電界効果トランジスタの動作状態に依存する出力信号とを入力して差動増幅する第4差動増幅器と、前記充電制御信号により通電又は遮電するトランジスタであって、この差動増幅器の出力を、前記電荷検出用電界効果トランジスタの前記ゲート電極に印加する第2充電用トランジスタを有する

ことを特徴とする請求項7に記載の物質検出装置。

[14] 前記参照用電界効果トランジスタは絶縁膜上にゲート電極を有し、外部の充電制御信号により、このゲート電極に対して通電又は遮電する第1充電用トランジスタを有し、

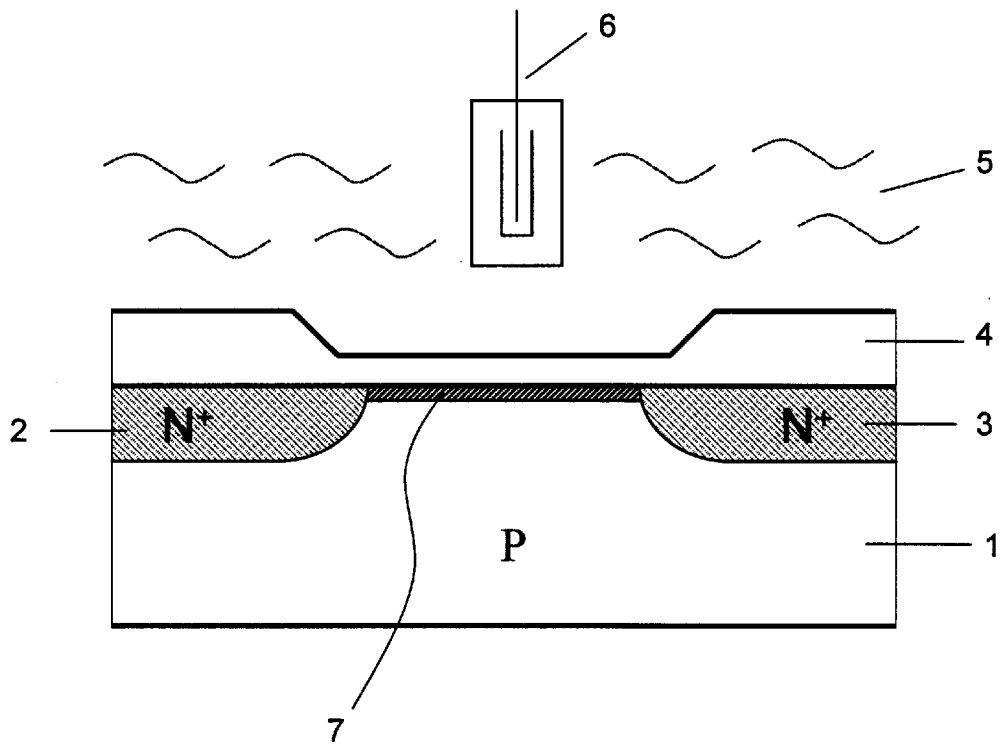
前記各セルの電荷検出用電界効果トランジスタは絶縁膜上にゲート電極を有し、
前記電荷検出用電界効果トランジスタの動作状態に依存する出力信号と、前記参照用電界効果トランジスタの動作状態に依存する出力信号との差動増幅電圧を、前記電荷検出用電界効果トランジスタの前記ゲート電極に印加し、前記充電制御信号により通電又は遮電する第2充電用トランジスタを有する

ことを特徴とする請求項8に記載の物質検出装置。

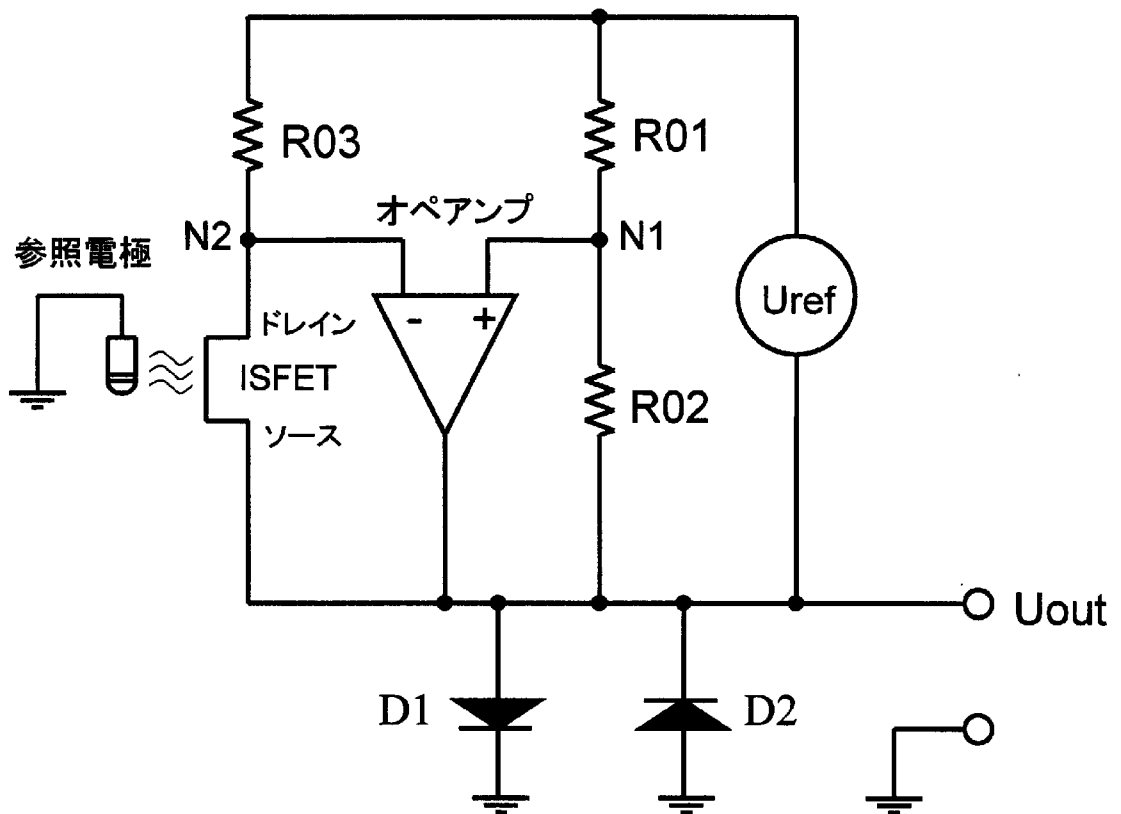
- [15] 前記電荷検出用電界効果トランジスタの前記ゲート電極は、電荷検出用電界効果トランジスタ及び前記制御回路の直上に拡張された拡張ゲート電極であることを特徴とする請求項11乃至請求項14の何れか1項に記載の物質検出装置。
- [16] 前記参照用電界効果トランジスタの前記ゲート電極は、参照用電界効果トランジスタ及び前記制御回路の直上に拡張された拡張ゲート電極であることを特徴とする請求項13又は請求項15の何れか1項に記載の物質検出装置。
- [17] 前記各セルに供給する電源電圧が3Vから- 1.3Vの間にあることを特長とする請求項1乃至請求項16の何れか1項に記載の物質検出装置。
- [18] 前記セルの行列配置の1つの行を選択するワード線と各列のセルからの信号を伝達するビット線を有することを特徴とする請求項1乃至請求項17の何れか1項に記載の物質検出装置。
- [19] 前記第1充電用トランジスタ、前記第2充電用トランジスタに対して、それぞれ、それらのトランジスタがオフ状態の時に、ソース、ドレイン間端子電圧を零とするように、前記参照用電界効果トランジスタの前記ゲート電極、前記電荷検出用電界効果トランジスタの前記ゲート電極に接続されていない側の端子に、前記ゲート電極の電位に相当する電位を印加する第5トランジスタ、第6トランジスタを有することを特徴とする請求項13又は請求項14に記載の物質検出装置。
- [20] 前記参照用電界効果トランジスタの前記ゲート電極と前記第5トランジスタとの間に配設され、前記第1充電用トランジスタのオフ時にそのチャンネルの電荷を吸収する第7トランジスタと、前記電荷検出用電界効果トランジスタの前記ゲート電極との間に配設され、前記第2充電用トランジスタのオフ時のそのチャンネルの電荷を吸収する第8トランジスタを有することを特徴とする請求項13、請求項14又は請求項19に記載の物質検出装置。
- [21] 前記電荷検出用電界効果トランジスタのゲート電位を出力信号として出力する第2出力回路を有する請求項1乃至請求項20の何れか1項に記載の物質検出装置。
- [22] 前記参照用電界効果トランジスタのゲート電位を出力信号として出力する第1出力回路を有する請求項7、請求項8、請求項13乃至請求項21の何れか1項に記載の物質検出装置。

- [23] 前記電荷検出用電界効果トランジスタのゲート電位が低下した時に、前記第2出力回路の出力インピーダンスの上昇を抑制する第2スタートアップ回路を有することを特徴とする請求項21に記載の物質検出装置。
- [24] 前記参照用電界効果トランジスタのゲート電位が低下した時に、前記第1出力回路の出力インピーダンスの上昇を抑制する第1スタートアップ回路を有することを特徴とする請求項22に記載の物質検出装置。
- [25] 前記各セルのトランジスタに対するバイアス電圧を付与する回路であって、隣接するセル間における少なくとも前記電荷検出用トランジスタを流れる基準電流を同一とするカレントミラー回路と、参照電流を入力して、前記基準電流をこの参照電流と同一とするカレントミラー回路とから成るバイアス回路を有することを特徴とする請求項1乃至請求項24の何れか1項に記載の物質検出装置。
- [26] 前記参照電流は、測定中にセルに対しては大きな値に、測定中ではないセルに対しては小さな値に制御されることを特徴とする請求項25に記載の物質検出装置。
- [27] 前記物質検出装置は、DNA、生体分子、生物細胞群、生体物質のうち、何れか一つを検出する装置であることを特徴とする請求項1乃至請求項26の何れか1項に記載の物質検出装置。

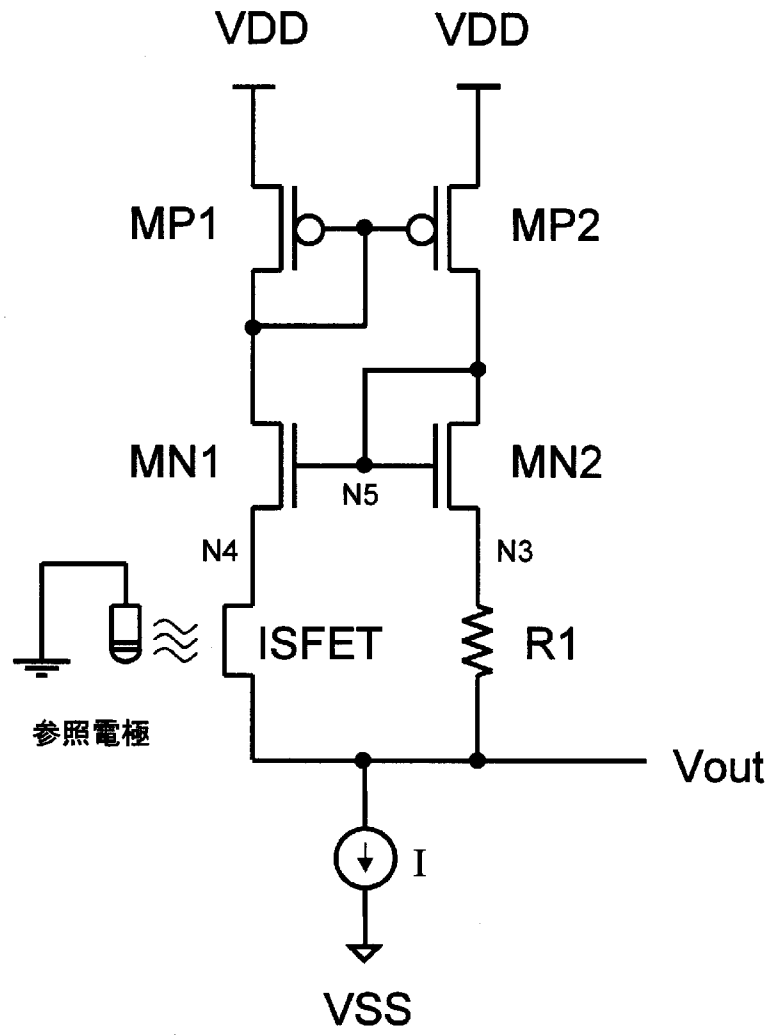
[図1]



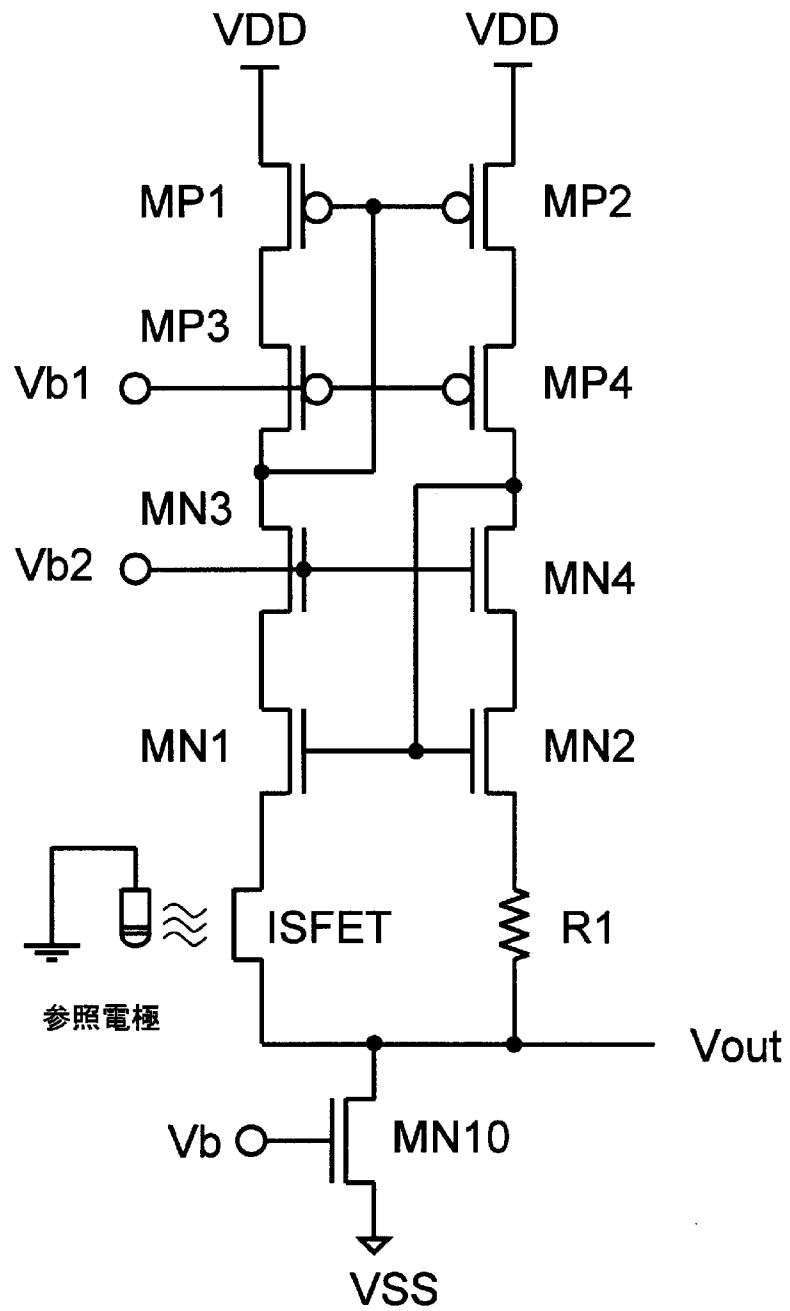
[図2]



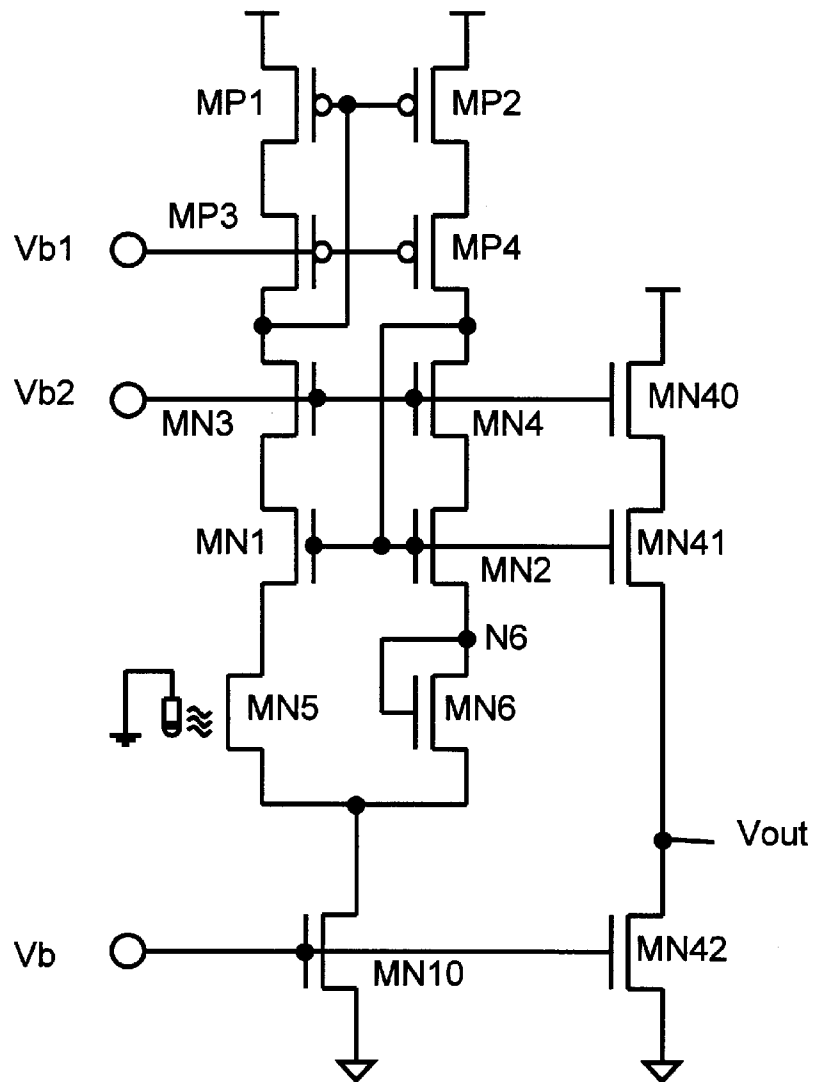
[図3]



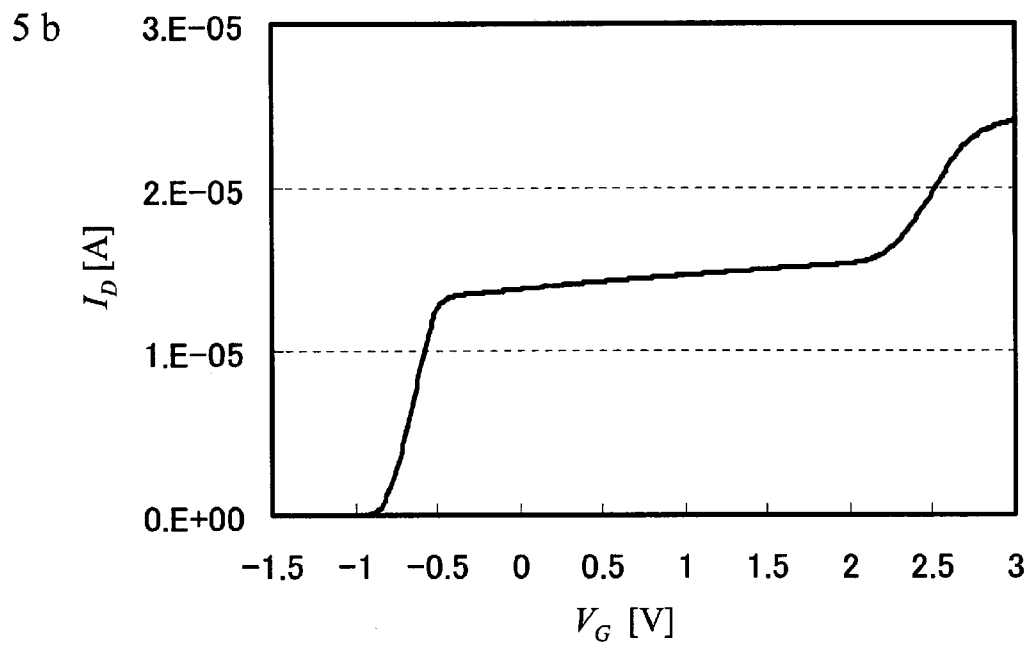
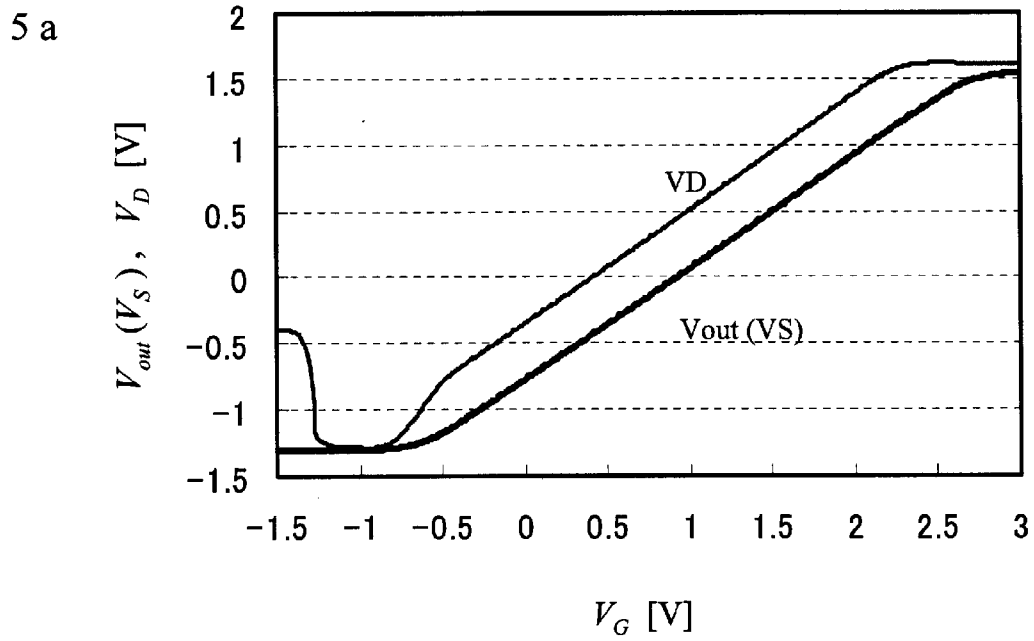
[図4A]



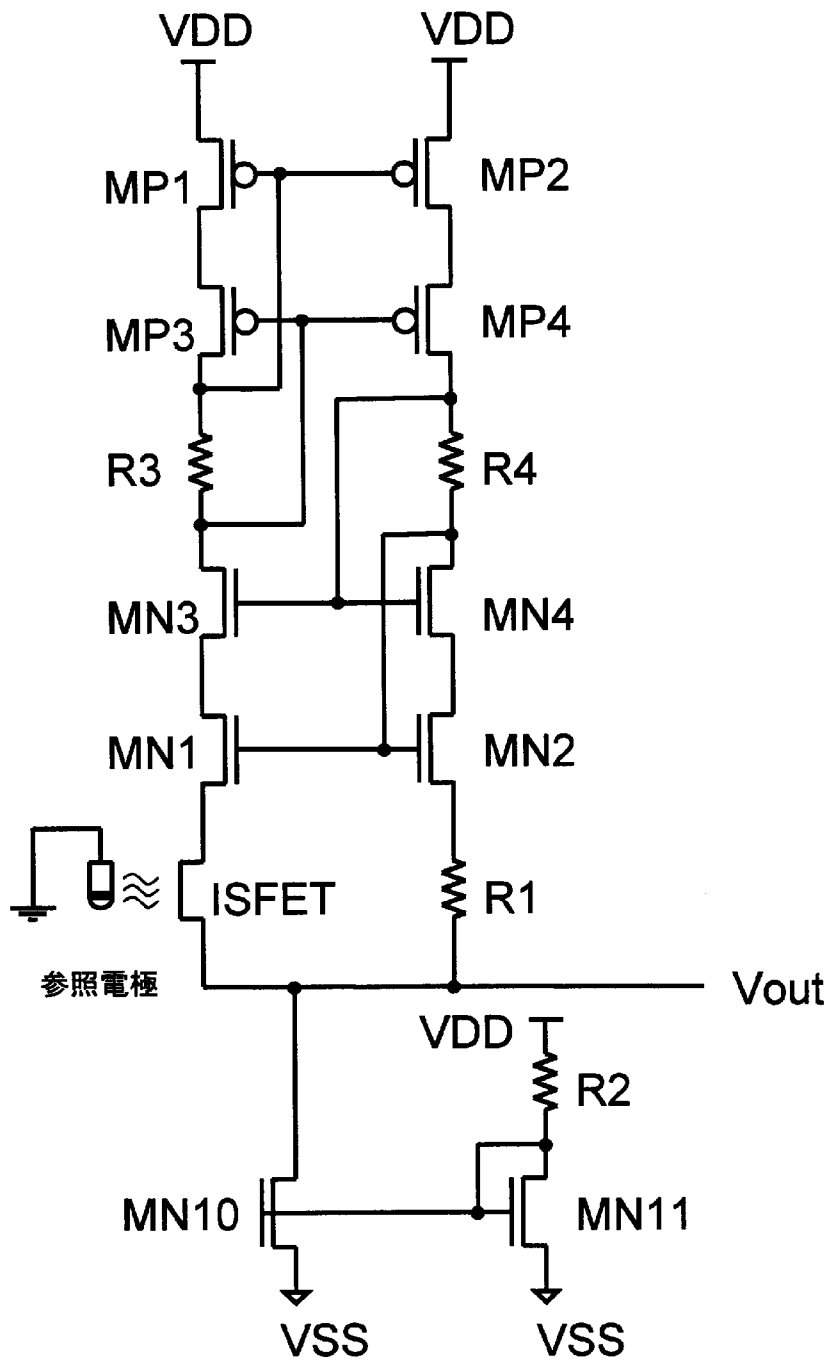
[図4B]



[図5]

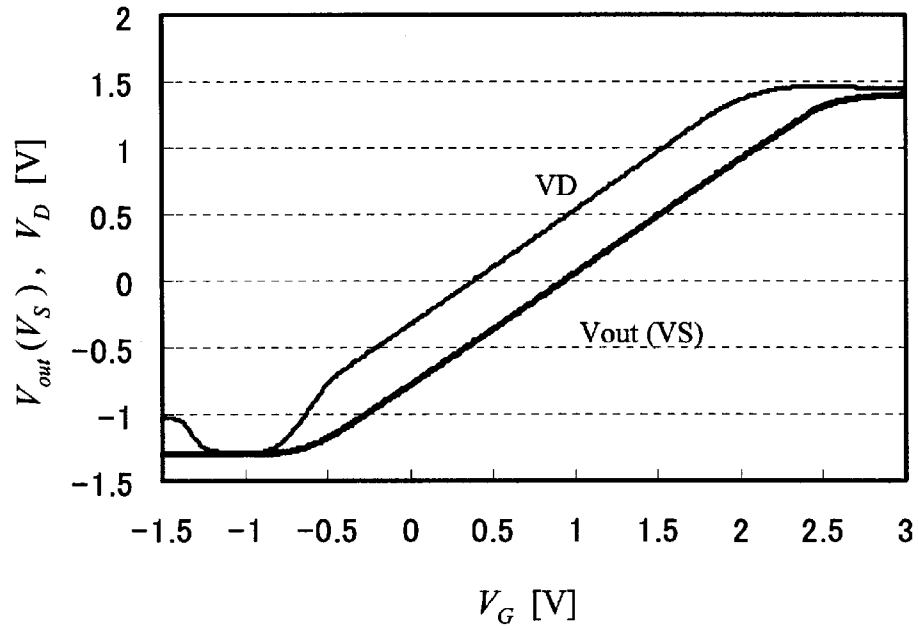


[図6]

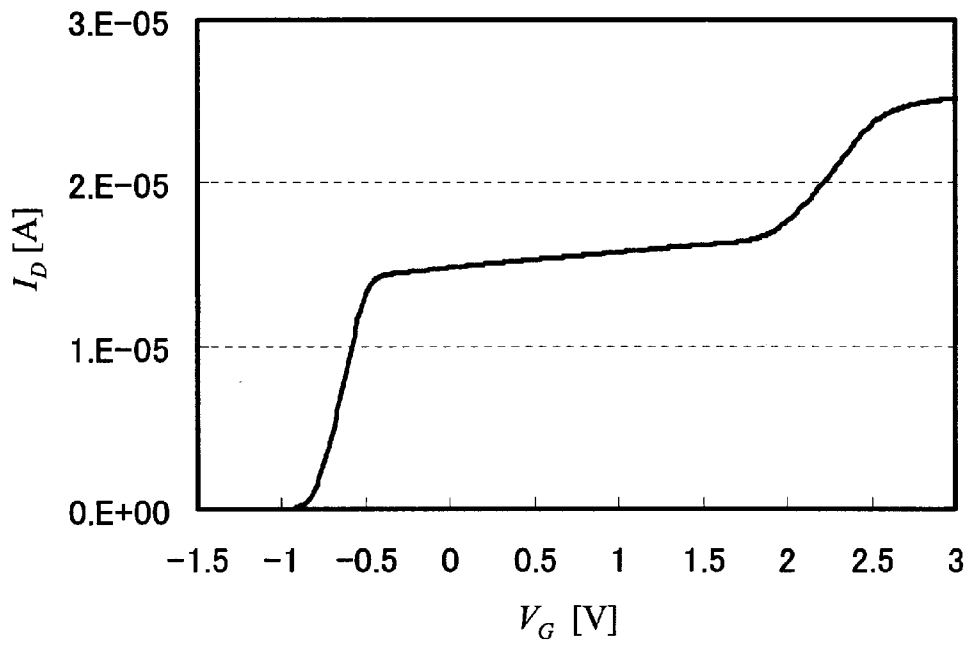


[図7]

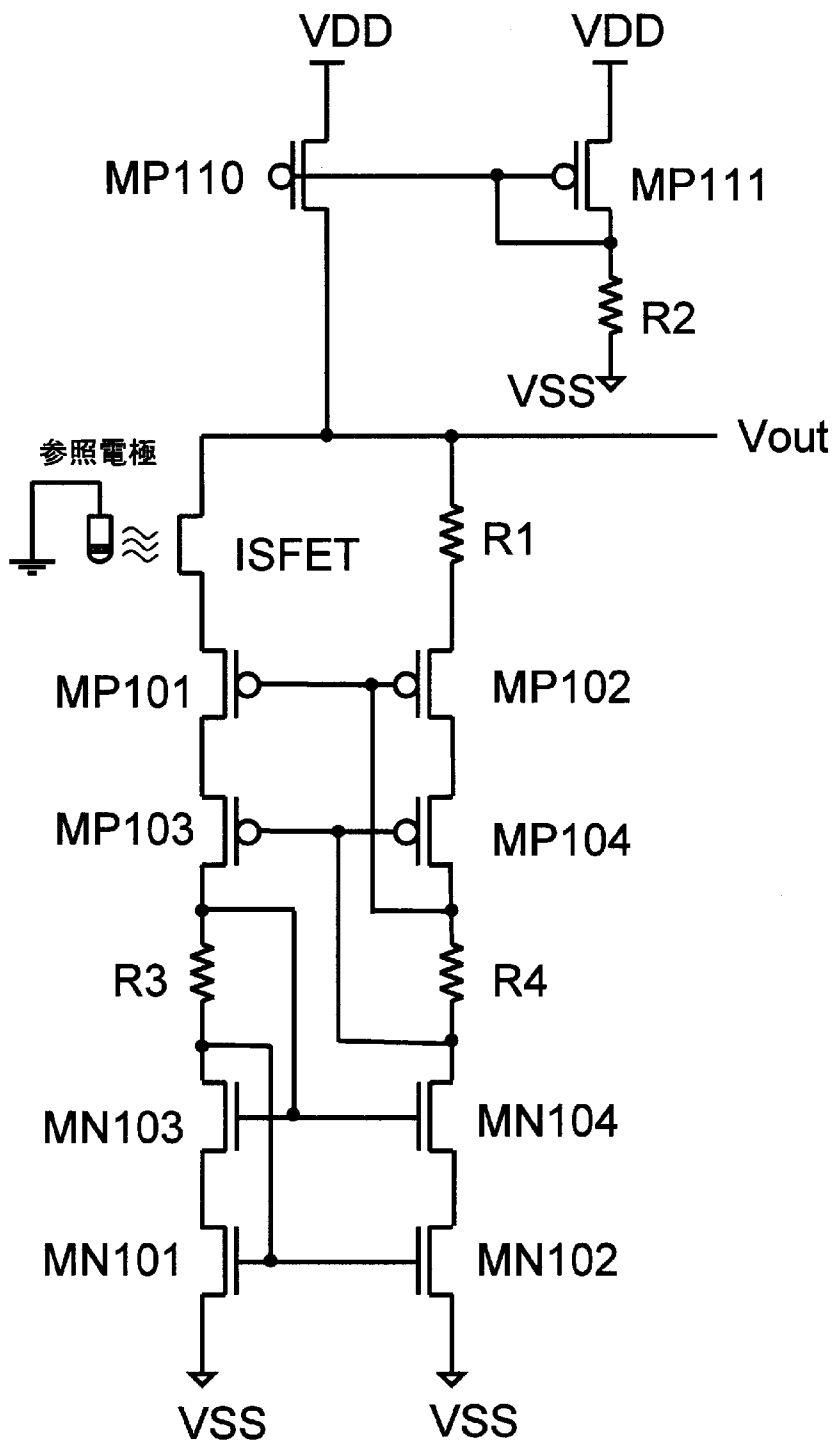
7 a



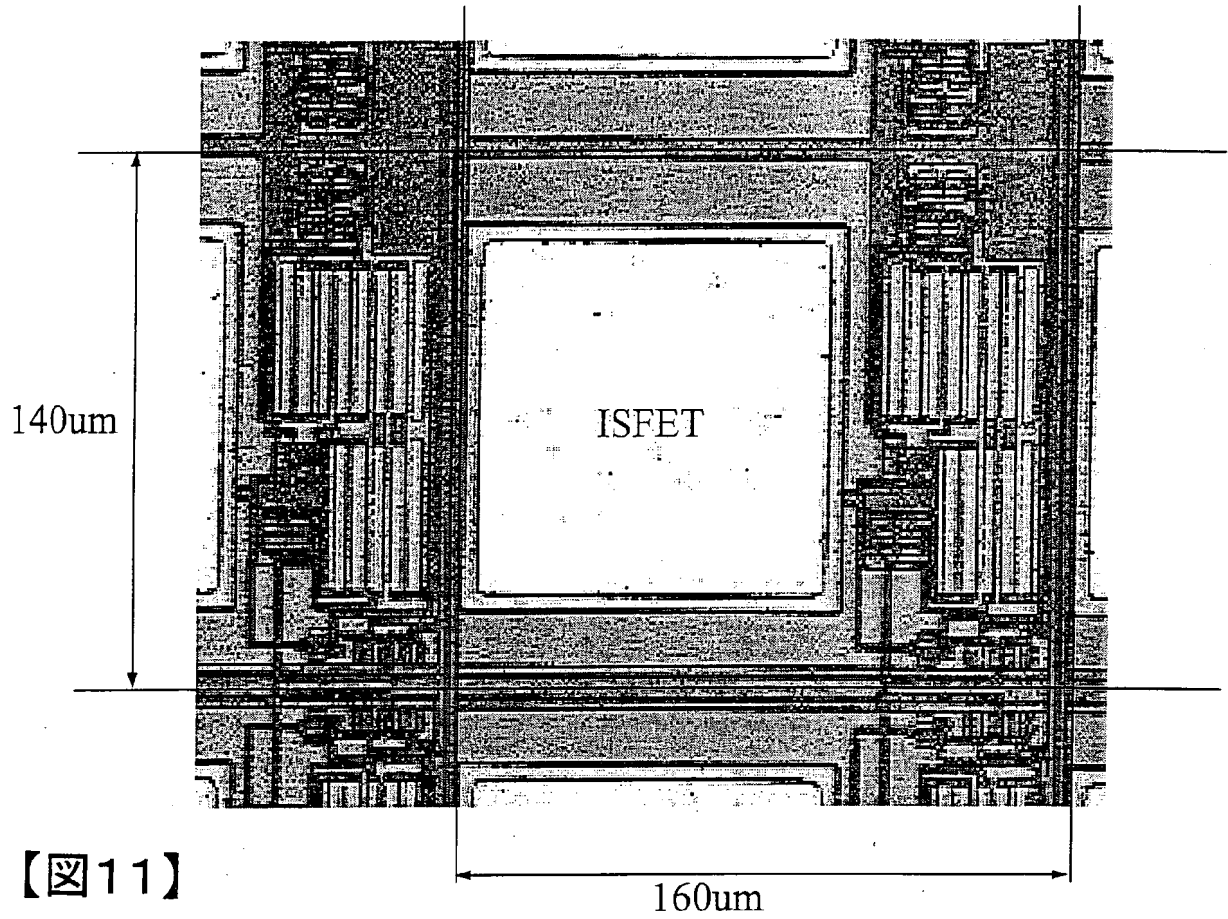
7 b



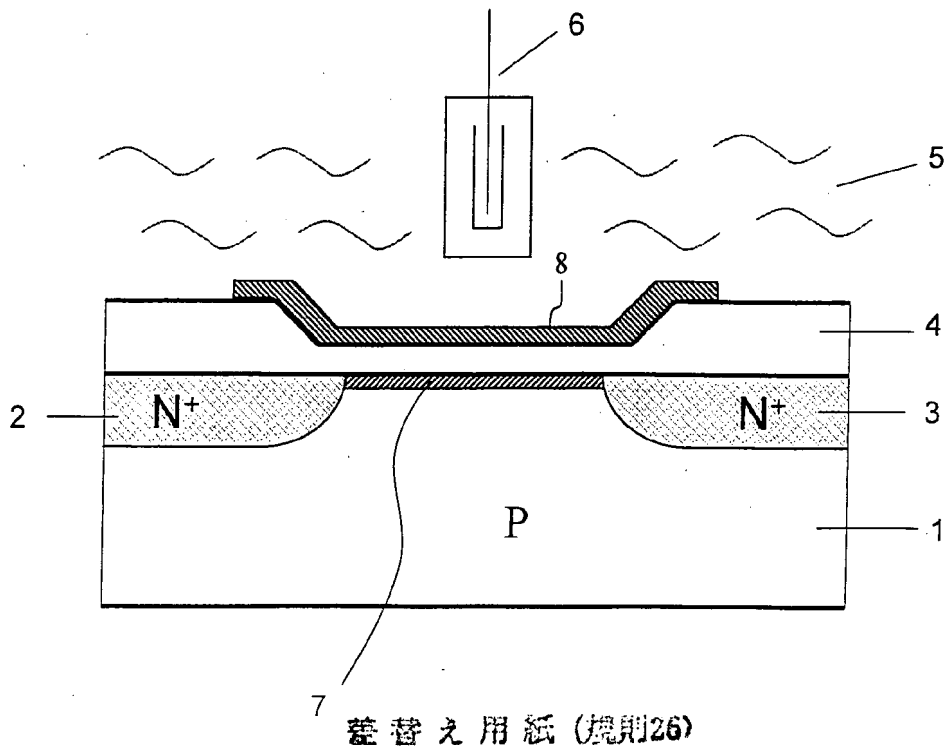
[図8]



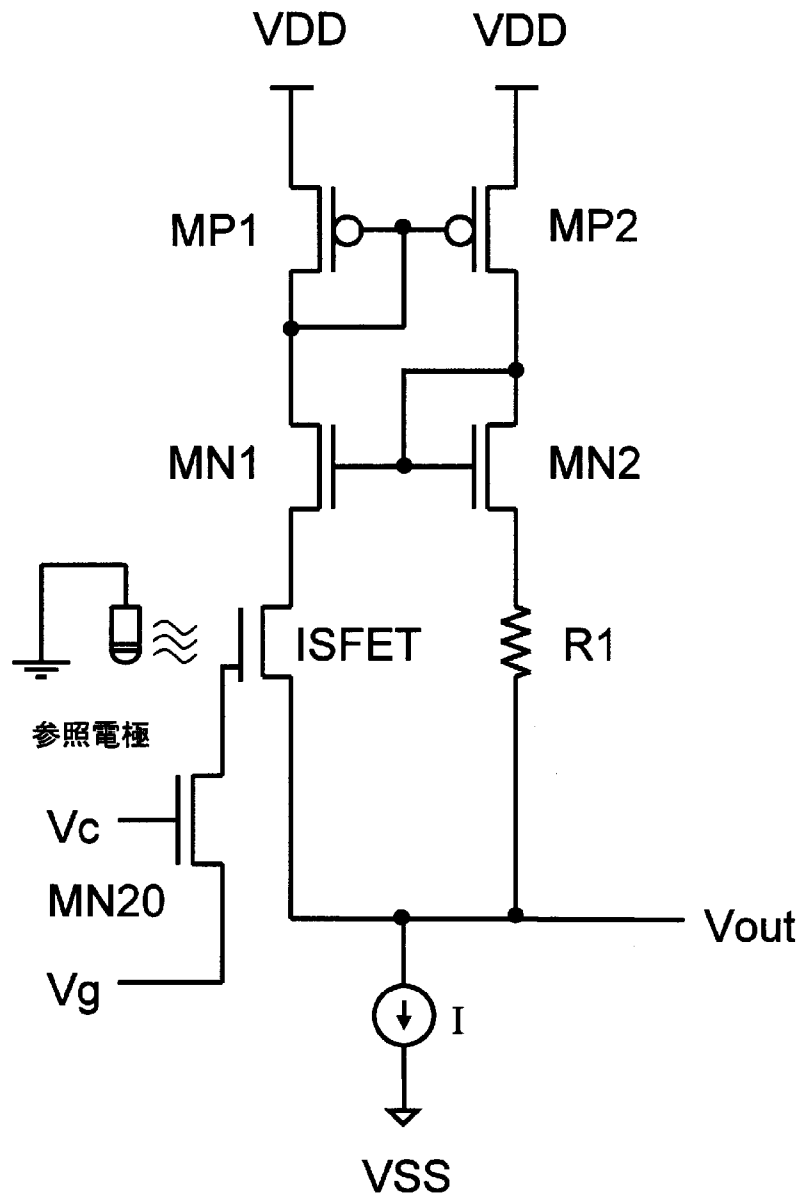
【図10】



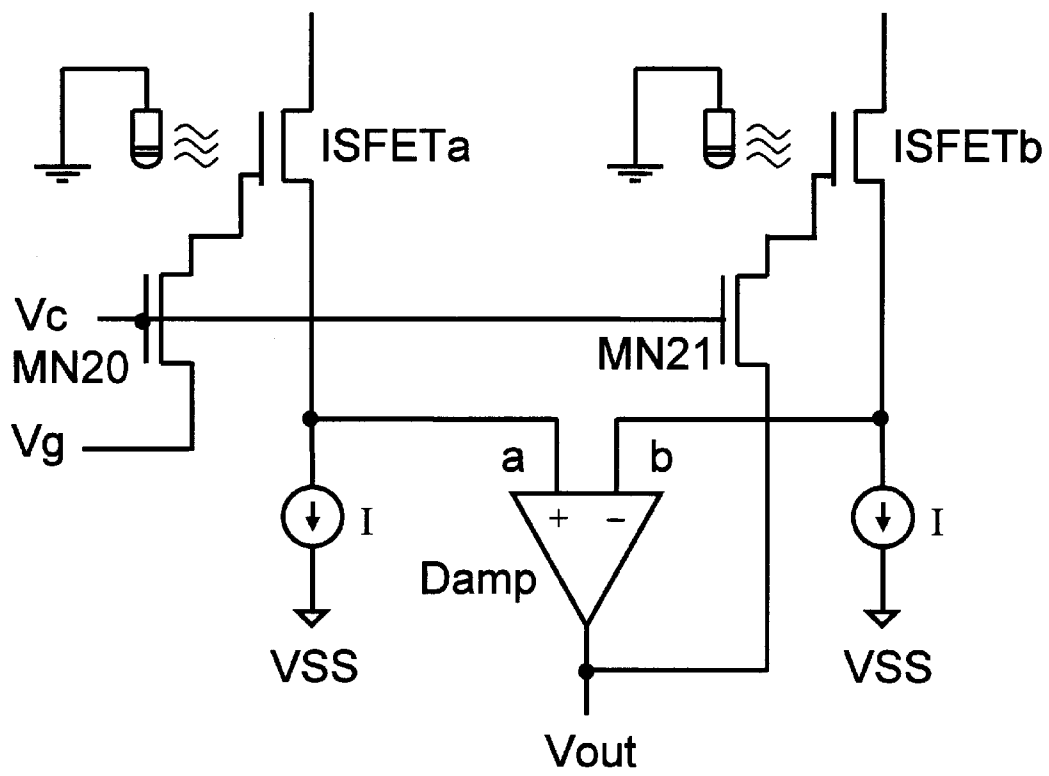
【図11】



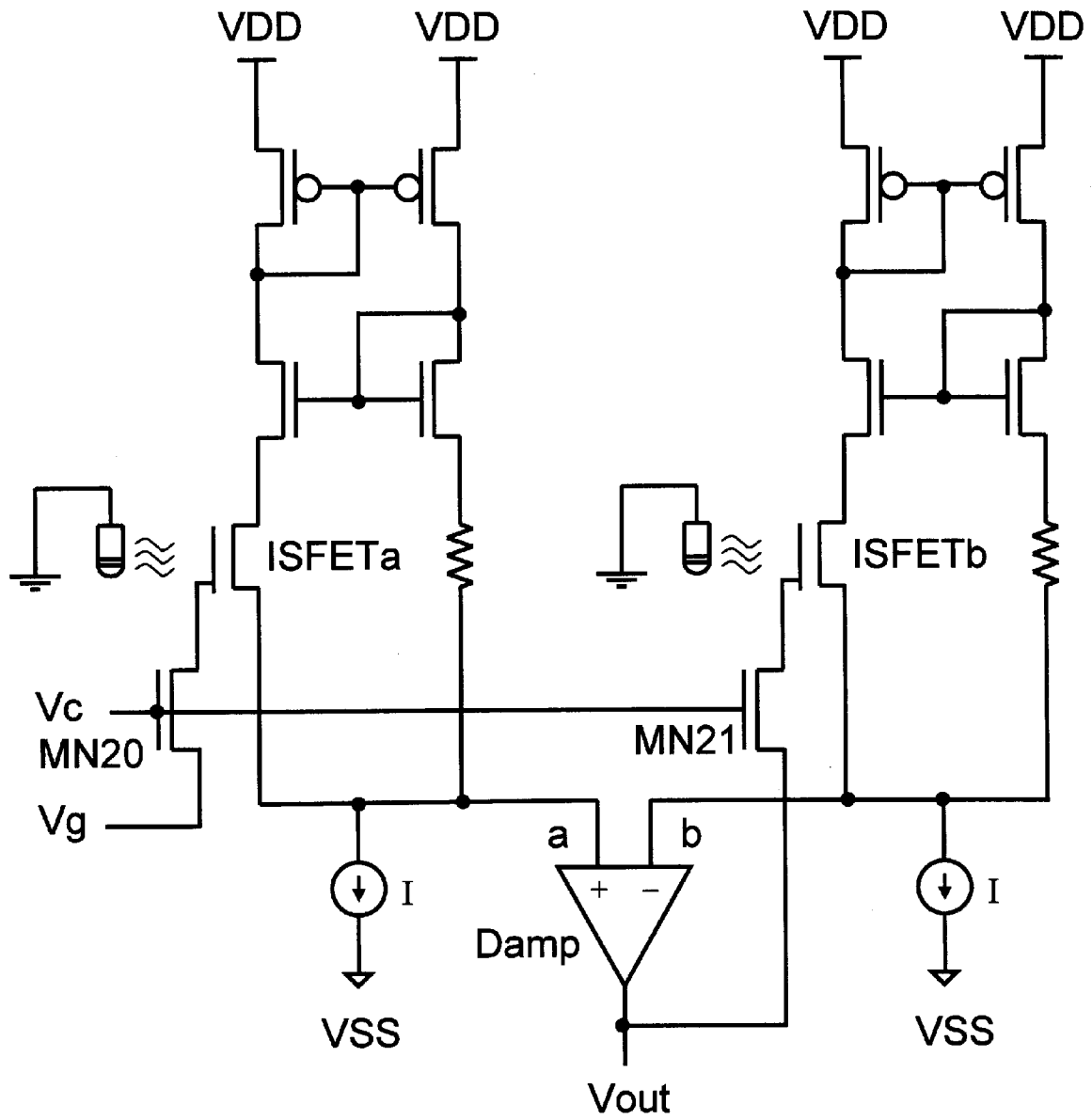
[図12]



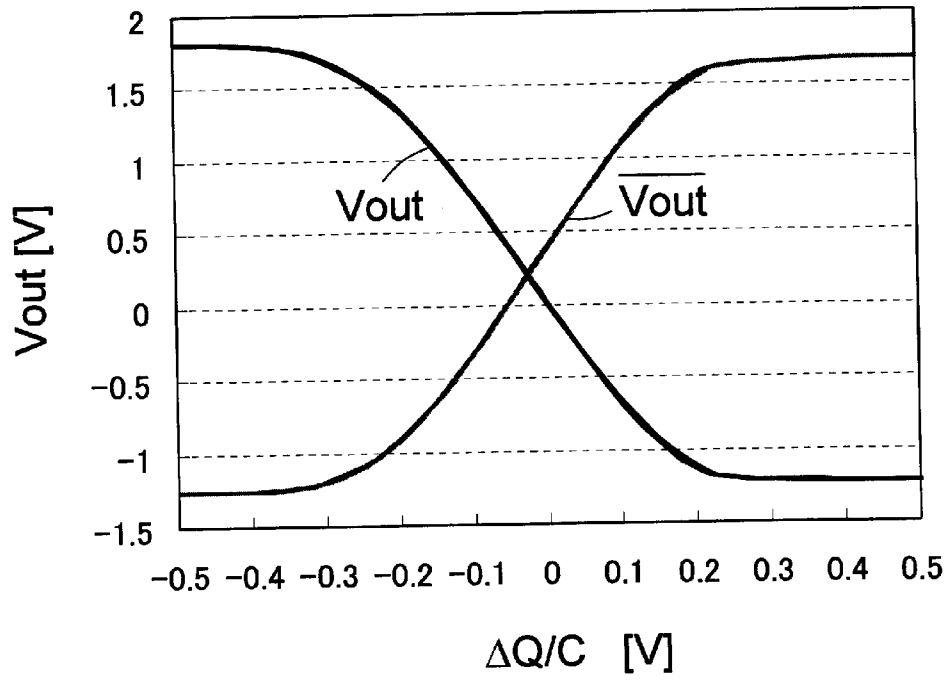
[図13]



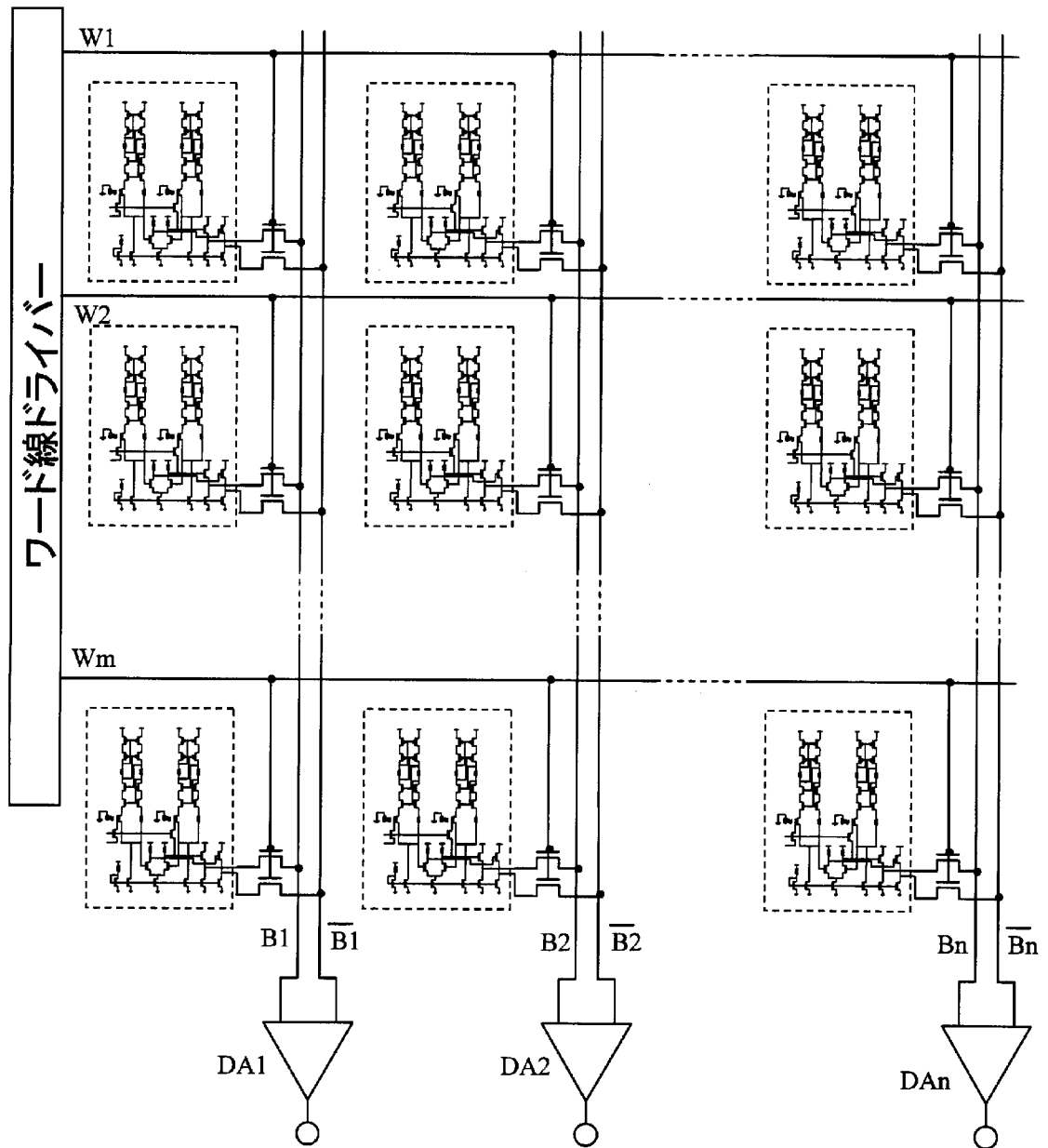
[図15]



[図17]

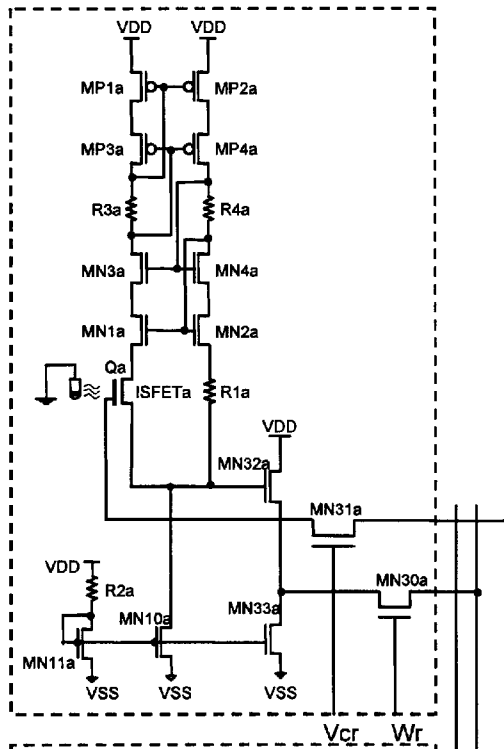


[図18]

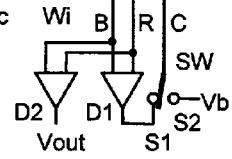
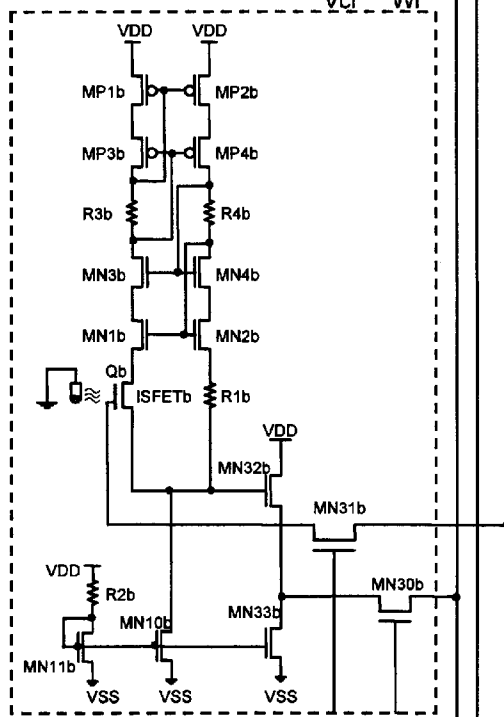


[図19]

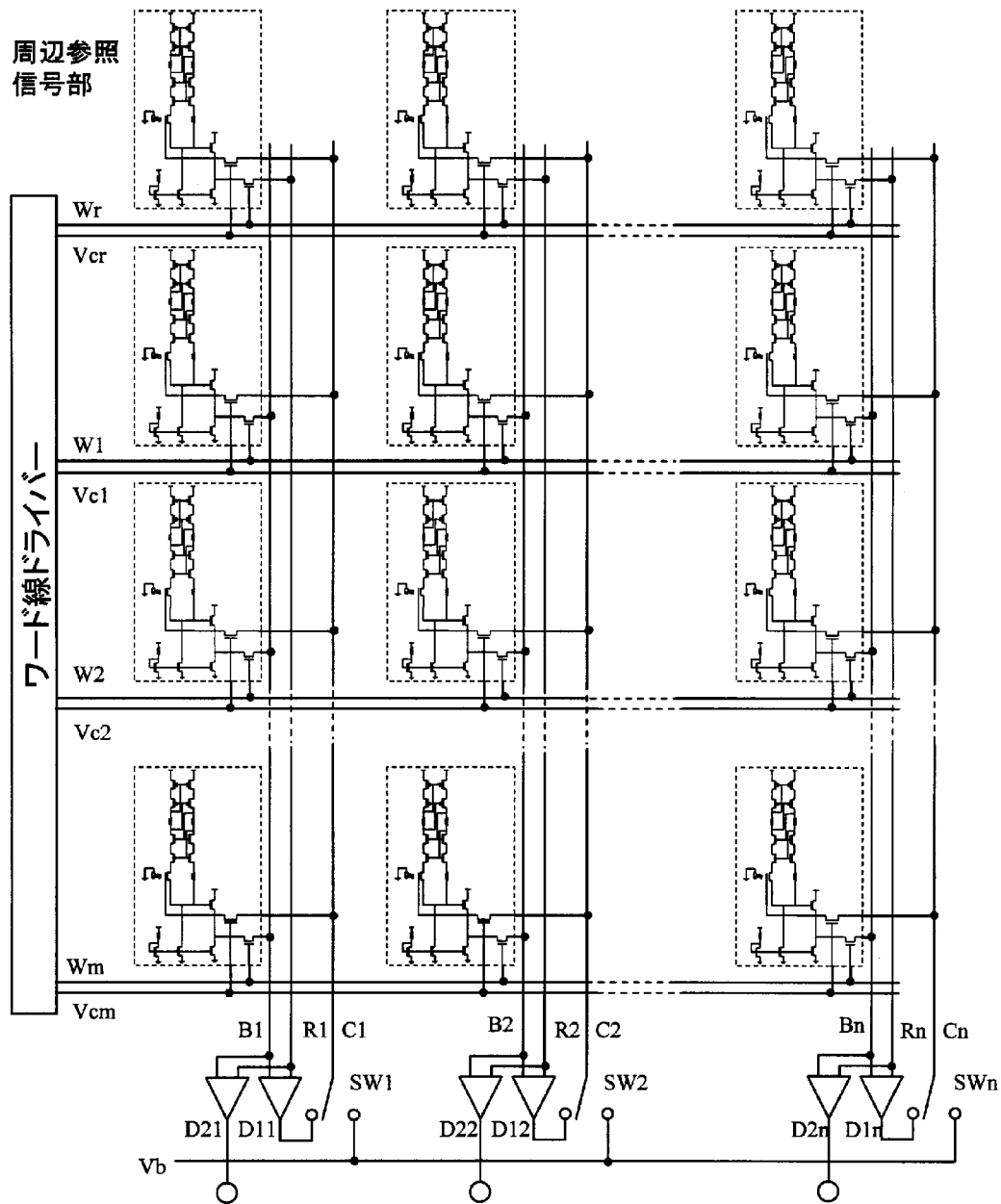
周辺参照信号部



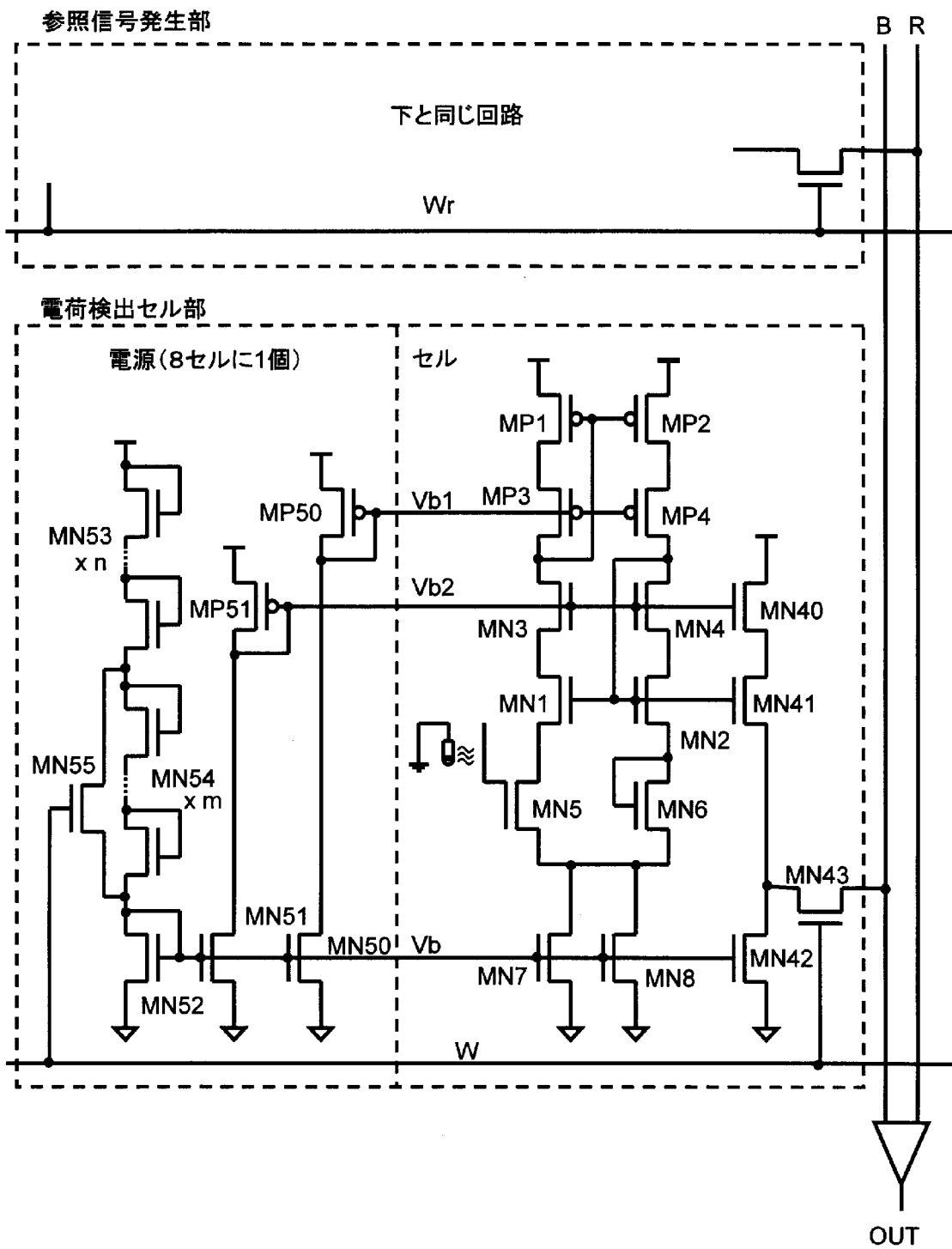
セル部



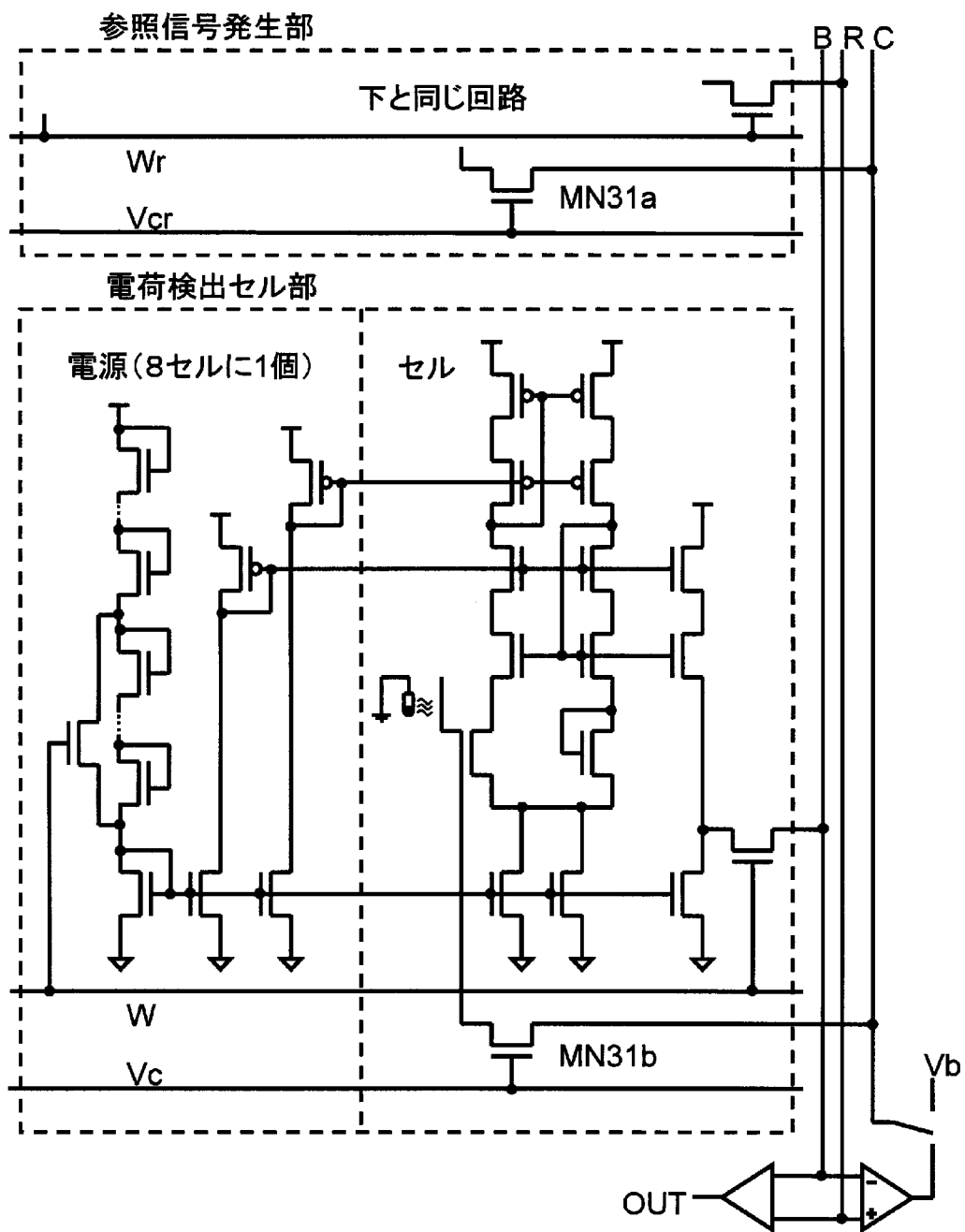
[図20]



[図21]

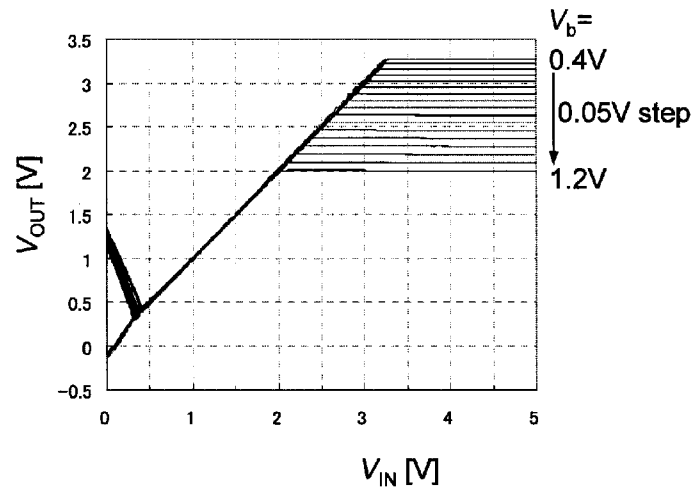


[図22]



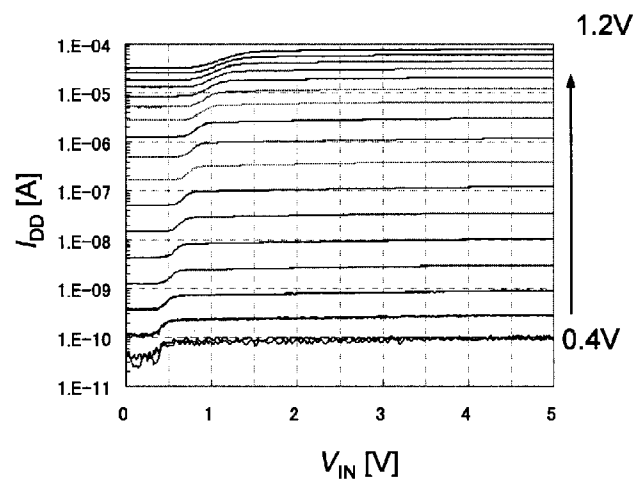
[図23A]

図23A

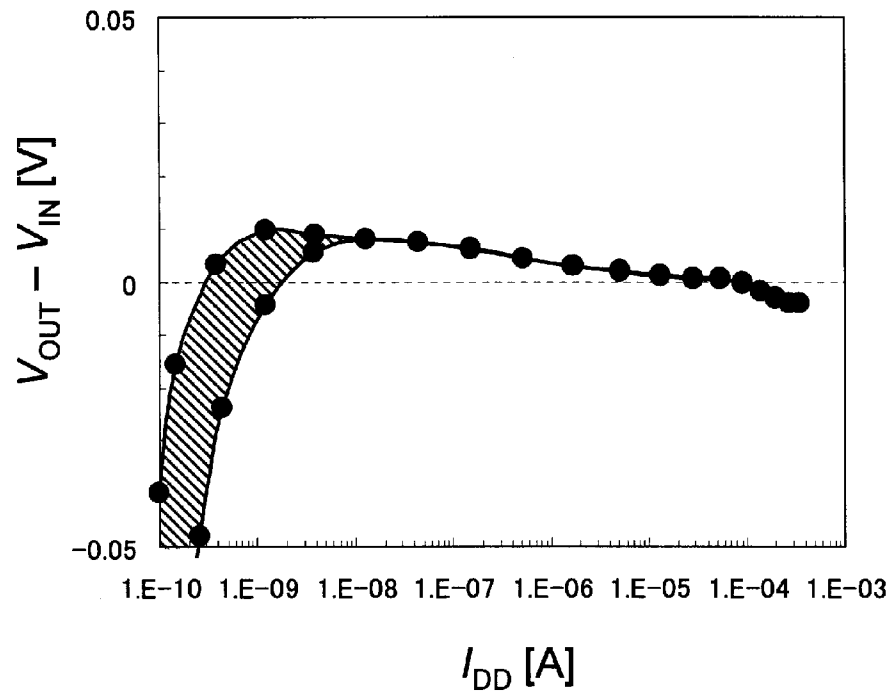


[図23B]

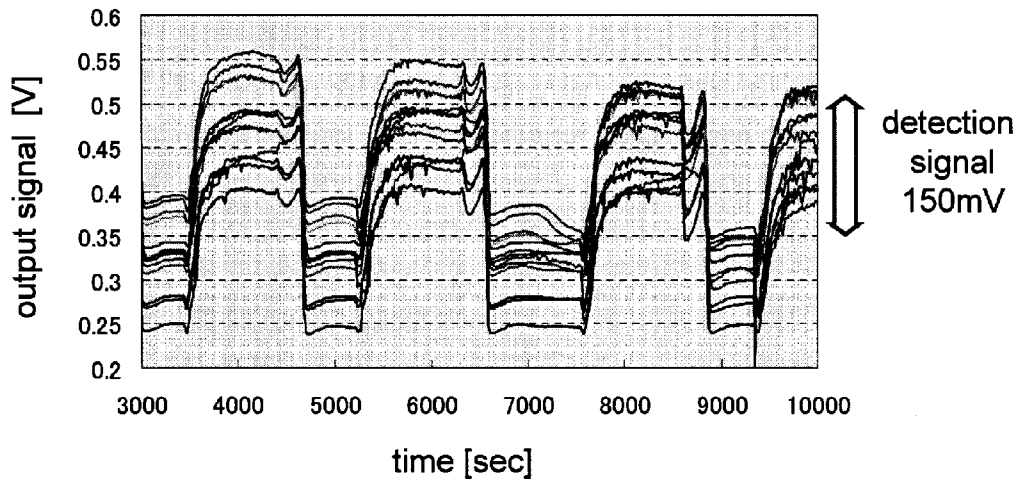
図23B



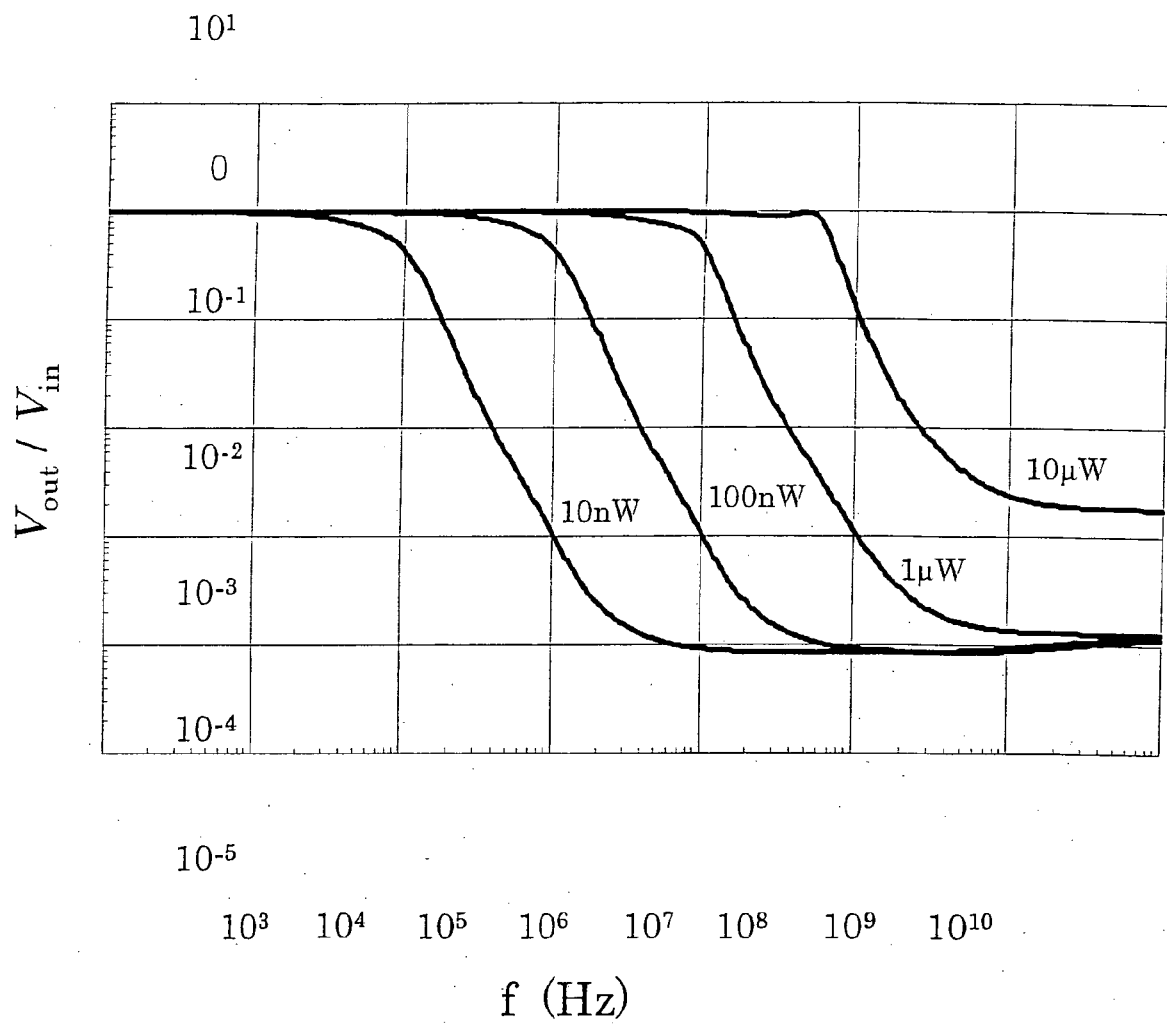
[図24]



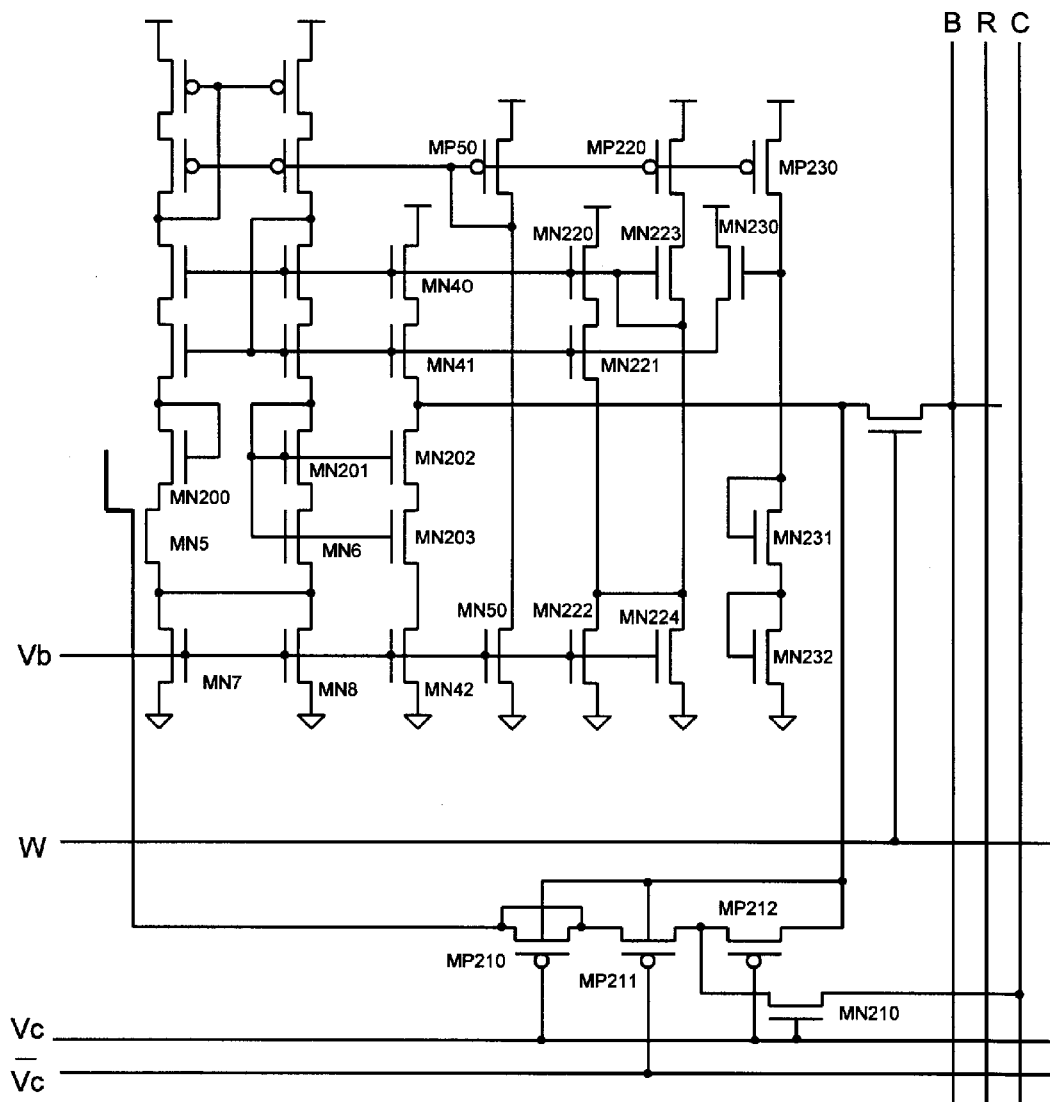
[図25]



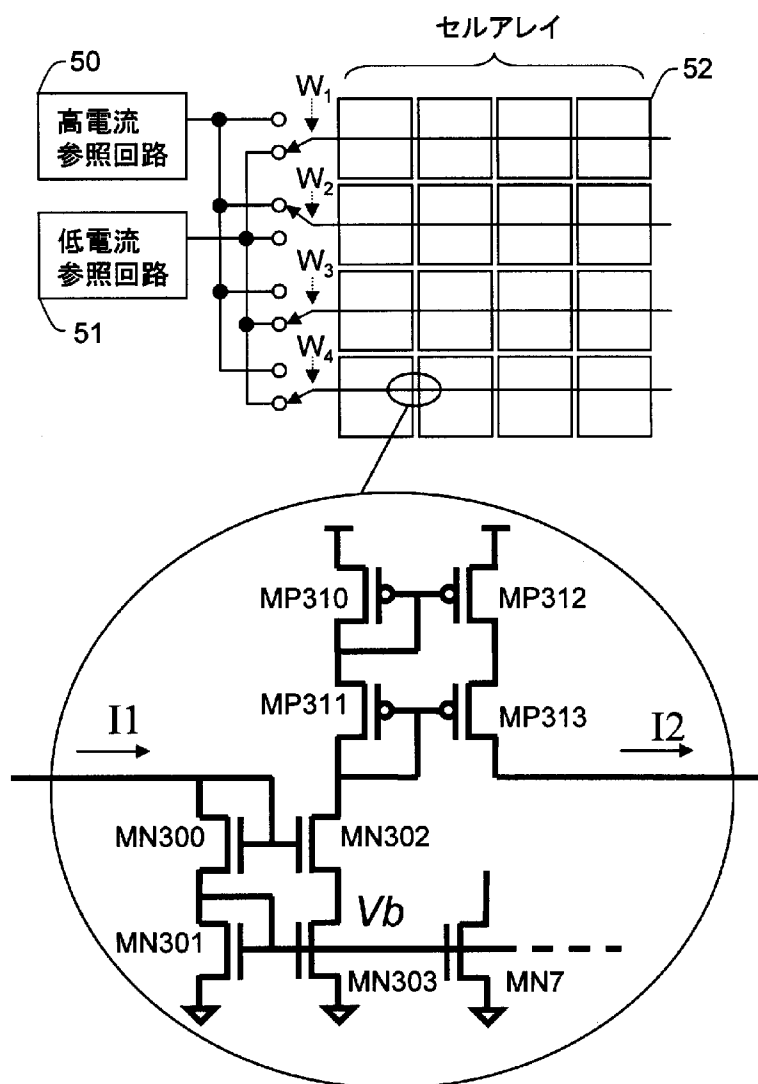
[図26]



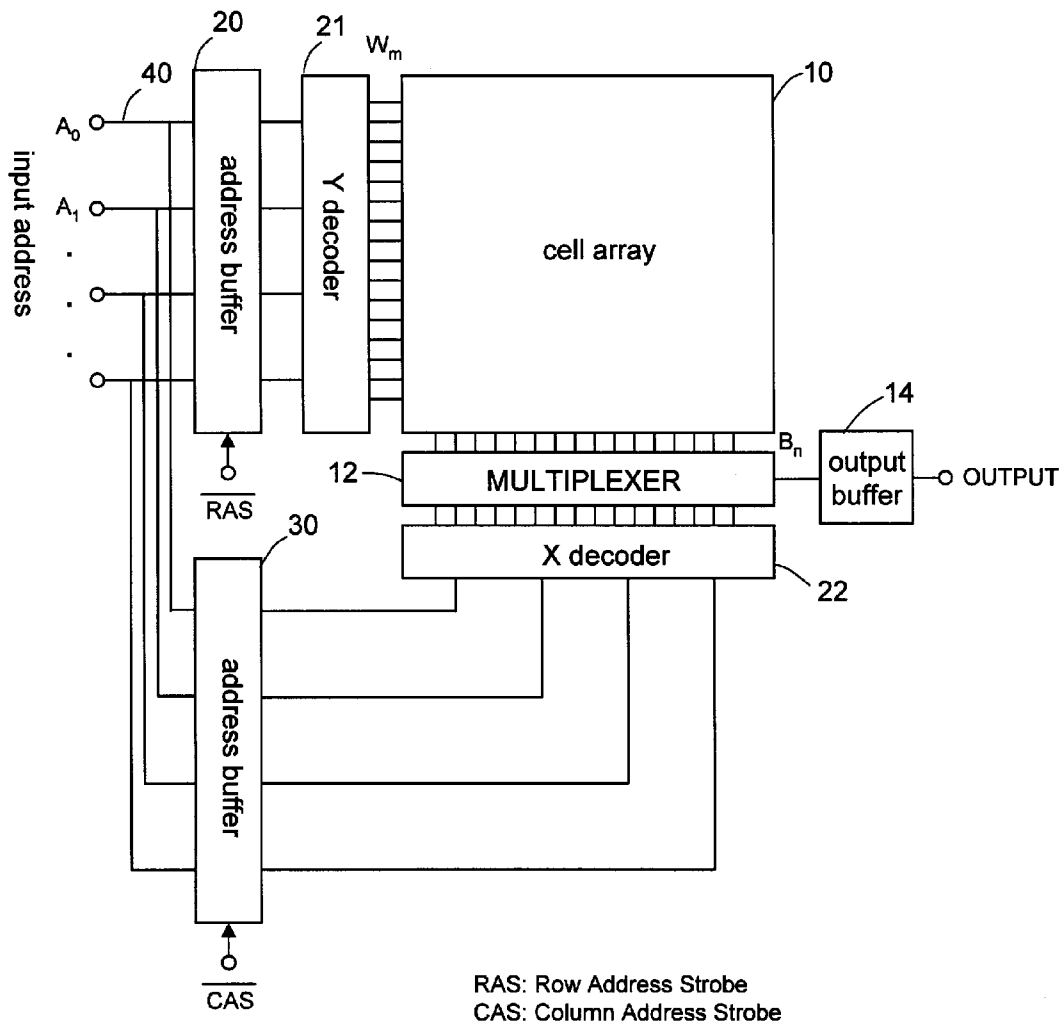
[図27]



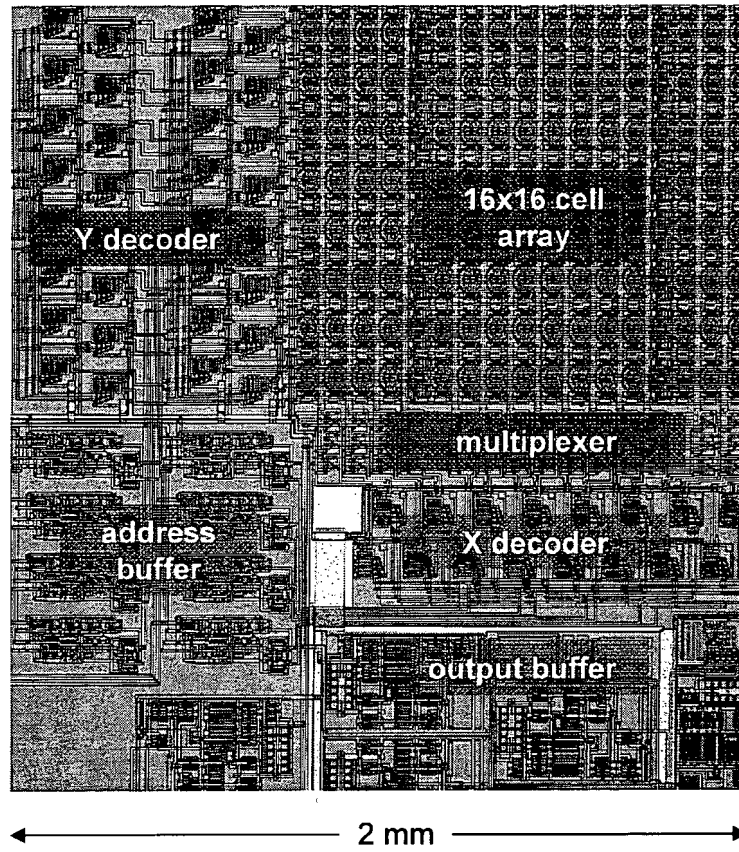
[図28]



[図29]



[図30]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/063847

A. CLASSIFICATION OF SUBJECT MATTER G01N27/414(2006.01)i, G01N27/416(2006.01)i, C12M1/34(2006.01)n		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G01N27/414, G01N27/416, C12M1/34		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2004-309462 A (Toshiba Corp.), 04 November, 2004 (04.11.04), Par. Nos. [0037] to [0052], [0120] to [0130]; Figs. 5, 6, 16, 24, 26 & US 2005/164286 A1 & EP 1530043 A1	1, 7, 11, 17, 18, 27 2-6, 8-10, 12-16, 19-26
Y A	JP 2001-525921 A (Nanogen Inc.), 11 December, 2001 (11.12.01), Page 14, line 27 to page 15, line 6; Fig. 3 & US 5965452 A1 & WO 98/001758 A1	1, 7, 11, 17, 18, 27 2-6, 8-10, 12-16, 19-26
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 04 October, 2007 (04.10.07)		Date of mailing of the international search report 16 October, 2007 (16.10.07)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G01N27/414(2006.01)i, G01N27/416(2006.01)i, C12M1/34(2006.01)n		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G01N27/414, G01N27/416, C12M1/34		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2004-309462 A (株式会社東芝) 2004.11.04, 段落【0037】 - 【0052】, 【0120】 - 【0130】, 図5, 6, 16, 24, 26 & US 2005/164286 A1 & EP 1530043 A1	1, 7, 11, 17, 18, 27 2-6, 8-10, 12-16, 19-26
Y A	JP 2001-525921 A (ナノゲン・インコーポレイテッド) 2001.12.11, 第14頁第27行-第15頁第6行, 図3 & US 5965452 A1 & WO 98/001758 A1	1, 7, 11, 17, 18, 27 2-6, 8-10, 12-16, 19-26
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 04.10.2007	国際調査報告の発送日 16.10.2007	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 柏木 一浩 電話番号 03-3581-1101 内線 3252	2 J 3 4 9 5