

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區)	申請專利, 申請日期:	案號:	, <input type="checkbox"/> 有 <input type="checkbox"/> 無主張優先權
日本	2001年 8月 6日	2001-238172	<input checked="" type="checkbox"/> 有主張優先權
日本	2001年 12月 27日	2001-396966	<input checked="" type="checkbox"/> 有主張優先權

有關微生物已寄存於：, 寄存日期：, 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

技術領域

本發明係關於使用在高速 MOSFET 等之半導體基板及場效電晶體以及其製造方法。

背景技術

近年來，將在 Si(矽)基板上透過 SiGe(矽鍺)層而磊晶生長之變形 Si 層使用於通道區域之高速的 MOSFET、MODFET、HEMT 被提出。在此變形 Si-FET 中，與 Si 相比，由於晶格常數之大的 SiGe，在 Si 層產生拉伸變形，因此，Si 區構造改變，簡併解開，載子移動度變高。因此，藉由將此變形 Si 層當成通道區域使用，變成可以為通常的 1.3~8 倍程度的高速化。另外，可以將製程上以 CZ 法（柴可拉斯基法：Czochralski Method）所形成之通常的 Si 基板當成基板使用，以習知的 CMOS 工程，可以實現高速 CMOS。

但是，在磊晶生長作為 FET 的通道區域所迫切期待的上述變形 Si 層上，需要在 Si 基板上磊晶生長良質的 SiGe 層，但是由於 Si 與 SiGe 之晶格常數的不同，由於錯位等，在結晶性上有問題。因此，習知上，進行以下之種種的提案。

例如，使用以一定的緩和傾斜使 SiGe 的 Ge 組成比變化之緩衝層的方法、使用使 Ge（鍺）組成比以階梯狀變化之緩衝層的方法，以及使用使用 Si 的切斷晶圓，以一定的傾斜使 Ge 組成比變化之緩衝層的方法等（U.S. Patent

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(2)

5,442,205、U.S.Patent 5,221,413、PCT W098/00857、日本專利特開平 6-252046 號公報等)。

但是，在上述習知的技術中，存在以下之課題。

即使用上述習知技術而成膜的 SiGe 層，貫通錯位密度和表面粗度並未能達到裝置以及製造製程所被迫切期待的水準之狀態。

例如，在使用使 Ge 組成比傾斜的緩衝層之情形，雖可以使貫通錯位密度變得比較低，但是，會有表面粗度惡化之不當情形；反之，在使用使 Ge 組成比成爲階梯狀之緩衝層之情形，雖可以使表面粗度變得比較小，但是，會有貫通錯位密度變大之不當情形。另外，在使用切斷晶圓之情形，錯位不在成膜方向，而是容易在橫向遺漏，還無法謀求充分之低錯位化。關於表面粗度，也還沒達到近年來之 LSI 等的微影工程所要求的水準。

發明揭示

本發明係有鑑於前述課題而完成者，目的在於提供：貫通錯位密度低，而且表面粗度也可以小至實用水準之半導體基板及場效電晶體以及其製造方法。

本發明爲了解決前述課題，採用以下之構成。即本發明之半導體基板，其特徵爲：具備：Si 基板、及該 Si 基板上的第 1SiGe 層、及直接或者透過 Si 層而配置在該第 1SiGe 層上的第 2SiGe 層，前述第 1SiGe 層，係比由於膜厚的增加而發生錯位，產生晶格弛緩之膜厚的臨界膜厚的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

2 倍還薄之膜厚，前述第 2SiGe 層，係具有：其之 Ge 組成比至少比前述第 1SiGe 層或者在與前述 Si 層之接觸面中，第 1SiGe 層的 Ge 組成比的層中的最大值還低，而且，至少其中一部份為 Ge 組成比朝向表面而逐漸增加之傾斜組成區域。

另外，本發明之半導體基板之製造方法，是針對在 Si 基板上使 SiGe 層磊晶生長之半導體基板之製造方法，其特徵為具有：在前述 Si 基板上使第 1SiGe 層磊晶生長之第 1 層形成工程、及在前述第 1SiGe 層上，直接或者透過磊晶生長之 Si 層，使第 2SiGe 層磊晶生長之第 2 層形成工程；前述第 1 層形成工程，係設定前述第 1SiGe 層的膜厚比由於膜厚的增加而發生錯位，產生晶格弛緩之膜厚的臨界膜厚的 2 倍還薄；前述第 2 層形成工程，係形成：使前述第 2SiGe 層的 Ge 組成比至少比前述第 1SiGe 層或者在與前述 Si 層之接觸面中，第 1SiGe 層的 Ge 組成比的層中的最大值還低，而且，至少其中一部份為 Ge 組成比朝向表面而逐漸增加之傾斜組成區域。

另外，本發明之半導體基板，是針對在 Si 基板上形成 SiGe 層之半導體基板，其特徵為：藉由上述本發明之半導體基板之製造方法而製作。

本發明為了解決前述課題，採用以下之構成。即本發明之半導體基板具備：Si 基板、及該 Si 基板上的第 1SiGe 層、及直接或者透過 Si 層而配置在該第 1SiGe 層上的第 2SiGe 層，前述第 1SiGe 層，係比由於膜厚的增加而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

發生錯位，產生晶格弛緩之膜厚的臨界膜厚的2倍還薄之膜厚，前述第2SiGe層係以使Ge組成比朝向表面逐漸增加之SiGe層的傾斜組成層與以該傾斜組成層的上面的Ge組成比而被配置在傾斜組成層上之SiGe的一定組成層交互而且連續之Ge組成比，做成複數層積層狀態而構成，前述第2SiGe層下面的Ge組成比，係比前述第1SiGe層的Ge組成比的層中的最大值還低。

另外，本發明之半導體基板之製造方法，是針對在Si基板上使SiGe層磊晶生長之半導體基板之製造方法，其特徵為具有：在前述Si基板上使第1SiGe層磊晶生長之第1層形成工程、及在前述第1SiGe層上，直接或者透過磊晶生長之Si層，使第2SiGe層磊晶生長之第2層形成工程；前述第1層形成工程，係設定前述第1SiGe層的膜厚比由於膜厚的增加而發生錯位，產生晶格弛緩之膜厚的臨界膜厚的2倍還薄；前述第2層形成工程，係形成：以使磊晶生長朝向表面而逐漸增加Ge組成比之SiGe的傾斜組成層的工程、及以前述傾斜組成層的最終的Ge組成比，在傾斜組成層上使SiGe的一定組成層磊晶生長之工程連續之Ge組成比，複數次重複，Ge組成比在成膜方向具有傾斜而呈現階梯狀變化之前述第2SiGe層，該第2SiGe層下面的Ge組成比，比前述第1SiGe層的Ge組成比的層中的最大值還低。

另外，本發明之半導體基板，是針對在Si基板上形成SiGe層之半導體基板，其特徵為：藉由上述本發明之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

半導體基板之製造方法而製作。

在這些半導體基板以及半導體基板之製造方法中，設定比由於膜厚的增加而發生錯位，產生晶格弛緩之膜厚的臨界膜厚的2倍還薄之第1SiGe層的膜厚，使第2SiGe層之Ge組成比至少比第1SiGe層或者在與前述Si層之接觸面中，第1SiGe層的Ge組成比的層中的最大值還低，而且，至少第2SiGe層具有至少其中一部份為Ge組成比朝向表面而逐漸增加之傾斜組成區域。另外，使第2SiGe層下面的Ge組成比比第1SiGe層的Ge組成比的層中的最大值還低。因此，在Si基板與第1SiGe層之界面以及第1SiGe層與第2SiGe層的界面附近，可以有效率使錯位集中，可以降低第2SiGe層表面的貫通錯位密度以及表面粗度。

即第1SiGe層被形成為比臨界膜厚之2倍還薄之故，在第1SiGe層成膜中，因應膜厚，雖然變形能量變大，但是，幾乎不會產生錯位。接著，一開始第2SiGe層之磊晶生長，已經在第1SiGe層儲存變形能量之故，在第2SiGe層的膜厚為薄的階段中，錯位之生成與成長係由第1SiGe層兩側的界面以及第2SiGe層內的第1SiGe層側開始，第1SiGe層以及第2SiGe層的晶格弛緩開始。此時，第2SiGe層的Ge組成比比第1SiGe層或者在與前述Si層的接觸面中，第1SiGe層的Ge組成比的層中的最大值低之故，錯位係沿著第1SiGe層兩側的界面集中產生，第1SiGe層兩側的界面的錯位的生成，有助於第2SiGe層的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

晶格弛緩，在第 2 SiGe 層內的錯位的生成和成長被抑制，而且，第 2 SiGe 層表面的表面粗度的惡化也被抑制。

另外，第 1 SiGe 層係作用為去除 Si 基板表面的水分和氧氣成份或者碳成份之不純物的層，具有抑制起因於 Si 基板的表面污染的缺陷的效果。

另外，在第 2 SiGe 層的傾斜組成區域中，錯位均等產生，引起錯位彼此的相互糾纏，傾斜組成區域中的錯位密度降低，而且，錯位的成長被誘導於橫向，表面區域的貫通錯位密度減少，也有表面粗度的惡化被抑制之效果。

在習知的沒有第 1 SiGe 層的情形的傾斜組成區域中，傾斜組成區域的膜厚係在預定的膜厚以上，在超過臨界膜厚時，開始錯位之生成，一旦經過錯位密度的增加後，在進一步形成傾斜組成區域之情形，可以獲得前述效果。即在習知的構造中，只在傾斜組成區域的上側的一部份的區域中，可以獲得前述效果。

另一方面，在有第 1 SiGe 層之本發明的構造中，變形能量被儲存在第 1 SiGe 層之故，在第 2 SiGe 層的膜厚為薄的階段中，錯位的生成在第 2 SiGe 層內開始之故，在第 2 SiGe 層內的傾斜組成區域整體，可以獲得前述效果，第 2 SiGe 層的表面區域的貫通錯位密度減少，表面粗度的惡化也被抑制。

另外，第 1 SiGe 層係作用為去除 Si 基板表面的水分和氧氣成份或者碳成份之不純物的層，具有抑制起因於 Si 基板的表面污染的缺陷的效果。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

又，錯位如開始在第 1 SiGe 層的成膜中生成，錯位在多方向開始成長之故，抑制錯位的成長方向變得困難，要減低貫通錯位和表面粗度，變得困難。因此，第 1 SiGe 層的膜厚需要設定在不超過臨界膜厚的 2 倍範圍，實際上為比錯位的生成和晶格弛緩顯著開始之膜厚還薄的膜厚。同時，第 1 SiGe 層的膜厚係以愈接近實際上錯位之生成和晶格弛緩顯著開始之膜厚的膜厚愈有效果。實際上錯位的生成和晶格弛緩顯著開始之膜厚，係因成膜的溫度條件等而不同。因此，在個別之成膜條件中，可以選擇在不超過臨界膜厚的 2 倍範圍，實際上錯位之生成和晶格弛緩顯著開始之膜厚附近，本發明的效果可以有效獲得之膜厚。

另外，以使 Ge 組成比朝向表面逐漸增加之 SiGe 層的傾斜組成層與以該傾斜組成層的上面的 Ge 組成比而被配置在傾斜組成層上之 SiGe 的一定組成層交互而且連續之 Ge 組成比，做成複數層積層狀態，當成第 2SiGe 層之故，第 2SiGe 層整體之 Ge 組成比成為傾斜階段狀之層，在界面中，錯位容易行走於橫向，貫通錯位變得不易產生，而且，在界面的組成變化小之故，在界面的錯位發生被抑制，在傾斜組成層的層內，錯位均等產生，可以抑制表面粗度的惡化。

本發明者們就 SiGe 的成膜技術進行研究之結果，知道結晶中的錯位，具有以下之傾向。

即在形成 SiGe 層之際，發生在成膜中的錯位，係具

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

有容易行走於對於成膜方向為斜向或者橫向（正交於成膜方向之方向： $\langle 110 \rangle$ 方向）之任一方向的特性。另外，錯位在層的界面雖容易行走於橫向，但是，在組成急遽變化之界面中，容易行走於上述斜向，而且，高密度產生很多的錯位。

因此，如以單純之階梯狀形成 Ge 組成比，在成為急遽的組成變化之界面部份中，很多的錯位高密度產生，而且，錯位容易在成膜方向的斜向行走，有貫通錯位變得很高之虞。另外，如單純使 Ge 組成比緩和傾斜而成膜，不存在成為行走於上述斜向的錯位往橫向逸出之開端的部份（界面等），只能貫通至表面。

相對於這些，在本發明之半導體基板的製造方法中，以使磊晶生長朝向表面而逐漸增加 Ge 組成比之 SiGe 的傾斜組成層的工程、及以前述傾斜組成層的最終的 Ge 組成比，在傾斜組成層上使 SiGe 的一定組成層磊晶生長之工程連續之 Ge 組成比，複數次重複，以形成 Ge 組成比在成膜方向具有傾斜而呈現階梯狀變化之前述第 2SiGe 層之故，傾斜組成層與一定組成層係交互複數段被形成，Ge 組成比成為傾斜階梯狀之層，可以形成錯位密度小，而且，表面粗度小的 SiGe 層。

即在界面中，錯位容易在橫向行走，貫通錯位不易產生。另外，在界面的組成變化小之故，在界面的錯位發生被抑制，在傾斜組成層的層內，錯位均等發生，可以抑制表面粗度的惡化。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(9)

另外，在第 2 SiGe 層的傾斜組成區域中，錯位均等發生，引起錯位彼此之相互糾纏，傾斜組成區域中的錯位密度減少，而且，錯位的成長被誘導於橫向，表面區域的貫通錯位密度減少，也有表面粗度的惡化被抑制的效果。

在習知的沒有第 1 SiGe 層之情形的傾斜組成區域中，傾斜組成區域的膜厚係在預定的膜厚以上，在超過臨界膜厚時，開始錯位之生成，一旦經過錯位密度的增加後，在進一步形成傾斜組成區域之情形，可以獲得前述效果。即在習知的構造中，只在傾斜組成區域的上側的一部份的區域中，可以獲得前述效果。

另一方面，在有第 1 SiGe 層之本發明的構造中，變形能量被儲存在第 1 SiGe 層之故，在第 2 SiGe 層的膜厚為薄的階段中，錯位的生成在第 2 SiGe 層內開始之故，在第 2 SiGe 層內的傾斜組成區域整體，可以獲得前述效果，第 2 SiGe 層的表面區域的貫通錯位密度減少，表面粗度的惡化也被抑制。

另外，本發明之半導體基板，係採用：前述第 1 SiGe 層的 Ge 組成比 x 為一定，其厚度低於滿足以下的關係式：

$$t_c(\text{nm}) = (1.9 \times 10^{-3} / \varepsilon(x)^2) \cdot \ln(t_c / 0.4)$$

$$\varepsilon(x) = (0.0200326x + 0.026174x^2) / a_0$$

$$a_0 = 0.543 \text{ nm} \quad (a_0 \text{ 係 Si 的晶格常數})$$

五、發明說明(10)

的臨界膜厚 t_c 的 2 倍的技術。

另外，本發明之半導體基板之製造方法，係採用：在前述第 1 層形成工程中，前述第 1 SiGe 層的 Ge 組成比 x 為一定，使第 1 SiGe 層之厚度低於滿足以下的關係式：

$$t_c(\text{nm}) = (1.9 \times 10^{-3} / \varepsilon(x)^2) \cdot \ln(t_c / 0.4)$$

$$\varepsilon(x) = (0.0200326x + 0.026174x^2) / a_0$$

$$a_0 = 0.543 \text{ nm} \quad (a_0 \text{ 係 Si 的晶格常數})$$

的臨界膜厚 t_c 的 2 倍的技術。

在這些半導體基板以及半導體基板之製造方法中，第 1 SiGe 層的 Ge 組成比為一定之故，以相同 Ge 組成比，實際上錯位之生成和晶格弛緩顯著開始之膜厚變得最薄，以最薄的膜厚可以獲得本發明之效果，具有成膜所需要的時間短之優點。另外，在這些之半導體基板以及半導體基板之製造方法中，藉由使第 1 SiGe 層成為其厚度低於滿足上述關係式的臨界膜厚（指不管成膜溫度，指由 Ge 組成比以及晶格常數所算出的錯位發生，產生晶格弛緩之膜厚） t_c 的 2 倍，可以容易將第 1 SiGe 層的膜厚設定在實際上錯位之生成和晶格弛緩顯著開始之膜厚內。

即上述實際上錯位之生成和晶格弛緩顯著開始之膜厚，係因成膜溫度而變化之故，如設為低於只由 Ge 組成比以及晶格常數，理論上求得的理想的臨界膜厚 t_c 的 2 倍，實際上，變得比錯位之生成和晶格弛緩顯著開始之膜厚

五、發明說明(11)

還薄，可以獲得本發明之效果。又，上述臨界膜厚係以在平衡狀態被成膜為前提之故，不管成膜溫度，只由 Ge 組成比以及晶格常數決定，實際上錯位之生成和晶格弛緩顯著開始之膜厚，不單在平衡狀態，也包含在低溫成長等之非平衡狀態被成膜之情形，係因應成膜溫度而決定。

另外，本發明之半導體基板，係以前述第 1SiGe 層的 Ge 組成比 x 為 0.05 以上而且 0.3 以下為佳。

另外，本發明之半導體基板之製造方法，係以前述第 1SiGe 層的 Ge 組成比 x 為 0.05 以上而且 0.3 以下為佳。

另外，在本發明之半導體基板之製造方法中，係製作在 Si 基板上透過 SiGe 層，形成變形 Si 層之半導體基板，期望直接或者透過其它的 SiGe 層在半導體基板的第 2SiGe 層上磊晶生長前述變形 Si 層。

本發明之半導體基板，係在 Si 基板上形成 SiGe 層之半導體基板，其特徵為：藉由上述本發明之半導體基板之製造方法而製作。即此半導體基板，係藉由上述本發明之半導體基板之製造方法所製作之故，具有表面的貫通錯位少，良好的表面粗度。

在這些之半導體基板以及半導體基板之製造方法中，前述第 1SiGe 層的 Ge 組成比在 0.05 以上而且 0.3 以下之故，實際上錯位之生成和晶格弛緩顯著開始之膜厚不會太薄、太厚，以適度的厚度的第 1SiGe 層，可以有效獲得本發明之效果。

即在第 1SiGe 層的 Ge 組成比 x 比 0.05 小之情形，實

五、發明說明（12）

際上錯位之生成和晶格弛緩顯著開始之膜厚成爲太厚之故，第 1SiGe 層的成膜所需要的時間變長，而且，第 1SiGe 層的表面粗度惡化。

另一方面，在第 1SiGe 層的 Ge 組成比 x 比 0.3 大之情形，以極爲薄之膜厚，實際上錯位之生成和晶格弛緩顯著開始之故，很難控制性好的形成第 1 SiGe 層。

另外，如前述第 1SiGe 層的 Ge 組成比 x 在 0.05 以上而且 0.3 以下，實際上錯位之生成和晶格弛緩顯著開始之膜厚成爲適當之厚度，錯位沿著第 1 SiGe 層兩側之界面而集中產生，可以有效獲得第 1SiGe 層兩側的界面的錯位的產生，有助於第 2SiGe 層的晶格弛緩的效果。

另外，本發明之半導體基板，係採用前述第 2SiGe 層被直接配置於前述第 1SiGe 層上，而且，層整體的 Ge 組成比朝向表面逐漸增加之傾斜組成層的構造。

另外，本發明之半導體基板之製造方法，係採用前述第 1SiGe 層被直接配置於前述第 1SiGe 層上，而且，層整體的 Ge 組成比朝向表面逐漸增加之傾斜組成層的構造。

另外，本發明之半導體基板，係針對在 Si 基板上形成 SiGe 層之半導體基板，其特徵爲：藉由上述本發明之半導體基板之製造方法而製作。

本發明之半導體基板，其特徵爲：直接或者透過其它之 SiGe 層在前述第 2 SiGe 層上磊晶生長變形 Si 層。

本發明之半導體基板之製造方法，其特徵爲具有：直接或者透過其它之 SiGe 層在前述第 2SiGe 層上磊晶生長

五、發明說明(13)

變形 Si 層之工程。

另外，本發明之半導體基板，係針對在 Si 基板上透過 SiGe 層形成變形 Si 層之半導體基板，其特徵為：藉由上述本發明之半導體基板之製造方法所製作。

在這些半導體基板以及半導體基板之製造方法中，前述第 2SiGe 層係被直接配置於前述第 1SiGe 層上，而且，層整體的 Ge 組成比係由朝向表面逐漸增加之傾斜組成層所形成之故，獲得本發明之效果所必要的層不會浪費地被配置，以最薄的膜厚，可以獲得本發明之效果，具有成膜所需要的時間短之優點。

在這些之半導體基板之製造方法以及半導體基板中，直接或者透過其它之 SiGe 層在前述第 2SiGe 層上磊晶生長變形 Si 層之故，可以獲得缺陷少、表面粗度小之良質的變形 Si 層，例如，可以獲得適用在使用將變形 Si 層當成通道區域之 MOSFET 等之積體電路用的半導體基板。

本發明之半導體基板，其特徵為：在前述 SiGe 層上直接或者透過其它之 SiGe 層磊晶生長變形 Si 層。

另外，本發明之半導體基板之製造方法，其特徵為：在前述 SiGe 層上直接或者透過其它之 SiGe 層磊晶生長變形 Si 層。

另外，本發明之半導體基板，係針對在 Si 基板上，透過 SiGe 層形成變形 Si 層之半導體基板，其特徵為：藉由上述本發明之成長變形 Si 層之半導體基板之製造方法所製作。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

在這些之半導體基板以及半導體基板之製造方法中，在前述 SiGe 層上直接或者透過其它之 SiGe 層而磊晶生長變形 Si 層之故，可以獲得缺陷少、表面粗度小之良質的變形 Si 層，例如適用於使用將變形 Si 層當成通道區域之 MOSFET 等之積體電路用的半導體基板以及其製造方法。

本發明之場效電晶體，係針對在 SiGe 層上的變形 Si 層具有通道區域的場效電晶體，其特徵為：在上述本發明之半導體基板之前述變形 Si 層具有前述通道區域。

另外，本發明之場效電晶體之製造方法，係針對在磊晶生長於 SiGe 層上之變形 Si 層形成通道區域之場效電晶體之製造方法，其特徵為：在藉由前述本發明之半導體基板之製造方法所製作的半導體基板之前述變形 Si 層形成前述通道區域。

另外，本發明之場效電晶體，係針對在磊晶生長於 SiGe 層上之變形 Si 層形成通道區域之場效電晶體，其特徵為：藉由上述本發明之場效電晶體之製造方法所製作。

本發明之場效電晶體之製造方法，係針對在磊晶生長於 SiGe 層上之變形 Si 層形成通道區域之場效電晶體之製造方法，其特徵為：在藉由上述本發明之具有變形 Si 層之半導體基板之製造方法所製作的半導體基板之前述變形 Si 層形成前述通道區域。

另外，本發明之場效電晶體，係針對在磊晶生長於 SiGe 層上之變形 Si 層形成通道區域的場效電晶體，其特徵為：藉由上述本發明之場效電晶體之製造方法所製作。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(15)

在這些場效電晶體以及場效電晶體之製造方法中，在上述本發明之半導體基板或者藉由上述本發明之半導體基板之製造方法所製作的半導體基板的前述變形 Si 層形成通道區域之故，藉由良質之 Si 層，可以高產品率地獲得高特性的場效電晶體。

發明的最好實施形態

以下，參考第 1 至第 3 圖，說明本發明之第 1 實施例。

第 1 圖是顯示本發明之半導體晶圓（半導體基板）W 的剖面構造圖，如配合其之製造製程來說明此半導體晶圓的構造，首先，在以 CZ 法等上拉成長所製作的 p 型或者 n 型 Si 基板 1，如第 1 圖以及第 2 圖所示般地，例如藉由減壓 CVD 法，以 Ge 組成比 x 為一定（例如 x=0.15）磊晶生長比上述之實際上錯位之產生和晶格弛緩顯著開始之膜厚還薄的厚度（例如，300nm）的第 1 SiGe 層 2。

在此之際，第 1 SiGe 層 2 係形成為比實際上錯位之生成和晶格弛緩顯著開始之膜厚還薄之故，在第 1 SiGe 層 2 成膜中，因應膜厚，變形能量雖然變大，但是幾乎不發生錯位和晶格弛緩。

又，第 2 SiGe 層 2 的厚度，係設為低於滿足以下之關係式：

$$t_c(\text{nm}) = (1.9 \times 10^{-3} / \varepsilon(x)^2) \cdot \ln(t_c / 0.4)$$

裝

訂

線

五、發明說明 (16)

$$\varepsilon(x) = (0.0200326x + 0.026174x^2) / a_0$$

$a_0 = 0.543 \text{ nm}$ (a_0 係 Si 的晶格常數)

的臨界膜厚 t_c 的 2 倍的厚度

接著，在第 1SiGe 層 2 上磊晶成長第 2SiGe 層 3。此第 2SiGe 層 3 係被設定為其之 Ge 組成比 y 至少在與第 1SiGe 層 2 的接觸面中，比第 1SiGe 層 2 的 Ge 組成比 x 的層中的最大值還低。另外，第 2SiGe 層 3 其之 Ge 組成比 y ，係朝向表面逐漸增加之傾斜組成層（例如，Ge 組成比 y 由 0 至 0.3 增加之層）（傾斜組成區域），例如，被成膜至 $1.1 \mu\text{m}$ 之厚度。

一開始第 2SiGe 層 3 的磊晶生長，變形能量已經被儲存在第 1SiGe 層 2 之故，在第 2SiGe 層 3 的膜厚為薄的階段中，錯位之生成和成長，係由第 1SiGe 層 2 兩側的界面以及第 2SiGe 層 3 內的第 1SiGe 層 2 側開始，第 1SiGe 層 2 以及第 2SiGe 層 3 的晶格弛緩開始。此時，第 2SiGe 層 3 的 Ge 組成在第 1SiGe 層 2 的接觸面中，比第 1SiGe 層 2 的 Ge 組成比的層中的最大值低之故，錯位係沿著第 1SiGe 層 2 兩側的界面 2a、2b 集中產生，第 1SiGe 層 2 兩側的界面 2a、2b 的錯位的成長有助於第 2SiGe 層 3 的晶格弛緩，在第 2SiGe 層 3 內的錯位的生成和成長被抑制，而且，第 2SiGe 層 3 表面的表面粗度的惡化也被抑制。

另外，Ge 組成比 z 以與第 2SiGe 層 3 的最終的 Ge 組成比相同（例如， z 為 0.3）之組成比，只磊晶生長預定

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(17)

厚度(例如, $0.75\ \mu\text{m}$)的一定組成比的 SiGe 弛緩層 4, 接著, 在該 SiGe 弛緩層 4 上磊晶生長單結晶 Si, 藉由形成只有預定厚度(例如, 20nm)之變形 Si 層 5, 製成完成本實施例之半導體晶圓 W。

又, 藉由上述減壓 CVD 法之成膜, 係使用 H_2 為運載氣體, 使用 SiH_4 以及 GeH_4 為來源氣體。

如此在本實施例之半導體晶圓 W 中, 設定比實際上錯位之生成和晶格弛緩顯著開始之膜厚還薄的第 1SiGe 層 2 的膜厚, 使第 2SiGe 層 3 的 Ge 組成比 y 至少在與第 1SiGe 層 2 的接觸面中, 比第 1SiGe 層 2 的 Ge 組成比 x 的層中的最大值低之故, 可以有效使錯位集中在 Si 基板 1 與第 1SiGe 層 2 的界面 2a 以及第 1SiGe 層 2 與第 2SiGe 層 3 的界面 2b, 可以降低貫通錯位密度以及表面粗度。

另外, 第 1SiGe 層 2 的 Ge 組成比為一定之故, 以相同之 Ge 組成比, 實際上錯位之生成和晶格弛緩顯著開始之膜厚成為最薄, 以最薄的膜厚, 可以獲得本發明之效果, 具有成膜所需要的時間短之優點。

另外, 藉由使第 1SiGe 層 2 成為滿足上述關係式的臨界膜厚 t_c 的 2 倍未滿之厚度, 依據後述之實驗結果, 可以容易將第 1SiGe 層 2 的膜厚設定在實際上錯位之生成和晶格弛緩顯著開始之膜厚內。

另外, 在本實施例中, 藉由使第 2SiGe 層 3 成為逐漸增加 Ge 組成比之傾斜組成層(傾斜組成區域), 錯位均等產生, 引起錯位彼此之相互糾纏, 第 2SiGe 層 3 中的錯

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（18）

位密度減少，而且，藉由使錯位之成長被誘導於橫向，具有表面區域的貫通錯位密度減少，表面粗度的惡化也被抑制之效果。

另外，在本實施例中，在第 2SiGe 層 3 的成膜前，變形能量已經被儲存在第 1SiGe 層 2 之故，在第 2SiGe 層 3 的膜厚為薄的階段中，錯位的生成在第 2SiGe 層 3 內開始之故，在第 2SiGe 層 3 內的傾斜組成區域整體，可以獲得前述之效果，第 2SiGe 層 3 的表面區域的貫通錯位密度減少，表面粗度的惡化也被抑制。

進而，第 1SiGe 層 2 係作用為去除 Si 基板 1 表面的水分和氧氣成份或者碳成份之不純物的層，具有抑制起因於 Si 基板 1 的表面污染之缺陷的效果。

接著，配合其之製造製程，參考第 3 圖說明利用本發明之上述半導體晶圓 W 的場效電晶體（MOSFET）。

第 3 圖是顯示本發明的場效電晶體的概略的構造，在製造此場效電晶體上，於以上述的製造工程所製作的半導體晶圓 W 表面的變形 Si 層 5 上依序堆積閘極氧化膜 6 以及閘極多晶矽 7。而且，在成為通道區域的部份上的閘極多晶矽 7 上圖案化形成閘極電極（省略圖示）。

接著，也圖案化閘極氧化膜 6，去除閘極電極下以外的部份。進而，藉由將閘極電極使用為光罩之離子植入，在變形 Si 層 5 以及弛緩層 4 自我對準地形成 n 型或者 p 型的源極 S 以及汲極 D。之後，在源極 S 以及汲極 D 上分別形成源極電極以及汲極電極（省略圖示），製造了變形

裝

訂

線

五、發明說明（19）

Si 層 5 成爲通道區域之 n 型或者 p 型 MOSFET。

在如此製作的 MOSFET 中，係在以上述製法所製造的半導體晶圓 W 上的變形 Si 層 5 形成通道區域之故，藉由良質的變形 Si 層 5，可以高產品率地獲得更高特性的 MOSFET。

接著，參考第 4 圖說明本發明之第 2 實施例。

第 2 實施例與第 1 實施例之不同點，爲：相對於在第 1 實施例的第 1SiGe 層 2 中，Ge 組成比被設定爲一定，在第 2 實施例中，如第 4 圖所示般地，將第 1SiGe 層 12 的 Ge 組成比 x 設定爲在與 Si 基板的接觸面中，爲層中的最大值，使 Ge 組成比 x 逐漸減少之點。

即在本實施例中，在第 1SiGe 層 12 的形成工程中，在成膜開始時，設 Ge 組成比 x 爲 0.2，之後，使之逐漸減少，最終使 Ge 組成比 x 幾乎變化爲 0，做成只使成長爲比實際上錯位之生成和晶格弛緩顯著開始之膜厚還薄的預定厚度（例如，350nm）之傾斜組成層。

在本實施例中，藉由使第 1SiGe 層 12 的 Ge 組成比 x 在與 Si 基板 1 的接觸面中，爲層中的最大值，成膜時的變形能量變成集中在與 Si 基板 1 的界面側，在第 2SiGe 層 3 成膜開始時所產生的晶格弛緩之際，可以使在與 Si 基板 1 的界面比與第 2SiGe 層 3 的界面處發生很多的錯位。藉由此，可以使錯位集中在由第 2SiGe 層 3 表面側遠離之位置，與第 1 實施例相同，可以降低貫通錯位和表面粗度。

五、發明說明 (20)

接著，參考第 5 圖說明本發明之第 3 實施例。

第 3 實施例與第 2 實施例之不同點，為：相對於第 2 實施例之第 1SiGe 層 12 為使 Ge 組成比逐漸減少之傾斜組成層，在第 3 實施形態中，如第 5 圖所示般地，在第 1SiGe 層 22 的形成工程中，在成膜開始時，設 Ge 組成比 x 為 0.2，之後，逐漸使之減少，使 Ge 組成比 x 幾乎變化為 0，形成預定厚度（例如，175nm）後，進而使 Ge 組成比 x 逐漸增加，最終形成至 0.2 之預定厚度（例如，175nm）的組成變化層之點。

又，此第 1SiGe 層 22 的厚度，也設定為比實際上錯位之生成和晶格弛緩顯著開始之膜厚還薄。

在此第 3 實施例中，第 1SiGe 層 22 的 Ge 組成比 x 也在與 Si 基板 1 以及第 2SiGe 層 3 的接觸面中，為層中的最大值之故，與第 1 實施形態相同，可以在 Si 基板 1 以及第 2SiGe 層 3 的界面使之發生很多的錯位。

接著，參考第 6 圖及第 7 圖說明本發明之第 4 實施例及第 5 實施例。

第 4 實施例與第 1 實施例之不同點，為：相對於在第 1 實施例的第 1SiGe 層 2 中，Ge 組成比被設定為一定，在第 4 實施例中，如第 6 圖所示般地，第 1SiGe 層 32 的 Ge 組成比 x 幾乎由 0 逐漸增加，最終至 0.2，比實際上錯位之生成和晶格弛緩顯著開始之膜厚還薄的預定厚度（例如，350nm）。

另外，第 5 實施例與第 1 實施例之不同點，為：相對

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(21)

於在第 1 實施例的第 1SiGe 層 2 中，Ge 組成比被設定為一定，在第 5 實施例中，如第 7 圖所示般地，第 1SiGe 層 42 的 Ge 組成比 x 幾乎由 0 逐漸增加，成膜為 0.2 之預定厚度（例如，175nm），進而在之後，使 Ge 組成比由 0.2 逐漸減少至幾乎為 0 之預定厚度（例如，175nm）。又，第 1SiGe 層 42 的厚度被設定為比實際上錯位之生成和晶格弛緩顯著開始之膜厚還薄。

在這些第 4 以及第 5 實施例中，其中第 1SiGe 層 32、42 之任何一個，都以比實際上錯位之生成和晶格弛緩顯著開始之膜厚還薄的膜厚所形成之故，在第 2SiGe 層 3 的成膜時，錯位集中發生於第 1SiGe 層 32、42 之兩側的界面，可以降低貫通錯位和表面粗度。又，在第 4 以及第 5 實施例中，第 1SiGe 層 32、42 的層中的 Ge 組成比的最大值，不在與 Si 基板 1 的界面側之故，第 1 及第 2 實施例可以獲得更好的貫通錯位及表面粗度的改善效果。

又，本發明之技術範圍並不限定於上述實施形態，在不脫離本發明之旨意之範圍中，可以加上種種之變更。

例如，在上述各實施例中，關於第 1SiGe 層，Ge 組成比對膜厚之分布，雖設為 5 種之分布，但是也可以設為其它之分布。例如，也可以將第 1SiGe 層設為由 Ge 組成比不同的複數的 SiGe 層所形成的多層膜。另外，也可以為在前述多層膜包含 Si 層之多層膜。

另外，在上述各實施例中，在第 1SiGe 層內使 Ge 組成比逐漸變化之情形，雖然對於膜厚，以一定比例使組成

五、發明說明(22)

變化，也可以做成其比例不為一定之構造。

另外，第 1SiGe 層係包含 Ge 之層，只要可以儲存變形能量即可，也可以為這些以外的任何的 Ge 組成比的分佈。

另外，在上述各實施例中，雖設為使第 2SiGe 層整體其 Ge 組成比逐漸增加之傾斜組成層，也可以為由傾斜組成層與均勻組成層所形成的多層構造之層。另外，也可以為包含 Si 層之多層膜。

另外，在上述各實施例中，雖然使在第 2SiGe 層內使 Ge 組成比朝向表面逐漸增加之傾斜組成區域對於膜厚以一定比例使組成改變，但是，也可以為其比例不為一定之構造。另外，也可以使其之組成傾斜為階梯狀的 Ge 組成比的變化。

另外，在上述各實施例中，雖然在第 1SiGe 層上直接配置第 2SiGe 層，但是也可以透過 Si 層而配置第 2SiGe 層。

另外，也可以在上述各實施例的半導體晶圓 W 的變形 Si 層上進一步形成 SiGe 層。

另外，在上述各實施例中，作為 MOSFET 用的基板，雖然製作具有 SiGe 層的半導體晶圓，但是也可以當成適用在其它用圖的基板。例如，也可以將本發明之半導體基板之製造方法及半導體基板適用在太陽能電池用之基板。即在上述之各實施例的 Si 基板上，形成在最表面成為 100%Ge 地，使 Ge 組成比逐漸增加之傾斜組成層的 SiGe

五、發明說明(23)

層，另外，在其上形成 GaAs(砷化鎵)膜，以製作太陽能電池用基板。在此情形，可以獲得低錯位密度、高性能之太陽能電池用基板。

另外，如依據本發明之半導體基板之製造方法，可以獲得具有變形矽的高品質的錯位少的 SOI(Silicon on insulator: 矽絕緣層)構造的半導體基板。具有變形矽之 SOI 構造的半導體基板，可以藉由所謂之機敏切割法製造。機敏切割法也稱為氫植入去疊合(delamination)法，利用藉由在矽單結晶植入氫離子特別是正離子，矽的結晶晶格部份被切斷之現象，而切出薄膜之方法。如此所製造的具有 SiGe/SiO₂/Si 之 SOI 構造的發明之半導體基板，例如可以合適使用在 US5,906,951 號公報所記載之 SOI 基板的製造。

接著，說明實際製作本發明之半導體基板之際，藉由 SIMS(Secondary Ion Mass Spectrometry: 第二離子質譜儀)的分析結果、貫通錯位密度、表面粗度以及表面光學顯微鏡照片的觀察結果。

製作之半導體基板係對應上述第 1 實施例之基板，設第 1SiGe 層 2 的 Ge 組成比為 0.1、0.15、0.2，改變膜厚而製作複數之基板。又，為了比較，也製作習知技術之基板，即沒有第 1SiGe 層者。

在這些之半導體基板中，關於設第 1SiGe 層的膜厚為 300nm 之基板，於第 8 圖顯示藉由 SIMS 分析 Ge 組成比對膜厚之分布的結果。

五、發明說明 (24)

將這些半導體基板的貫通錯位密度以及表面粗度的測量結果分別顯示於第 9 圖以及第 10 圖。又，貫通錯位密度係以蝕刻細孔密度表示，表面粗度係以 RMS(Root Mean Square：均方根)表示。

由這些圖也可以清楚，與習知技術(第 1SiGe 層的厚度 0)的情形相比，第 1SiGe 層的膜厚至少未滿臨界膜厚 t_c 之 2 倍的情形，貫通錯位密度以及表面粗度的任一者都被降低。

又，在習知技術(第 1SiGe 層之厚度 0)的情形以及上述實施例中第 1SiGe 層的 Ge 組成比為 0.2，第 1SiGe 層的厚度為 180nm 之情形，將表面的光學顯微鏡照片分別顯示於第 11 圖以及第 12 圖。

由這些圖也可以明白，與習知技術的情形相比，在本實施例的情形，蝕刻細孔之暗點變得非常少。

又，關於這些本發明之實施例，在第 24A~24G 顯示藉由 TEM(Transmission Electron Microscope：透過型電子顯微鏡)以觀察成膜過程之結果的照片。第 24A~24C 圖係顯示藉由習知之製造方法的成膜的經過，第 24D~24G 圖係顯示藉由本發明之半導體基板之製造方法的成膜的經過。第 24B 圖與第 24E 圖係在相同時間點的照片，第 24C 圖與第 24F 圖係其之後的成膜過程的相同時間點的照片。在第 24C 圖中，弛緩還位開始。相對於此，如依據第 24F 圖，可以確認到：在第 1SiGe 層與 Si 基板的界面以及第 1SiGe 層與第 2SiGe 層之界面，發生很多的錯位，錯位在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

第 2SiGe 層的表面側非常少，以及在第 1SiGe 層的兩界面，弛緩已經進行。

又，實際製作對應上述第 2~第 5 實施例的半導體基板，與上述相同，於第 13 圖之表中顯示測量表面粗度的結果。又，任一者都是第 1SiGe 層的最大 Ge 組成比為 0.2，膜厚為 350nm。由第 13 圖可以明白，在這些實施例中，對應第 2 實施例以及第 3 實施例之實施例，比起其它實施例，可以獲得良好之結果。關於對應第 2 實施形態之實施例，將貫通錯位密度以及表面粗度對第 1SiGe 層的膜厚的測量結果分別顯示於第 14 圖以及第 15 圖。與第 1 實施例的情形相同，與習知技術（第 1SiGe 層的厚度 0）的情形相比，在第 1SiGe 層的膜厚至少未滿臨界膜厚 t_c 的 2 倍之情形，貫通錯位密度以及表面粗度的任何一者都被降低。

參考第 1、3、16、17、17 圖，在以下說明本發明之第 6 實施例。

第 1 圖是顯示本發明之半導體晶圓（半導體基板）W 的剖面構造圖，如配合其之製造製程說明此半導體晶圓的構造，首先，在以 CZ 法等上拉成長所製作的 p 型或者 n 型 Si 基板 1 上，如第 1 圖以及第 16 圖所示般地，以 Ge 組成比 x 為一定（例如， $x=0.15$ ），例如藉由減壓 CVD 法，磊晶成長比上述之實際上錯位之生成和晶格弛緩顯著開始之膜厚還薄的厚度（例如，300nm）的第 1SiGe 層 2。在此之際，第 1SiGe 層 2 比實際上錯位之生成和晶格弛

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (26)

緩顯著開始之膜厚還薄之故，在第 1SiGe 層 2 成膜中，因應膜厚，變形能量雖變大，但是錯位和晶格弛緩幾乎沒有發生。

又，第 1SiGe 層 2 的厚度係設為低於滿足以下之關係式：

$$t_c(\text{nm}) = (1.9 \times 10^{-3} / \varepsilon(x)^2) \cdot \ln(t_c / 0.4)$$

$$\varepsilon(x) = (0.0200326x + 0.026174x^2) / a_0$$

$$a_0 = 0.543 \text{ nm} \quad (a_0 \text{ 係 Si 的晶格常數})$$

的臨界膜厚 t_c 的 2 倍的厚度。

接著，在第 1SiGe 層 2 上外嚴懲軼第 2SiGe 層 3。此第 2SiGe 層 3 係被設定為其之 Ge 組成比 y 至少在與第 1SiGe 層 2 的接觸面中，比第 1SiGe 層 2 的 Ge 組成比 x 的層中的最大值還低。另外，第 2SiGe 層 3 係 Ge 組成比 x 由 0 至 y (例如， $y=0.3$) 而在成膜方向具有傾斜，呈階梯狀變化之 $\text{Si}_{1-x}\text{Ge}_x$ 之步階傾斜層。

接著，在第 2SiGe 層 3 上磊晶成長 Ge 組成比為一定之 $\text{Si}_{1-y}\text{Ge}_y$ 之弛緩層 4。進而藉由以 Ge 組成比 z (在本實施例中， $z=y$)，在 $\text{Si}_{1-z}\text{Ge}_z$ 之弛緩層 4 上磊晶成長 Si，形成變形 Si 層 5，製作完成具備本實施例的變形 Si 層之半導體晶圓 W。又，各層之膜厚例如第 2SiGe 層 3 為 1.5

μm 、弛緩層 4 為 $0.7 \sim 0.8 \mu\text{m}$ 、變形 Si 層 5 為 $15 \sim 22 \text{ nm}$ 。

五、發明說明 (27)

上述第 2SiGe 層 3 之成膜，係如第 16 圖至第 18 圖所示般地，以使磊晶成長 Ge 組成比朝向表面逐漸增加至預定值之 SiGe 的傾斜組成層 3a 之工程；以及以傾斜組成層 3a 的最終的 Ge 組成比，在傾斜組成層 3a 上磊晶成長 SiGe 之一定組成層 3b 的工程連續的 Ge 組成比，複數次重複進行。另外，第 2SiGe 層 3 下面的 Ge 組成比，係被設定在第 1SiGe 層 2 上面的 Ge 組成比以下。又，在本實施例中，使第 2SiGe 層 3 的 Ge 組成比由 0 逐漸增加。

例如，在本實施例中，5 次重複進行傾斜組成層 3a 以及一定組成層 3b 之磊晶成長工程，形成第 2SiGe 層 3。即如設 1 次的傾斜組成層 3a 以及一定組成層 3b 的磊晶成長工程為 1 步驟，首先，最初的步驟為將第 1 傾斜組成層 3a 在 Si 基板 1 上，使 Ge 組成比由 0 逐漸增加至 0.06 而成長，在其上形成 Ge 組成比為 0.06 之第 1 一定組成層 3b。接著，第 2 步驟為在 Ge 組成比為 0.06 之第 1 一定組成層 3b 上，使 Ge 組成比由 0.06 逐漸增加至 0.12 以使第 2 傾斜組成層 3a 成長，在其上，形成 Ge 組成比為 0.12 之第 2 一定組成層 3b。

而且，第 3 步驟為在 Ge 組成比為 0.12 之第 2 一定組成層 3b 上，使 Ge 組成比由 0.12 逐漸增加至 0.18 而使第 3 傾斜組成層 3a 成長，在其上，形成 Ge 組成比為 0.18 之一定組成層 3b。接著，第 4 步驟為在 Ge 組成比為 0.18 之一定組成層 3b 上，使 Ge 組成比由 0.18 逐漸增加至 0.14 而使第 4 傾斜組成層 3a 成長，在其上，形成 Ge 組成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(28)

比為 0.24 的第 4 一定組成層 3b。另外，最後的步驟為在 Ge 組成比為 0.24 的一定組成層 3b 上，使 Ge 組成比由 0.24 逐漸增加至 0.3 而使第 5 傾斜組成層 3a 成長，在其上，形成 Ge 組成比為 0.3 之第 5 一定組成層 3b。又，在本實施例中，各傾斜組成層 3a 以及各一定組成層 3b，係都被設定為相同。

上述第 2SiGe 層 3 的磊晶成長一開始，變形能量已經被儲存在第 1SiGe 層 2 之故，在第 2SiGe 層 3 的膜厚為薄的階段中，錯位之生成與成長由第 1SiGe 層 2 兩側的界面以及第 2SiGe 層 3 內的第 1SiGe 層 2 側開始，第 1SiGe 層 2 以及第 2SiGe 層 3 的晶格弛緩開始。此時，第 2SiGe 層 3 的 Ge 組成比在第 1SiGe 層 2 的接觸面中，比第 1SiGe 層 2 的 Ge 組成比的層中的最大值低之故，錯位沿著第 1SiGe 層 2 兩側的界面 2a、2b 而集中產生，第 1SiGe 層 2 兩側的界面 2a、2b 的錯位的產生，有助於第 2SiGe 層 3 的晶格弛緩，在第 2SiGe 層 3 內的錯位的生成和成長被抑制，而且，第 2SiGe 層 3 表面的表面粗度的惡化也被抑制。

另外，以 Ge 組成比 z 與第 2SiGe 層 3 的最終的 Ge 組成比相同（例如， z 為 0.3），使一定組成比的 SiGe 弛緩層 4 只磊晶成長至預定厚度（例如， $0.75\mu\text{m}$ ），接著，在該 SiGe 弛緩層 4 上使單結晶 Si 磊晶成長，使變形 Si 層 5 只形成至預定厚度（例如， 20nm ），製作完成本實施例之半導體晶圓 W。

五、發明說明(29)

又，上述藉由減壓 CVD 法之成膜，例如係使用 H_2 為運載氣體，使用 SiH_4 以及 GeH_4 為來源氣體。

如此，在本實施例之半導體晶圓 W 中，設定比實際上錯位之生成和晶格弛緩顯著開始之膜厚還薄的第 1SiGe 層 2 的膜厚，使第 2SiGe 層 3 的 Ge 組成比 y 至少在與第 1SiGe 層 2 的接觸面中，比第 1SiGe 層 2 的 Ge 組成比 x 的層中的最大值還低之故，可以在 Si 基板 1 與第 1SiGe 層 2 的界面 2a 以及第 1SiGe 層 2 與第 2SiGe 層 3 的界面 2b 有效率使錯位集中，可以降低貫通錯位密度以及表面粗度。

另外，第 1SiGe 層 2 的 Ge 組成比為一定之故，以相同 Ge 組成比，實際上錯位之生成和晶格弛緩顯著開始之膜厚成為最薄，以最薄的膜厚，可以獲得本發明之效果，具有成膜所需要的時間短之優點。

另外，藉由使第 1SiGe 層 2 成為滿足上述關係式之臨界膜厚 t_c 的 2 倍未滿之厚度，依據後述之實驗結果，可以容易將第 1SiGe 層 2 的膜厚設定在實際上錯位之生成和晶格弛緩顯著開始之膜厚內。

另外，在本實施例中，在第 2SiGe 層 3 的成膜前，變形能量已經被儲存在第 1SiGe 層 2 之故，在第 2SiGe 層 3 的膜厚為薄的階段中，錯位之生成在第 2SiGe 層 3 內開始之故，在第 2SiGe 層 3 內的傾斜組成區域整體，可以獲得前述效果，第 2SiGe 層 3 的表面區域的貫通錯位密度減少，表面粗度的惡化也被抑制。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（30）

另外，第 1SiGe 層 2 係作用為去除 Si 基板 1 表面的水分和氧氣成份或者碳成份之不純物的層，具有抑制起因於 Si 基板 1 的表面污染的缺陷的效果。

另外，在本實施例中，於第 2SiGe 層 3 的形成上，以使磊晶成長 Ge 組成比朝向表面逐漸增加之 SiGe 的傾斜組成層 3a 之工程；以及以傾斜組成層 3a 的最終的 Ge 組成比，在傾斜組成層 3a 上磊晶成長 SiGe 之一定組成層 3b 的工程連續的 Ge 組成比，複數次重複進行之故，傾斜組成層 3a 與一定組成層 3b 交互複數段被形成，成為 Ge 組成比為傾斜階梯狀之層，如上述般地，可以形成錯位密度少，而且表面粗度少之 SiGe 層。

即在本實施例中，可以使均勻產生晶格弛緩所必要的錯位，而且，儘可能使錯位行走於橫向，不貫通表面上而可以形成 SiGe 層之故，可以獲得良好的表面狀態。

接著，配合其製造製程，參考第 3 圖說明利用本發明之上述半導體晶圓 W 之場效電晶體（MOSFET）。

第 3 圖是顯示本發明之場效電晶體的概略構造的剖面圖，在製造此場效電晶體上，於以上述之製造工程所製作的半導體晶圓 W 表面的變形 Si 層 5 上依序堆積 SiO₂ 的閘極氧化膜 6 以及閘極多晶矽膜 7。而且，在成為通道區域之部份上的閘極多晶矽膜 7 上圖案化形成閘極電極（省略圖示）。

接著，也圖案化閘極氧化膜 6，去除閘極電極下以外的部份。另外，藉由將閘極電極使用為光罩之離子植入，

五、發明說明(31)

在變形 Si 層 5 以及弛緩層 4 自我對準地形成 n 型或者 p 型的源極 S 以及汲極 D。之後，在源極 S 以及汲極 D 上分別形成源極電極以及汲極電極（省略圖示），製造了變形 Si 層 5 成爲通道區域之 n 型或者 p 型 MOSFET。

在如此製作的 MOSFET 中，係在以上述製法所製造的半導體晶圓 W 上的變形 Si 層 5 形成通道區域之故，藉由良質的變形 Si 層 5，可以高產品率地獲得更高特性的 MOSFET。

接著，參考第 19 圖以及第 20 圖說明本發明之第 7 實施例。

第 7 實施例與第 6 實施例之不同點，爲：相對於在第 6 實施例的第 2SiGe 層 3 中，傾斜組成層 3a 以及一定組成層 3b 的膜厚分別被設定爲相同，在第 7 實施例中，如第 19 圖以及第 20 圖所示般地，在磊晶成長傾斜組成層 13a 以及一定組成層 13b 之工程中，在個別每次重複時，使傾斜組成層 13a 以及一定組成層 13b 的厚度逐漸變薄，而形成第 2SiGe 層 13。又，在第 1 實施例中，雖重複 5 次進行傾斜組成層 3a 以及一定組成層 3b 的磊晶成長工程，但是，在本實施例中，重複 4 次進行傾斜組成層 13a 以及一定組成層 13b 之磊晶成長工程，而形成第 2SiGe 層 13 之點也不同。

即在本實施例中，於傾斜組成層 13a 以及一定組成層 13b 之磊晶成長工程中，在成長第 1 傾斜組成層 13a 以及第 1 一定組成層 13b 厚，成長比第 1 傾斜組成層 13a 以及

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (32)

第 1 一定組成層 13b 薄的第 2 傾斜組成層 13a 以及第 2 一定組成層 13b。另外，同樣為之，成長比第 2 傾斜組成層 13a 以及第 2 一定組成層 13b 薄的第 3 傾斜組成層 13a 以及第 3 一定組成層 13b，最後，成長比第 3 傾斜組成層 13a 以及第 3 一定組成層 13b 薄的第 4 傾斜組成層 13a 以及第 4 一定組成層 13b，形成第 2SiGe 層 13。

即如設第 1 傾斜組成層 13a 以及第 1 一定組成層 13b 為 l_1 、第 2 傾斜組成層 13a 以及第 2 一定組成層 13b 為 l_2 、第 3 傾斜組成層 13a 以及第 3 一定組成層 13b 為 l_3 、第 4 傾斜組成層 13a 以及第 4 一定組成層 13b 為 l_4 ，以 $l_1 \geq l_2 \geq l_3 \geq l_4$ 之關係進行積層。

又，錯位產生之界限膜厚雖依據 Ge 組成比而改變，但是上述各層，係被設定為比此界限膜厚還厚，使得晶格弛緩所必要的錯位在各層均等產生。

另外，各傾斜組成層 13a 的 Ge 組成比的傾斜，係分別被設定為相同。

如前述般地，錯位係 Ge 組成比愈高愈容易發生之故，相對於如第 6 實施形態般地，在以相同厚度重複成膜之情形，愈上層錯位發生愈多，如本實施例般地，每次重複時，藉由逐漸使傾斜組成層 13a 以及一定組成層 13b 變薄，可以在各層使錯位均等產生。

接著，參考第 21A~21D 圖，說明本發明之第 8 實施例。

第 8 實施例與第 6 實施例之不同點，為：相對於在第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（33）

6 實施例的第 1SiGe 層 2 中，Ge 組成比被設定為一定，在第 8 實施例中，如第 21A~21D 圖所示般地，第 1SiGe 層的 Ge 組成比並非一定之點。例如，本實施例的第 1 例，係如第 21A 圖所示般地，設第 1SiGe 層 12 的 Ge 組成比 x 在與 Si 基板 1 的接觸面中，為層中的最大值，使 Ge 組成比逐漸減少。

即在本實施例的第 1 例中，在第 1SiGe 層 12 的形成工程中，於成膜開始時，設 Ge 組成比 x 為 0.3，之後使之逐漸減少，最終，使 Ge 組成比 x 幾乎變化為 0，做成只使成長至比實際上錯位之生成和晶格弛緩顯著開始之膜厚還薄之預定膜厚（例如，350nm）的傾斜組成層。

在本實施例中，藉由使第 1SiGe 層 12 的 Ge 組成比 x 在與 Si 基板 1 的接觸面中，為層中的最大值，成膜時的變形能量集中在與 Si 基板 1 的界面側，在第 2SiGe 層 3 成膜開始時所產生的晶格弛緩之際，可以在與 Si 基板 1 之界面比與第 2SiGe 層 3 的界面，使發生很多的錯位。藉由此，可以使錯位集中在遠離第 2SiGe 層 3 表面側的位置，與第 6 實施例相同，可以使貫通錯位和表面粗度降低。

另外，本實施例的第 2 例係如第 21B 圖所示般地，在第 1SiGe 層 22 的形成工程中，係做成：於成膜開始時，設 Ge 組成比 x 為 0.2，之後，使之逐漸減少，使 Ge 組成比變化為 0 而形成預定膜厚後（例如，175nm）後，另外，再度使 Ge 組成比逐漸增加，最終至 0.2 而形成預定厚度（例如，175nm）之組成變化層。

五、發明說明 (34)

又，此第 1SiGe 層 22 之厚度，也被設定為比實際上錯位之生成和晶格弛緩顯著開始之膜厚還薄。

於此第 2 例中，第 1SiGe 層 22 之 Ge 組成比 x ，在 Si 基板 1 以及第 2SiGe 層 3 的接觸面中，成為層中的最大值之故，與第 6 實施例相同，可以在 Si 基板 1 以及第 2SiGe 層 3 的界面使之發生很多的錯位。

另外，本實施例的第 3 例係如第 21C 圖所示般地，使第 1SiGe 層 32 之 Ge 組成比 x 幾乎由 0 逐漸增加，最終至 0.2，而形成比實際上錯位之生成和晶格弛緩顯著開始之膜厚還薄的厚度（例如，175nm）。

另外，本實施例的第 4 例係如第 21D 圖所示般地，使第 1SiGe 層 42 的 Ge 組成比 x 幾乎由 0 逐漸增加至 0.2，形成預定厚度（例如，175nm），進一步在此之後，使 Ge 組成比 x 由 0.2 逐漸減少至幾乎為 0，形成預定厚度（例如，175nm）。又，第 1SiGe 層 42 的厚度係被設定為比實際上錯位之生成和晶格弛緩顯著開始之膜厚還薄。

在這些第 4 以及第 5 例中，第 1SiGe 層 32、42 之任何一者都以比實際上錯位之生成和晶格弛緩顯著開始之膜厚還薄的膜厚而形成之故，在第 2SiGe 層 3 之成膜時，錯位集中發生在第 1SiGe 層 32、42 的兩側的界面，可以降低貫通錯位和表面粗度。又，在第 4 以及第 5 例中，第 1SiGe 層 32、42 的層中的 Ge 組成比的最大值不在與 Si 基板 1 的界面側之故，第 1 以及第 2 實施例可以得到更好的貫通錯位以及表面粗度的改善效果。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (35)

又，本發明之技術範圍並不限定於上述實施形態，在不脫離本發明之旨意的範圍內，可以有種種之變更。

例如，在上述各實施例中，在第 1SiGe 層中，Ge 組成比對膜厚之分布，雖設為 5 種之分布，但是也可以設為其它之分布。例如，也可以將第 1SiGe 層設為由 Ge 組成比不同的複數的 SiGe 層所形成的多層膜。另外，也可以為在前述多層膜包含 Si 層之多層膜。

另外，在上述各實施例中，在第 1SiGe 層內使 Ge 組成比逐漸變化之情形，雖然對於膜厚，以一定比例使組成變化，也可以做成其比例不為一定之構造。

另外，第 1SiGe 層係包含 Ge 之層，只要可以儲存變形能量即可，也可以為這些以外的任何的 Ge 組成比的分布。

另外，在上述各實施例中，雖然使在第 2SiGe 層內使 Ge 組成比朝向表面逐漸增加之傾斜組成區域對於膜厚以一定比例使組成改變，但是，也可以為其比例不為一定之構造。另外，也可以使其之組成傾斜為階梯狀的 Ge 組成比的變化。

另外，在上述各實施例中，雖然在第 1SiGe 層上直接配置第 2SiGe 層，但是也可以透過 Si 層而配置第 2SiGe 層。

另外，也可以在上述各實施例的半導體晶圓的變形 Si 層上進一步形成 SiGe 層。

另外，在上述各實施例中，作為 MOSFET 用的基板，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (36)

雖然製作具有 SiGe 層的半導體晶圓，但是也可以當成適用在其它用圖的基板。例如，也可以將本發明之半導體基板之製造方法及半導體基板適用在太陽能電池用之基板。即在上述之各實施例中，使在最表面成爲由 65% 至 100% 之 Ge 或者 100% 之 Ge 而形成第 2SiGe 層以及第 3SiGe 層，另外，在其上形成 InGaP (銻鎵磷化物) 或者 GaAs (砷化鎵) 和 AlGaAs (鋁砷化鎵)，以製作太陽能電池和光元件用基板。在此情形，可以獲得低錯位密度、高性能之太陽能電池用基板。

【 第 2 實施例 】

接著，顯示實際製作本發明之半導體基板之際的貫通錯位密度以及表面粗度的測量結果。

製作之半導體基板係對應上述第 6 實施例者，設第 1SiGe 層 2 的 Ge 組成比爲 0.2，重複 5 次進行第 2SiGe 層 3 的傾斜組成層 3a 以及一定組成層 3b 之磊晶成長工程。半導體基板係改變第 1SiGe 層 2 的膜厚而製作。又，爲了比較，也製作使第 2SiGe 層爲不包含一定組成比之單一傾斜組成層者。另外，爲了與習知技術比較，也製作沒有第 1SiGe 層，而且，使第 2SiGe 層爲不包含一定組成比之單一傾斜組成層者 (STD)。

其結果爲：如第 22 圖以及第 23 圖所示般地，相對於習知技術 (STD)，即使僅設置少許之第 1SiGe 層者，其貫通錯位密度以及表面粗度變低。特別是，第 1SiGe 層在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (37)

400nm 以下之區域中，可以獲得低貫通錯位密度以及表面粗度。

在使第 2SiGe 層為不包含一定組成比之單一傾斜組成層者中，與習知技術 (STD) 相比，依然是即使僅設置少許之第 1SiGe 層者，其貫通錯位密度以及表面粗度變低。在此情形，特別是第 1SiGe 層在 400nm 以下之區域中，也可以獲得低貫通錯位密度以及表面粗度。但是，如與第 1 實施例比較，貫通錯位密度以及表面粗度惡化，知道藉由做成使第 2SiGe 層由傾斜組成層與一定組成層所形成之傾斜階梯狀之層，可以更有效降低貫通錯位密度以及表面粗度。

產業上之利用可能性

如依據本發明，可以達成以下之效果。

如依據本發明之半導體基板以及半導體基板之製造方法，具有：設定前述第 1SiGe 層的膜厚比由於膜厚的增加而發生錯位，產生晶格弛緩之膜厚的臨界膜厚的 2 倍還薄，使前述第 2SiGe 層的 Ge 組成比至少比前述第 1SiGe 層或者在與前述 Si 層之接觸面中，第 1SiGe 層的 Ge 組成比的層中的最大值還低，而且，第 2SiGe 層係至少其中一部份為 Ge 組成比朝向表面而逐漸增加之傾斜組成區域之故，可以在 Si 基板與第 1SiGe 層的界面以及第 1SiGe 層與第 2SiGe 層的界面附近，使錯位有效率集中，可以降低第 2SiGe 層表面的貫通錯位密度以及表面粗度。

五、發明說明(38)

又，如依據具備本發明之變形 Si 層之半導體基板及其製造方法，係在前述 SiGe 層上直接或者透過其它之 SiGe 層而磊晶成長變形 Si 層之故，可以在表面狀態良好的 SiGe 層上形成 Si 層，能夠形成缺陷少、表面粗度小之良質的變形 Si 層。

另外，如依據本發明之場效電晶體及場效電晶體之製造方法，在上述本發明之半導體基板或者藉由上述本發明之半導體基板之製造方法所製作的半導體基板的前述變形 Si 層形成前述通道區域之故，可以在良質之變形 Si 層以高產品率獲得更高特性之 MOSFET。

如依據本發明之半導體基板及半導體基板之製造方法，以設定第 1SiGe 層的膜厚比由於膜厚的增加而發生錯位，產生晶格弛緩之膜厚的臨界膜厚的 2 倍還薄，使 Ge 組成比朝向表面逐漸增加之 SiGe 層的傾斜組成層與以該傾斜組成層的上面的 Ge 組成比而被配置在傾斜組成層上之 SiGe 的一定組成層交互而且連續之 Ge 組成比，做成複數層積層狀態，構成第 2SiGe 層，使第 2SiGe 層下面的 Ge 組成比比第 1SiGe 層的 Ge 組成比的層中的最大值低之故，可以在 Si 基板與第 1SiGe 層的界面以及第 1SiGe 層與第 2SiGe 層的界面附近，使錯位有效率集中，而且，使錯位行走於橫向，不貫通表面上而出。因此，藉由這些之相乘效果，可以獲得貫通錯位密度及表面粗度小的良質的結晶性的基板。

另外，如依據本發明之場效電晶體及場效電晶體之製

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（39）

造方法，在上述本發明之半導體基板或者藉由上述本發明之半導體基板之製造方法所製作的半導體基板的前述變形 Si 層形成前述通道區域之故，可以在良質之變形 Si 層以高產品率獲得更高特性之 MOSFET。

圖面之簡單說明

第 1 圖是顯示本發明之第 1 實施例的半導體基板的剖面圖。

第 2 圖是顯示 Ge 組成比對本發明之第 1 實施例的半導體基板的膜厚的曲線圖。

第 3 圖是顯示本發明之第 1 實施例之 MOSFET 的概略的剖面圖。

第 4 圖是顯示 Ge 組成比對本發明之第 2 實施例的半導體基板的膜厚的曲線圖。

第 5 圖是顯示 Ge 組成比對本發明之第 3 實施例的半導體基板的膜厚的曲線圖。

第 6 圖是顯示 Ge 組成比對本發明之第 4 實施例的半導體基板的膜厚的曲線圖。

第 7 圖是顯示 Ge 組成比對本發明之第 5 實施例的半導體基板的膜厚的曲線圖。

第 8 圖是顯示在對應本發明之第 1 實施例的實施例的半導體基板之中，關於設第 1 SiGe 層之膜厚為 300nm 之基板，藉由 SIMS 分析 Ge 組成比對膜厚的分布的結果的曲線圖。

裝

訂

線

五、發明說明(40)

第 9 圖是顯示貫通錯位密度對對應本發明之第 1 實施例的實施例的第 1SiGe 層的膜厚的曲線圖。

第 10 圖是顯示表面粗度對對應本發明之第 1 實施例的實施例的第 1SiGe 層的膜厚的曲線圖。

第 11 圖是關於本發明之習知例的表面的光學顯微鏡照片。

第 12 圖是對應本發明之第 1 實施例的實施例的表面的光學顯微鏡照片。

第 13 圖是顯示對應本發明之第 2~第 5 實施例的實施例的個別的表面粗度的圖表。

第 14 圖是顯示貫通錯位密度對對應本發明之第 2 實施例的實施例的第 1SiGe 層的膜厚的測量結果的曲線圖。

第 15 圖是顯示表面粗度對對應本發明之第 2 實施例的實施例的第 1SiGe 層的膜厚的測量結果的曲線圖。

第 16 圖是顯示 Ge 組成比對本發明之第 1 實施例的半導體基板的膜厚的曲線圖。

第 17 圖是顯示本發明之第 1 實施例的第 2SiGe 層的剖面圖。

第 18 圖是顯示 Ge 組成比對本發明之第 1 實施例的第 2SiGe 層的膜厚的曲線圖。

第 19 圖是顯示 Ge 組成比對本發明之第 2 實施例的第 2SiGe 層的膜厚的曲線圖。

第 20 圖是顯示本發明之第 2 實施例的第 2SiGe 層的剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(41)

第 21A~21D 圖是顯示 Ge 組成比對本發明之第 3 實施例的各例的第 1SiGe 層的膜厚的曲線圖。

第 22 圖是顯示改變對應本發明之第 1 實施例的實施例的第 1SiGe 層的膜厚的情形之貫通錯位密度的測量結果的曲線圖。

第 23 圖是顯示改變對應本發明之第 1 實施例的實施例的第 1SiGe 層的膜厚的情形之表面粗度的測量結果的曲線圖。

第 24A~24G 圖是藉由 TEM(Transmission Electron Microscope: 透過型電子顯微鏡)以觀察成膜過程之結果的照片。

主要元件對照表

1	Si 基板
2	第 1SiGe 層
3	第 2SiGe 層
3a	傾斜組成層
3b	一定組成層
4	SiGe 弛緩層
5	變形 Si 層
6	閘極氧化膜
12	第 1SiGe 層
13a	傾斜組成層
13b	一定組成層

五、發明說明(42)

- 22 第 1 SiGe 層
- 32 第 1 SiGe 層
- 42 第 1 SiGe 層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 半導體基板及場效電晶體以及其製造方法)

一種半導體基板及場效電晶體以及其製造方法，爲了使貫通錯位密度低，表面粗度也小至實用水準，具備：Si基板1、及該Si基板上的第1SiGe層2、及直接或者透過Si層而被配置在該第1SiGe層上的第2SiGe層3，前述第1SiGe層係比由於膜厚的增加而發生錯位，產生晶格弛緩之膜厚的臨界膜厚的2倍還薄之膜厚，前述第2SiGe層，係具有其之Ge組成比至少比前述第1SiGe層或者在與前述Si層之接觸面中，第1SiGe層的Ge組成比的層中的最大值還低，而且，至少其中一部份爲Ge組成比朝向表面而逐漸增加之傾斜組成區域。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：

SEMICONDUCTOR SUBSTRATE, FIELD EFFECT TRANSISTOR, AND MANUFACTURING METHOD FOR THE SAME

It is an object to lower permeation transition density and minimize surface roughness to a practically usable level in a manufacturing process of a semiconductor membrane and field-effect transistor. On Si membrane 1, a first SiGe layer 2 on the Si membrane, and the first SiGe layer, a second SiGe layer 3 is provided directly, or via Si layer. First SiGe layer is thinner than a doubled thickness of critical membrane thickness by which lattice relaxation occurs due to the transition caused by the increased thickness. In second SiGe layer, Ge ratio is lower than the maximum ratio in a contacting surface of first SiGe layer or Si layer in the first SiGe layer, and slant component region in which Ge ratio becomes higher toward outside exists in a portion of second SiGe layer.

六、申請專利範圍 1

1. 一種半導體基板，其特徵為：

具備：

Si 基板、及

該 Si 基板上的第 1SiGe 層、及

直接或者透過 Si 層而配置在該第 1SiGe 層上的第 2SiGe 層，

前述第 1SiGe 層，係比由於膜厚的增加而發生錯位，產生晶格弛緩之膜厚的臨界膜厚的 2 倍還薄之膜厚，

前述第 2SiGe 層，係具有：其之 Ge 組成比至少比前述第 1SiGe 層或者在與前述 Si 層之接觸面中，第 1SiGe 層的 Ge 組成比的層中的最大值還低，而且，至少其中一部份為 Ge 組成比朝向表面而逐漸增加之傾斜組成區域。

2. 如申請專利範圍第 1 項記載之半導體基板，其中前述第 1SiGe 層，係其 Ge 組成比 x 為一定，厚度低於滿足以下關係式：

$$t_c(\text{nm}) = (1.9 \times 10^{-3} / \varepsilon(x)^2) \cdot \ln(t_c / 0.4)$$

$$\varepsilon(x) = (0.0200326x + 0.026174x^2) / a_0$$

$$a_0 = 0.543 \text{ nm} \quad (a_0 \text{ 係 Si 的晶格常數})$$

的臨界膜厚 t_c 的 2 倍。

3. 如申請專利範圍第 1 或第 2 項記載之半導體基板，其中前述第 1SiGe 層，係其 Ge 組成比 x 為 0.05 以上，而且 0.3 以下。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

2

4. 如申請專利範圍第 1 或第 2 項所記載之半導體基板，其中前述第 2SiGe 層，係直接被配置在前述第 1SiGe 層上，而且，層整體為 Ge 組成比朝向表面逐漸增加之傾斜組成層。

5. 一種半導體基板，其特徵為：

具備：

直接或者透過其它的 SiGe 層配置在由申請專利範圍第 1 至第 4 項中任一項所記載之半導體基板的前述第 2SiGe 層上之變形 Si 層。

6. 一種場效電晶體，是針對在 SiGe 層上的變形 Si 層具有通道區域的場效電晶體，其特徵為：

在申請專利範圍第 5 項記載之半導體基板的前述變形 Si 層具有前述通道區域。

7. 一種半導體基板之製造方法，是針對在 Si 基板上磊晶成長 SiGe 層之半導體基板之製造方法，其特徵為：

具有：

在前述 Si 基板上使第 1SiGe 層磊晶生長之第 1 層形成工程、及

在前述第 1SiGe 層上，直接或者透過磊晶生長之 Si 層，使第 2SiGe 層磊晶生長之第 2 層形成工程；

前述第 1 層形成工程，係設定前述第 1SiGe 層的膜厚比由於膜厚的增加而發生錯位，產生晶格弛緩之膜厚的臨界膜厚的 2 倍還薄；

前述第 2 層形成工程，係形成：使前述第 2SiGe 層的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 ³

Ge 組成比至少比前述第 1SiGe 層或者在與前述 Si 層之接觸面中，第 1SiGe 層的 Ge 組成比的層中的最大值還低，而且，至少其中一部份為 Ge 組成比朝向表面而逐漸增加之傾斜組成區域。

8. 如申請專利範圍第 7 項記載之半導體基板之製造方法，其中前述第 1 層形成工程，係使前述第 1SiGe 層的 Ge 組成比 x 為一定，使第 1SiGe 層之厚度低於滿足以下關係式：

$$t_c(\text{nm}) = (1.9 \times 10^{-3} / \varepsilon(x)^2) \cdot \ln(t_c / 0.4)$$

$$\varepsilon(x) = (0.0200326x + 0.026174x^2) / a_0$$

$$a_0 = 0.543 \text{ nm} \quad (a_0 \text{ 係 Si 的晶格常數})$$

的臨界膜厚 t_c 的 2 倍。

9. 如申請專利範圍第 7 或第 8 項記載之半導體基板之製造方法，其中前述第 1SiGe 層，係其 Ge 組成比為 0.05 以上，而且 0.3 以下。

10. 如申請專利範圍第 7 或第 8 項所記載之半導體基板之製造方法，其中前述第 2SiGe 層，係被直接配置在前述第 1SiGe 層上，而且，層整體為 Ge 組成比係朝向表面逐漸增加之傾斜組成層。

11. 一種半導體基板之製造方法，其特徵為：

直接或者透過其它之 SiGe 層，在藉由如申請專利範圍第 7 項至第 10 項中任一項所記載的半導體基板之製造

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

4

方法所製作的半導體基板的前述第 2SiGe 層上磊晶成長前述變形 Si 層。

12. 一種場效電晶體之製造方法，是針對在磊晶成長於 SiGe 層上的變形 Si 層形成通道區域的場效電晶體之製造方法，其特徵為：

在藉由如申請專利範圍範圍第 11 項所記載的半導體基板之製造方法所製作的半導體基板的前述變形 Si 層形成前述通道區域。

13. 一種半導體基板，其特徵為具備：

於 Si 基板上藉由磊晶成長而形成的第 1 SiGe 層，及直接或透過磊晶成長之 Si 層而以磊晶成長法形成於上述該第 1SiGe 層上的第 2SiGe 層，

前述第 1SiGe 層之膜厚係設定為，比由於膜厚的增加而發生錯位，產生晶格弛緩之膜厚的臨界膜厚的 2 倍還薄之膜厚，

前述第 2SiGe 層之 Ge 組成比，係設定為至少比前述第 1SiGe 層或者在與前述 Si 層之接觸面中，第 1SiGe 層的 Ge 組成比的層中的最大值還低，而且，至少於其中一部份形成 Ge 組成比朝向表面而逐漸增加之傾斜組成區域。

14. 如申請專利範圍第 13 項之半導體基板，其中

具有：Si 基板，及 SiGe 層，及變形 Si 層；

變形 Si 層係於半導體基板之第 2 SiGe 層上直接或介由其他 SiGe 層以磊晶成長形成。

六、申請專利範圍

5

15. 一種場效電晶體，係藉由申請專利範圍第 12 項之場效電晶體之製造方法製造者，其特徵為：

具有：SiGe 層，及變形 Si 層，及通道區域；

於 SiGe 層上介由磊晶成長之變形 Si 層形成通道區域；

上述通道區域，係形成於使用申請專利範圍第 11 項之半導體基板之製造方法製造之半導體基板之上述變形 Si 層。

16. 一種半導體基板，其特徵為：

具備：

Si 基板、及

該 Si 基板上的第 1SiGe 層、及

直接或者透過 Si 層而配置在該第 1SiGe 層上的第 2SiGe 層，

前述第 1SiGe 層，係比由於膜厚的增加而發生錯位，產生晶格弛緩之膜厚的臨界膜厚的 2 倍還薄之膜厚，

前述第 2SiGe 層，係以使 Ge 組成比朝向表面逐漸增加之 SiGe 層的傾斜組成層與以該傾斜組成層的上面的 Ge 組成比而被配置在傾斜組成層上之 SiGe 的一定組成層交互而且連續之 Ge 組成比，做成複數層積層狀態而構成，

前述第 2SiGe 層下面的 Ge 組成比，係比前述第 1SiGe 層的 Ge 組成比的層中的最大值還低。

17. 如申請專利範圍第 16 項記載之半導體基板，其中前述第 1SiGe 層，係其 Ge 組成比 x 為一定，厚度低於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 ⁶

滿足以下關係式：

$$t_c(\text{nm}) = (1.9 \times 10^{-3} / \varepsilon(x)^2) \cdot \ln(t_c / 0.4)$$

$$\varepsilon(x) = (0.0200326x + 0.026174x^2) / a_0$$

$$a_0 = 0.543 \text{ nm} \quad (a_0 \text{ 係 Si 的晶格常數})$$

的臨界膜厚 t_c 的 2 倍。

18. 如申請專利範圍第 16 項或第 17 項記載之半導體基板，其中前述第 1SiGe 層，係其 Ge 組成比 x 為 0.05 以上，而且 0.3 以下。

19. 一種半導體基板，其特徵為：

具備：

直接或者透過其它之 SiGe 層而被配置在如申請專利範圍第 16 項至第 18 項中任一項所記載之半導體基板的前述第 2SiGe 層上的變形 Si 層。

20. 一種場效電晶體，是針對在 SiGe 層上的變形 Si 層具有通道區域的場效電晶體，其特徵為：

在如申請專利範圍第 19 項記載之半導體基板的前述變形 Si 層具有前述通道區域。

21. 一種半導體基板之製造方法，是針對在 Si 基板磊晶成長 SiGe 層之半導體基板之製造方法，其特徵為：

具有：

在前述 Si 基板上使第 1SiGe 層磊晶生長之第 1 層形成工程、及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

7

在前述第 1SiGe 層上，直接或者透過磊晶生長之 Si 層，使第 2SiGe 層磊晶生長之第 2 層形成工程；

前述第 1 層形成工程，係設定前述第 1SiGe 層的膜厚比由於膜厚的增加而發生錯位，產生晶格弛緩之膜厚的臨界膜厚的 2 倍還薄；

前述第 2 層形成工程，係形成：以使磊晶生長朝向表面而逐漸增加 Ge 組成比之 SiGe 的傾斜組成層的工程、及

以前述傾斜組成層的最終的 Ge 組成比，在傾斜組成層上使 SiGe 的一定組成層磊晶生長之工程連續之 Ge 組成比，複數次重複，Ge 組成比在成膜方向具有傾斜而呈現階梯狀變化之前述第 2SiGe 層，

使該第 2SiGe 層下面的 Ge 組成比，比前述第 1SiGe 層的 Ge 組成比的層中的最大值還低。

22. 如申請專利範圍第 21 項記載之半導體基板之製造方法，其中前述第 1 層形成工程，係使 Ge 組成比 x 為一定，使第 1SiGe 層之厚度低於滿足以下關係式：

$$t_c(\text{nm}) = (1.9 \times 10^{-3} / \varepsilon(x)^2) \cdot \ln(t_c / 0.4)$$

$$\varepsilon(x) = (0.0200326x + 0.026174x^2) / a_0$$

$$a_0 = 0.543 \text{ nm} \quad (a_0 \text{ 係 Si 的晶格常數})$$

的臨界膜厚 t_c 的 2 倍。

23. 如申請專利範圍第 21 項或第 22 項記載之半導體基板之製造方法，其中前述第 1SiGe 層，係其 Ge 組成比

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

8

x 為 0.05 以上，而且 0.3 以下。

24. 一種半導體基板之製造方法，是針對透過 SiGe 層在 Si 基板上形成變形 Si 層之半導體基板之製造方法，其特徵為：

直接或者透過其它之 SiGe 層，在藉由如申請專利範圍第 21 項至第 23 項中任一項所記載之半導體基板之製造方法所製作之半導體基板的前述第 2 SiGe 層上磊晶成長前述變形 Si 層。

25. 一種場效電晶體之製造方法，是針對在磊晶成長於 SiGe 層上之變形 Si 層形成通道區域之場效電晶體之製造方法，其特徵為：

在藉由如申請專利範圍第 24 項記載之半導體基板之製造方法所製作的半導體基板的前述變形 Si 層形成前述通道區域。

26. 一種半導體基板，係使用申請專利範圍第 21 項之半導體基板之製造方法製造者，其特徵為：

具備：

於上述 Si 基板上使用磊晶成長形成的第 1 SiGe 層，
及

直接或者透過磊晶成長之 Si 層而以磊晶成長法形成於上述第 1 SiGe 層上的第 2 SiGe 層，

前述第 1 SiGe 層之膜厚係設定為，比由於膜厚的增加而發生錯位，產生晶格弛緩之膜厚的臨界膜厚的 2 倍還薄之膜厚，

六、申請專利範圍

9

前述第 2 SiGe 層，其之 Ge 組成比至少比朝向表面呈漸次增加之 SiGe 之傾斜組成層係使用磊晶成長形成，

於上述第 2 SiGe 層之形成中，係以上述傾斜組成層之最終 Ge 組成比，於傾斜組成層上以磊晶成長 SiGe 之一定組成層而成連續之 Ge 組成比被重複進行多數次，Ge 組成比於成膜方向具傾斜而呈階段狀變化，

該第 2 SiGe 層下面之 Ge 組成比，係低於上述第 1 SiGe 層之中 Ge 組成比之層中之最大值。

27. 一種半導體基板，係使用申請專利範圍第 24 項之半導體基板之製造方法製造者，其特徵為：

於半導體基板之上述第 2 SiGe 層上直接或介由其他 SiGe 層使用磊晶成長上述變形 Si 層。

28. 一種場效電晶體，其特徵為：

具有：半導體基板，及變形 Si 層，及通道區域；

上述通道區域，係形成於使用申請專利範圍第 24 項之半導體基板之製造方法製造之半導體基板之上述變形 Si 層；

場效電晶體，依使用申請專利範圍第 25 項之場效電晶體之製造方法製造者。

29. 一種半導體基板，係於使用申請專利範圍第 8 項之半導體基板之製造方法製造之 Si 基板上形成有 SiGe 層者，其特徵為：

前述第 1 SiGe 層，其 Ge 組成比 x 為一定，第 1 SiGe 層之厚度形成低於滿足以下關係式：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

編

六、申請專利範圍 10

$$t_c(\text{nm})=(1.9 \times 10^{-3} / \varepsilon(x)^2) \cdot \ln(t_c/0.4)$$

$$\varepsilon(x)=(0.0200326x+0.026174x^2)/a_0$$

$$a_0=0.543\text{nm}(a_0 \text{ 係 Si 的晶格常數})$$

的臨界膜厚 t_c 的 2 倍。

30.一種半導體基板，係於使用申請專利範圍第 9 項記載之半導體基板之製造方法製造之 Si 基板上形成有 SiGe 層者，其特徵為：前述第 1SiGe 層，其 Ge 組成比 x 為 0.05 以上，而且 0.3 以下。

31.一種半導體基板，係於使用申請專利範圍第 10 項所記載之半導體基板之製造方法製造之 Si 基板上形成有 SiGe 層者，其特徵為：前述第 2SiGe 層，係直接被配置在前述第 1SiGe 層上，而且，層整體為 Ge 組成比朝向表面逐漸增加之傾斜組成層。

32.如申請專利範圍第 26 項記載之半導體基板，其中前述第 1SiGe 層，其 Ge 組成比 x 為一定，第 1 SiGe 層，其厚度形成為低於滿足以下關係式：

$$t_c(\text{nm})=(1.9 \times 10^{-3} / \varepsilon(x)^2) \cdot \ln(t_c/0.4)$$

$$\varepsilon(x)=(0.0200326x+0.026174x^2)/a_0$$

$$a_0=0.543\text{nm}(a_0 \text{ 係 Si 的晶格常數})$$

的臨界膜厚 t_c 的 2 倍。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

11

33.如申請專利範圍第 26 項記載之半導體基板，其中前述第 1SiGe 層，其 Ge 組成比 x 為 0.05 以上，而且 0.3 以下。

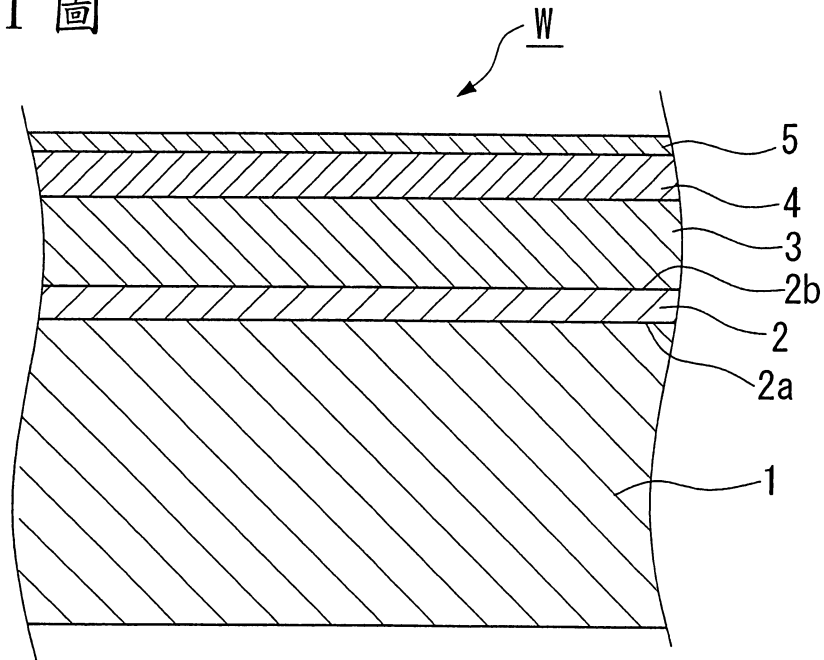
(請先閱讀背面之注意事項再填寫本頁)

裝

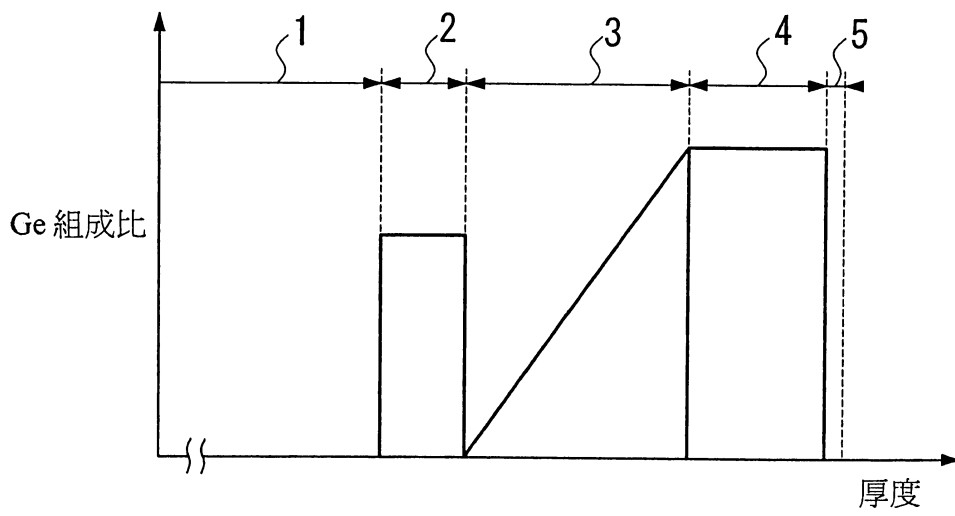
訂

線

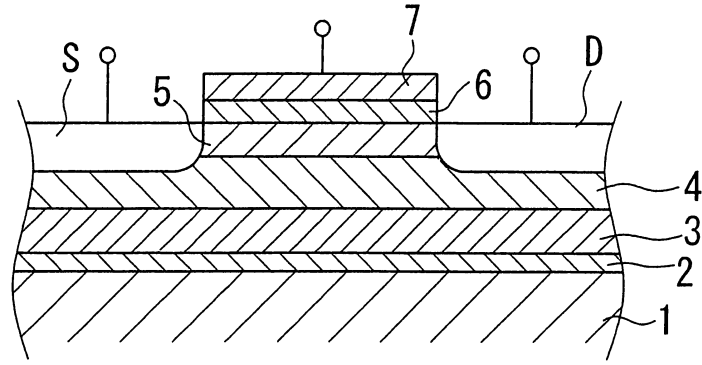
第 1 圖



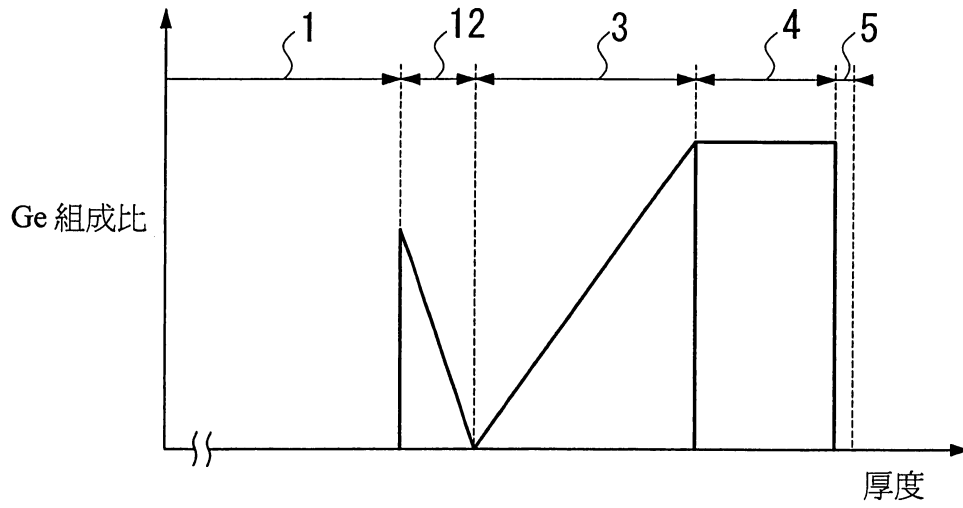
第 2 圖



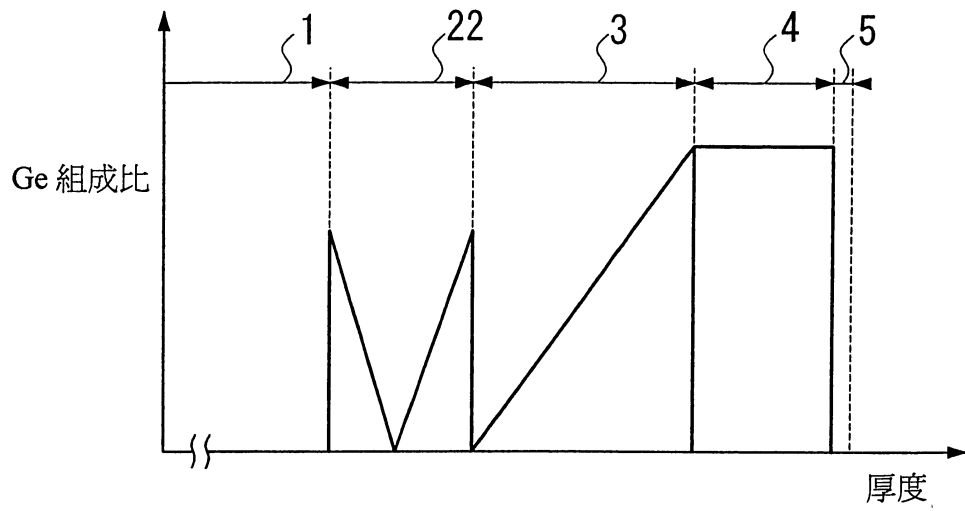
第 3 圖



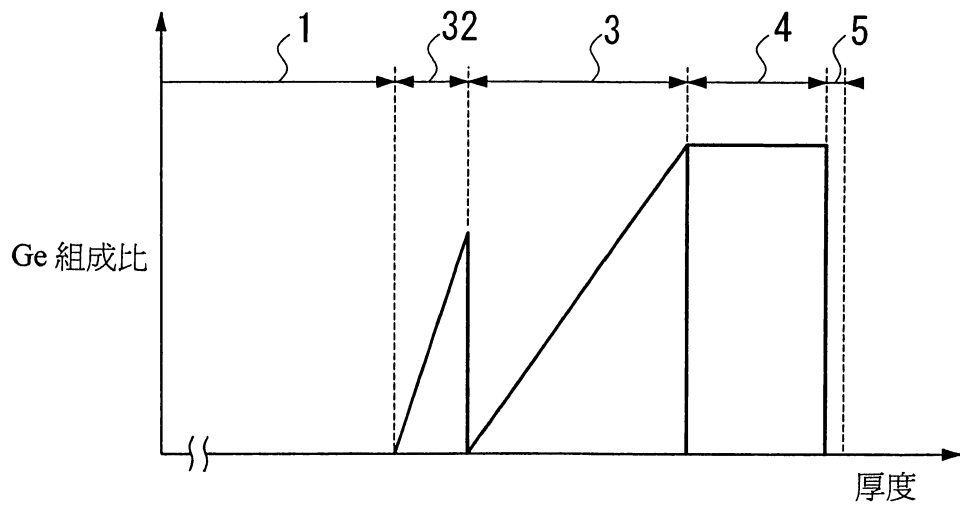
第 4 圖



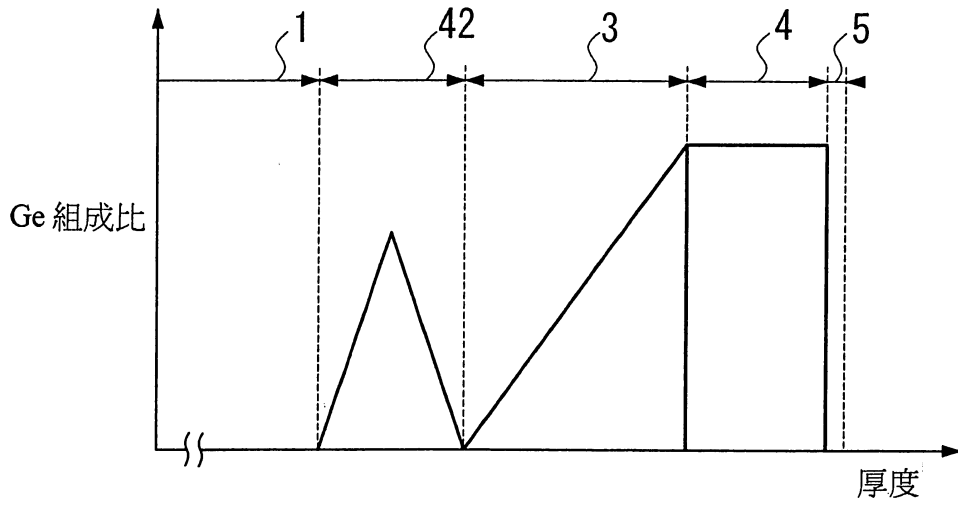
第 5 圖



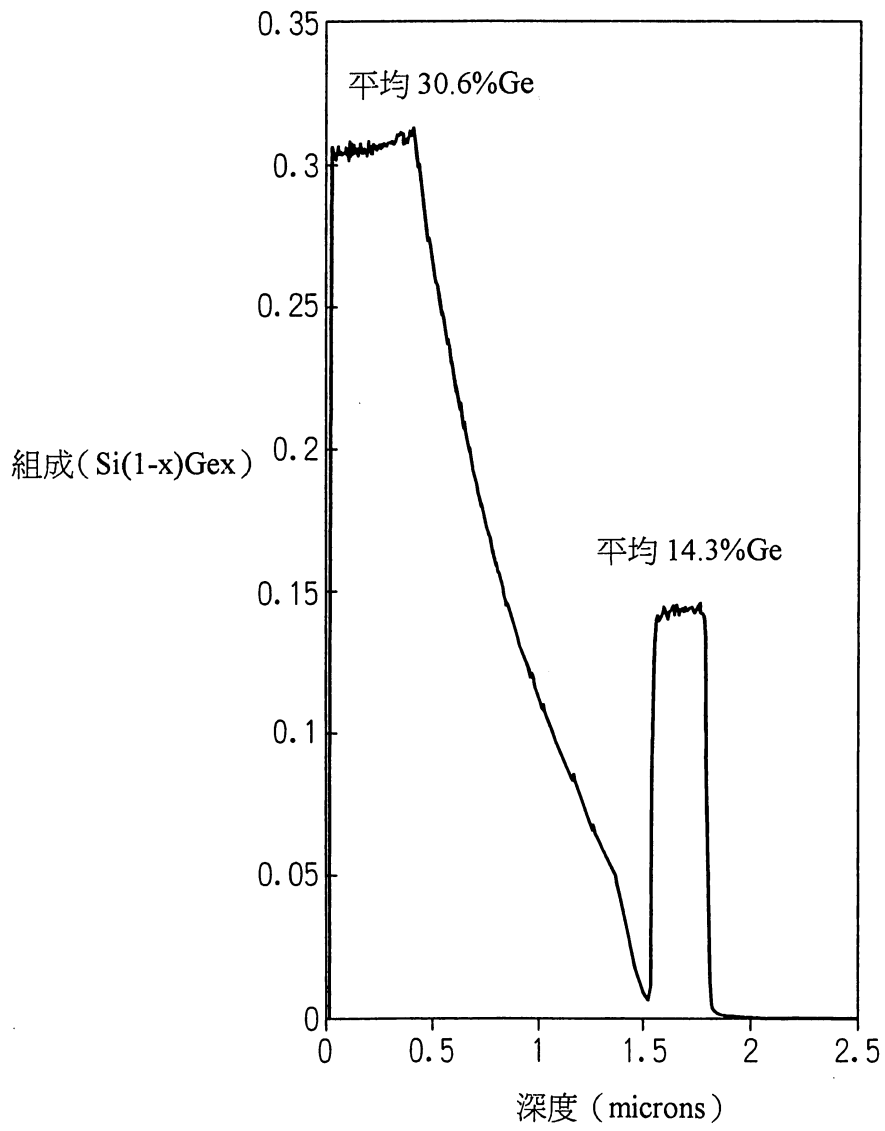
第 6 圖



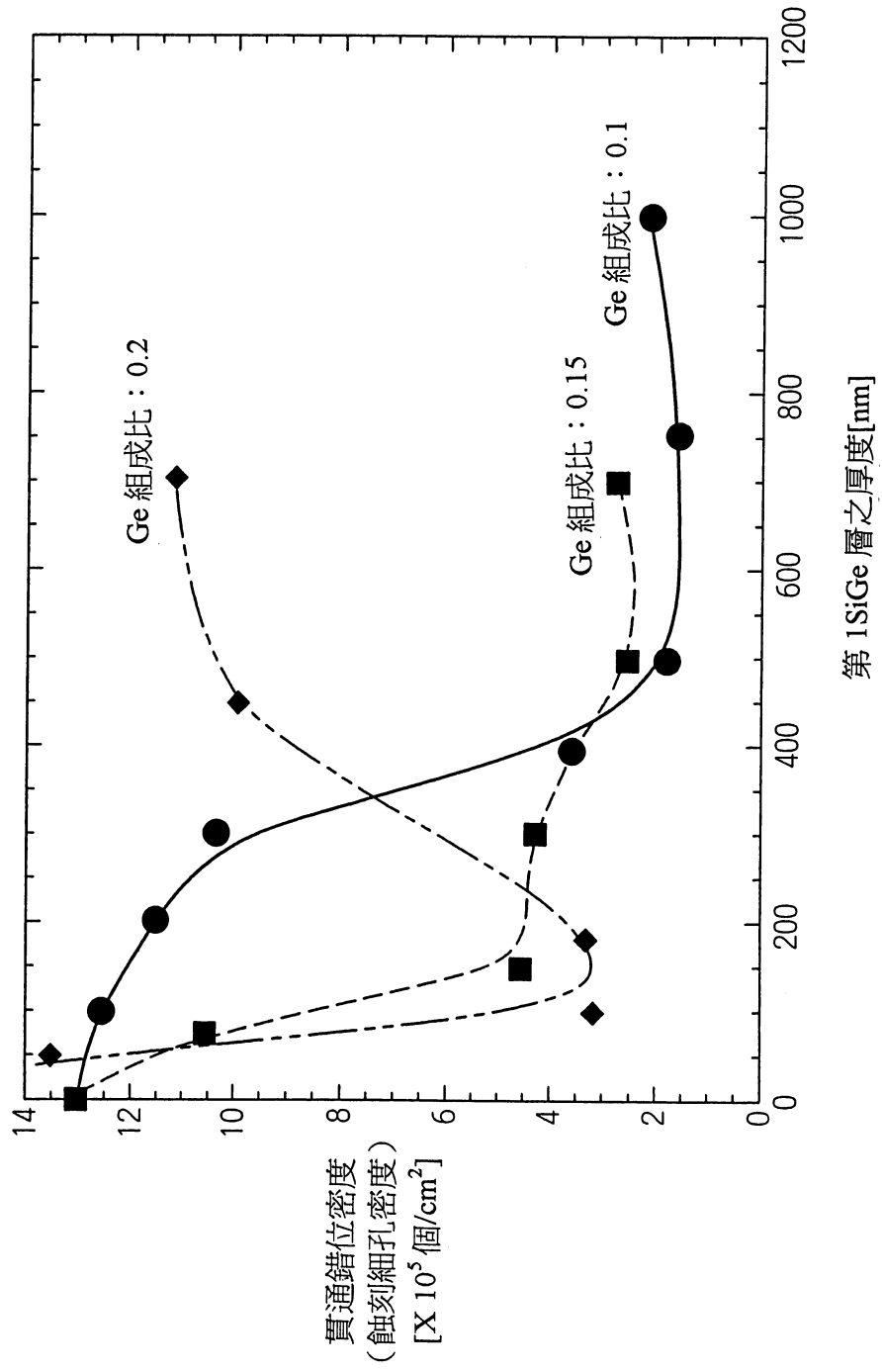
第 7 圖



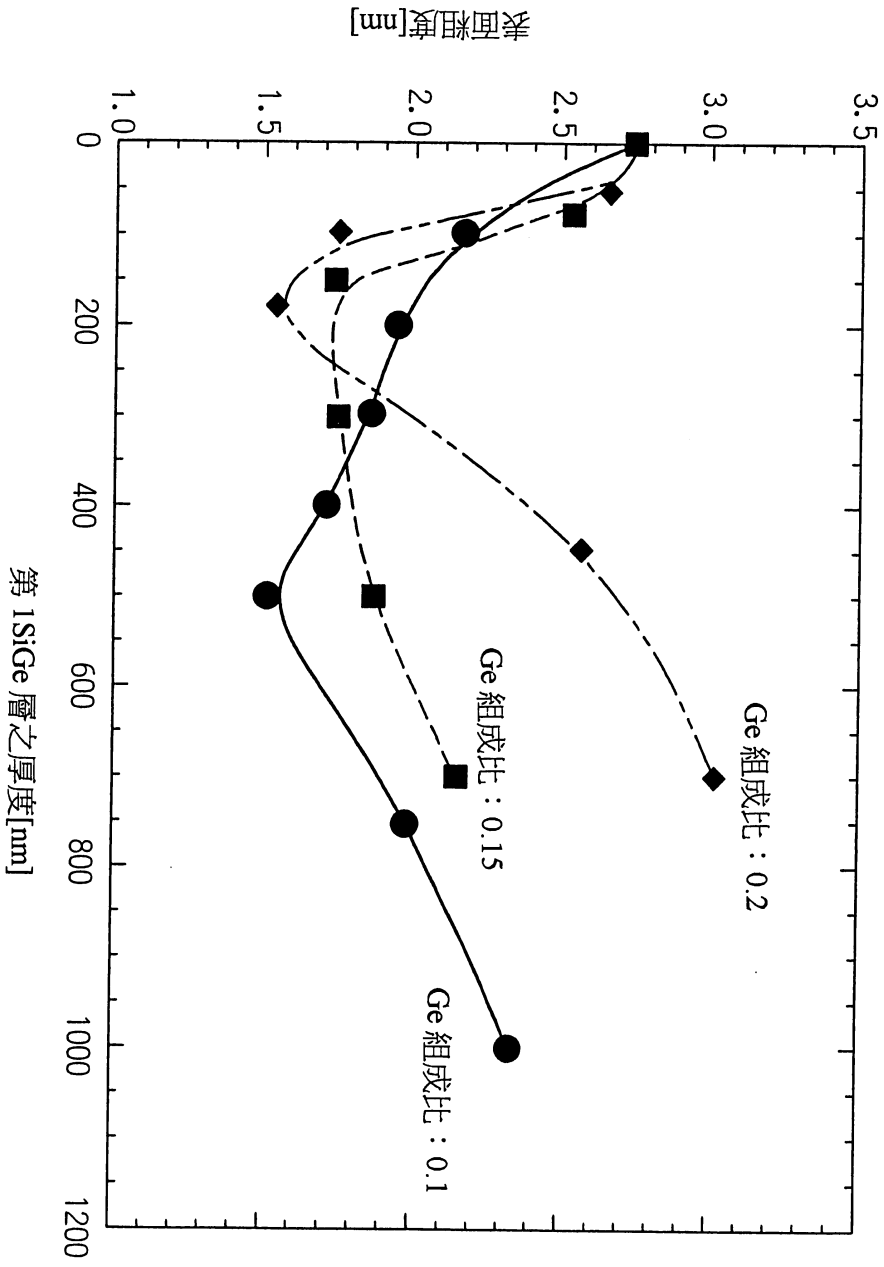
第 8 圖



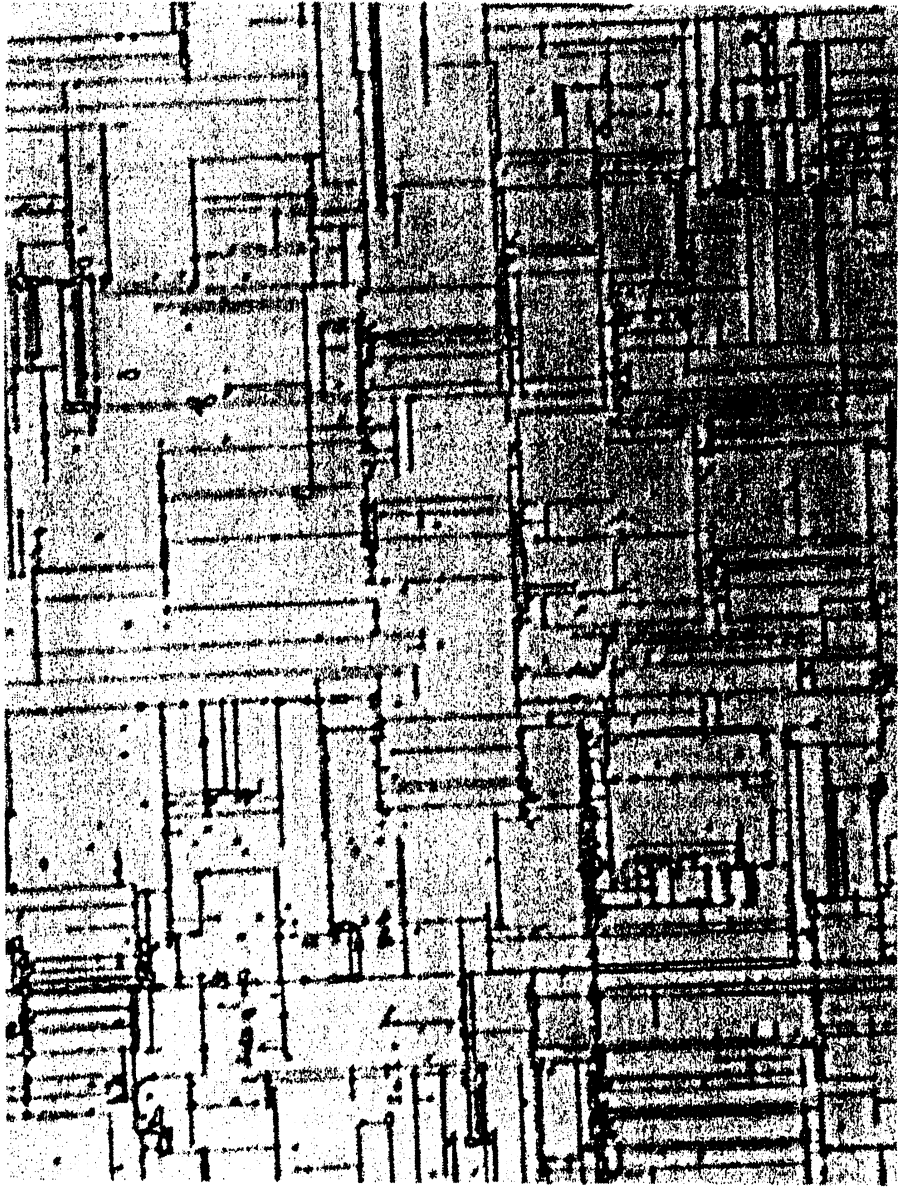
第9圖



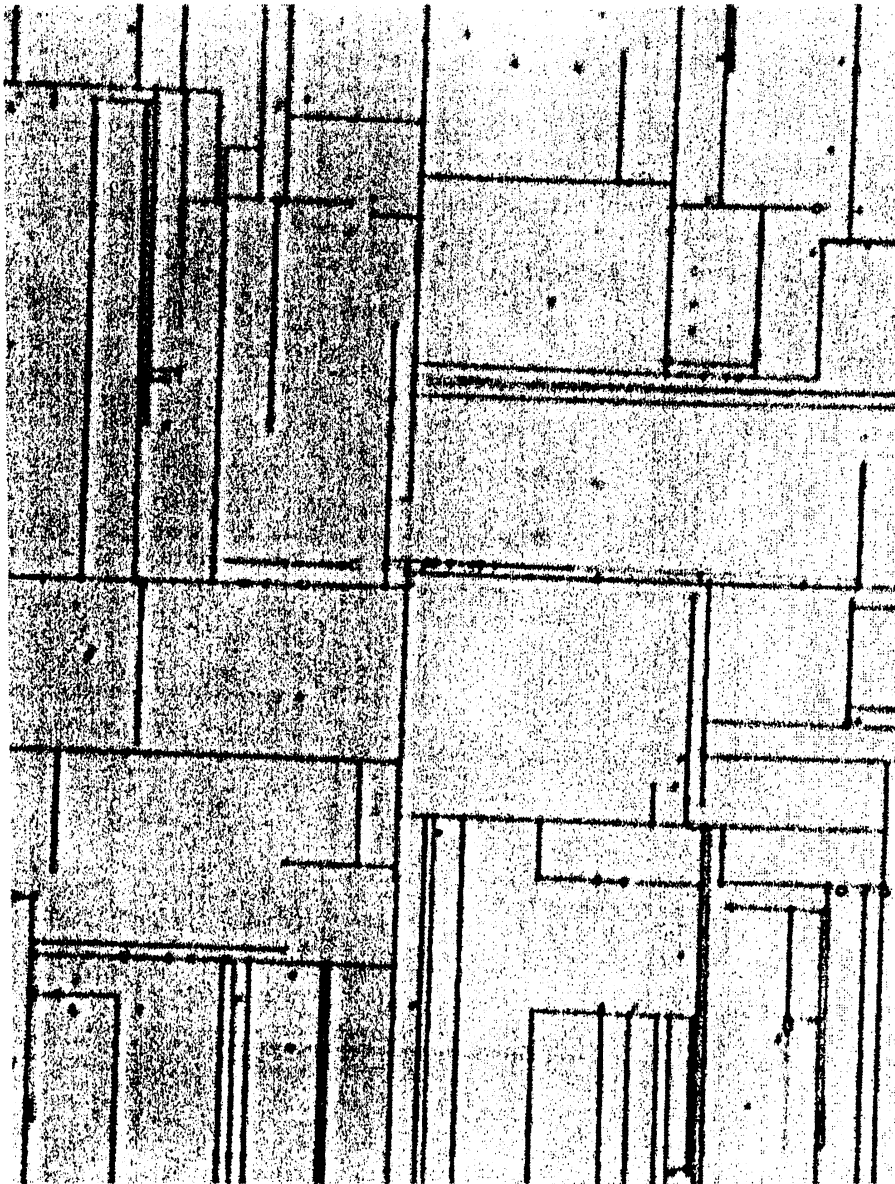
第 10 圖



第 11 圖



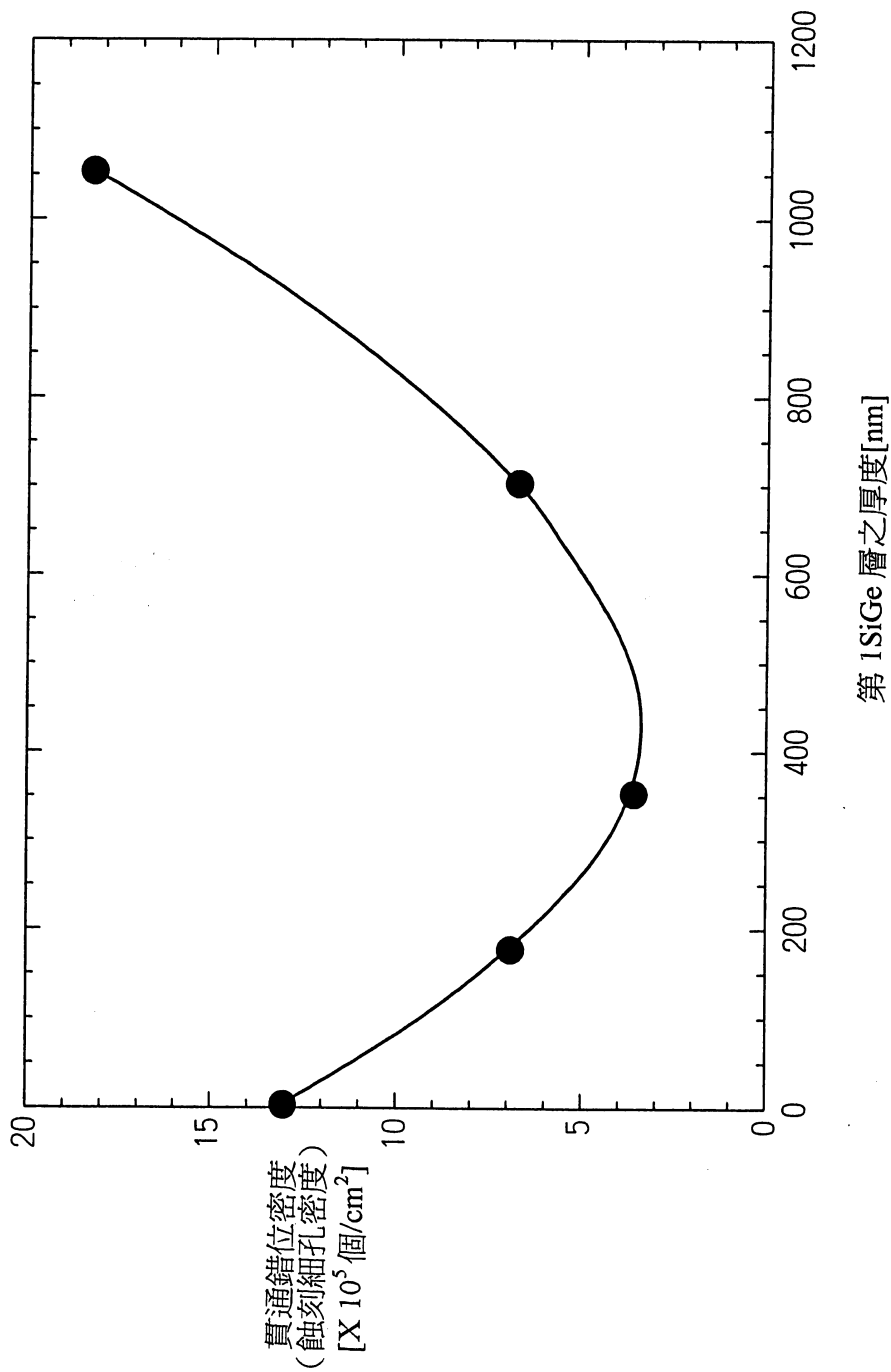
第 12 圖



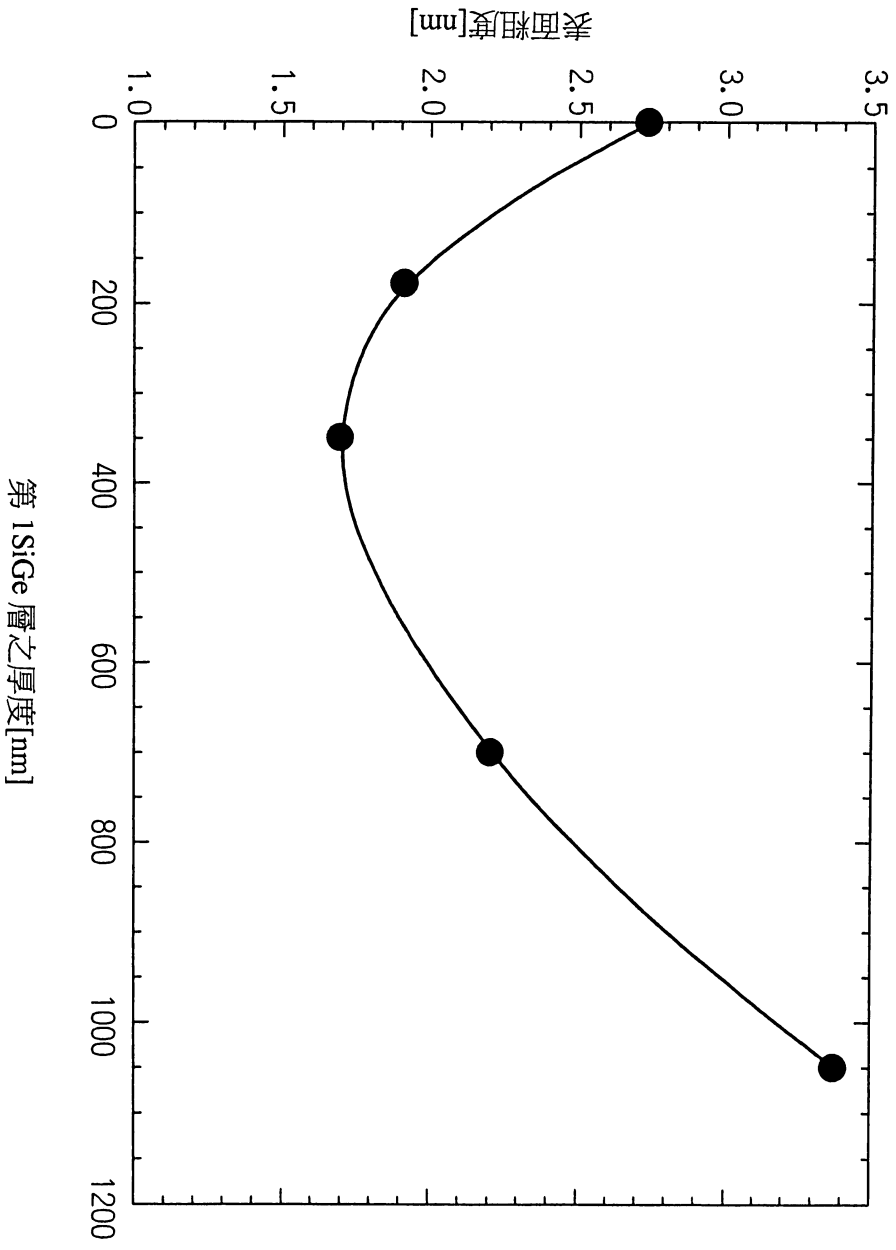
第 13 圖

膜厚 350nm	Ge 組成比 0.2
	RMS(nm)
習知技術	2.73
第 2 實施形態	1.69
第 3 實施形態	1.62
第 4 實施形態	1.89
第 5 實施形態	2.09

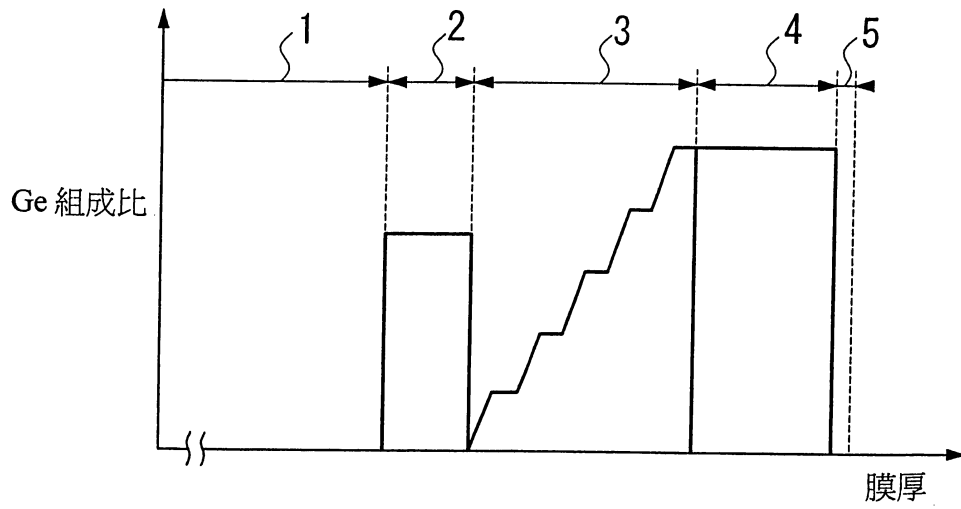
第 14 圖



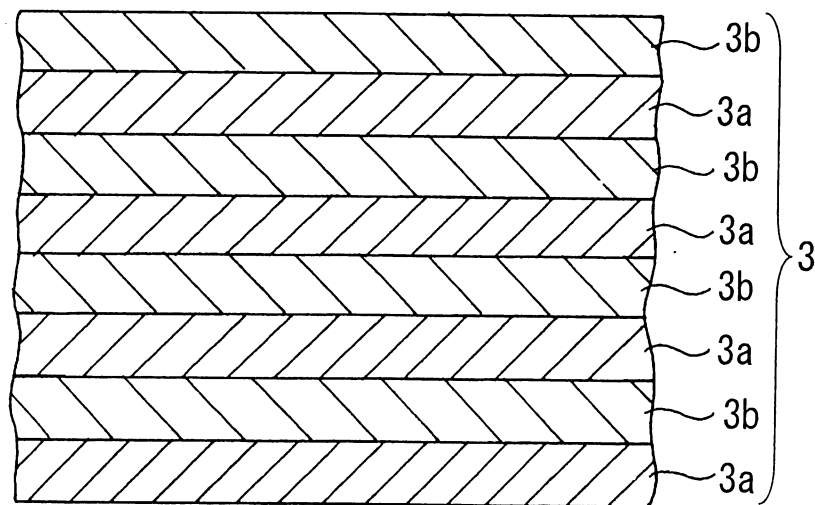
第 15 圖



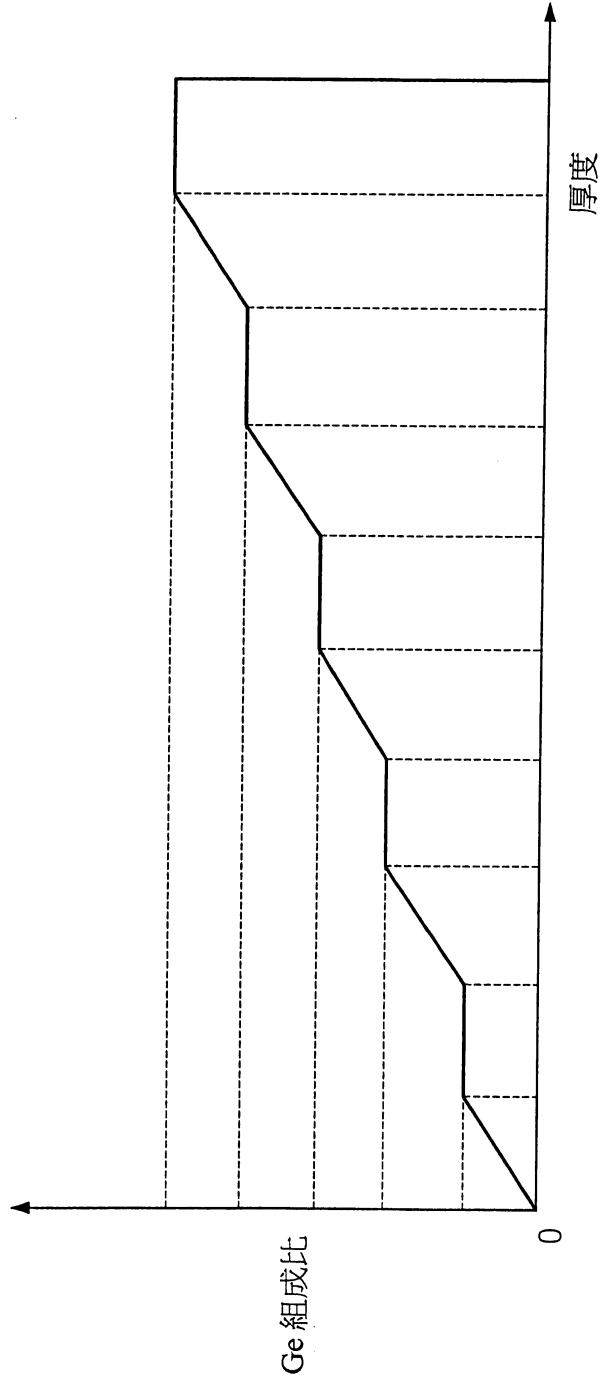
第 16 圖



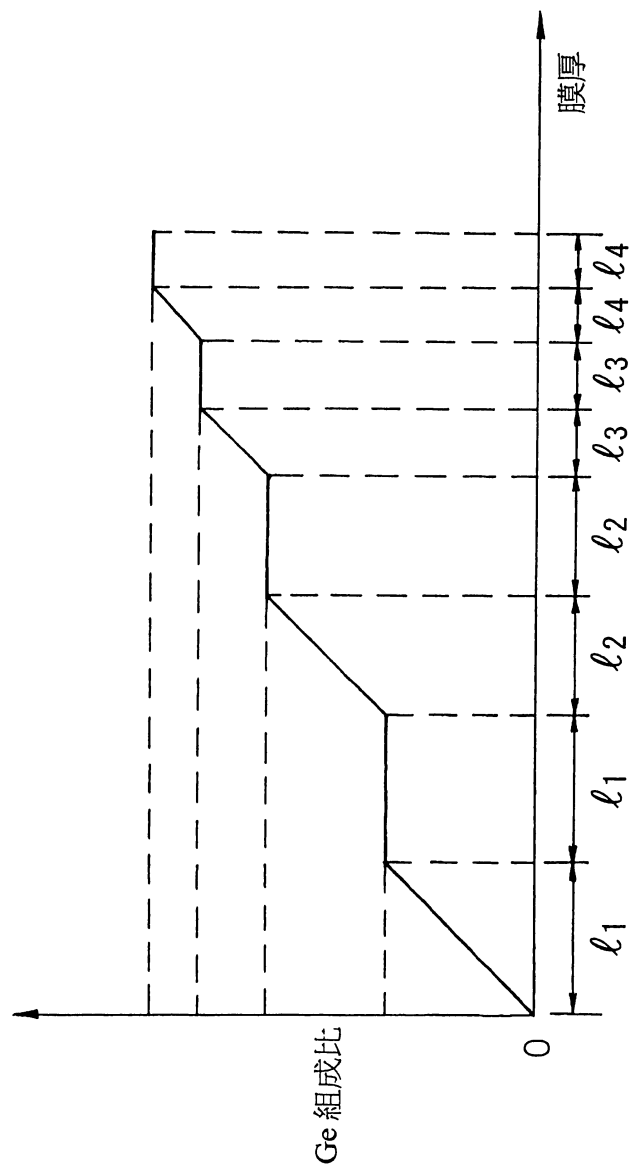
第 17 圖



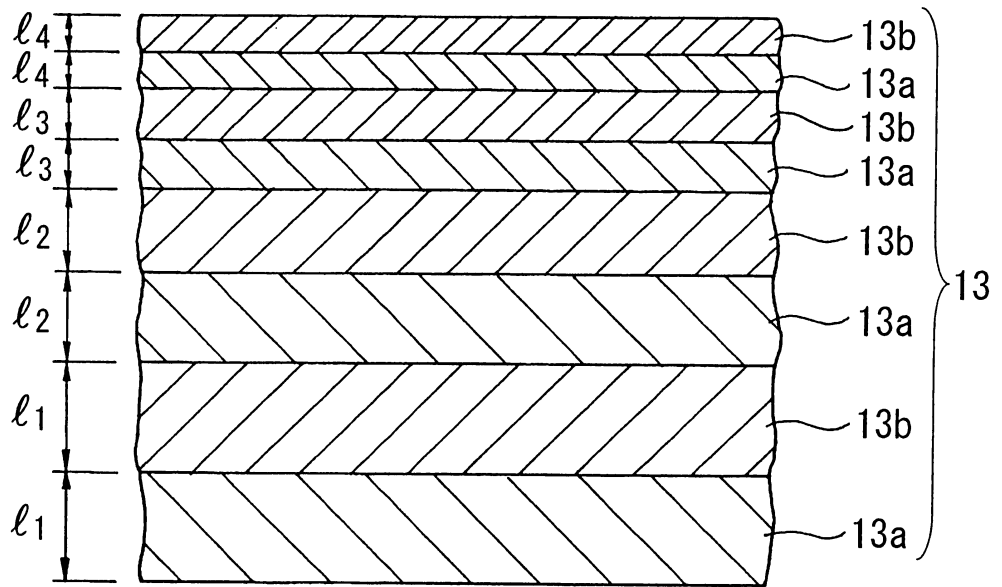
第 18 圖



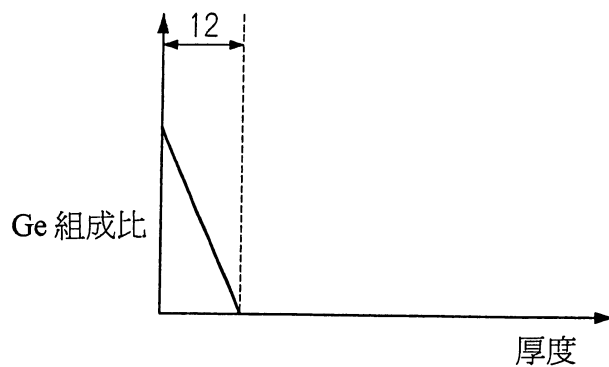
第 19 圖



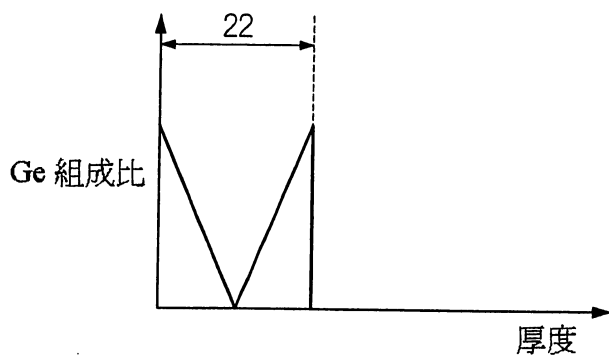
第 20 圖



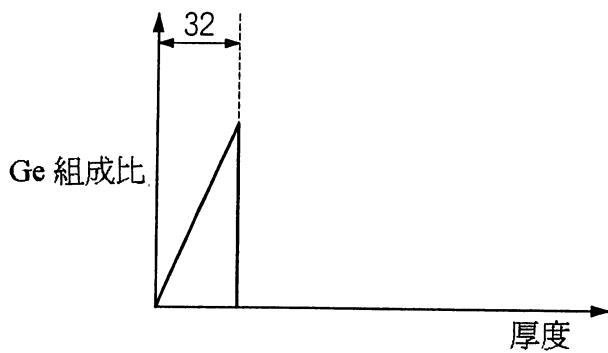
第 21 A 圖



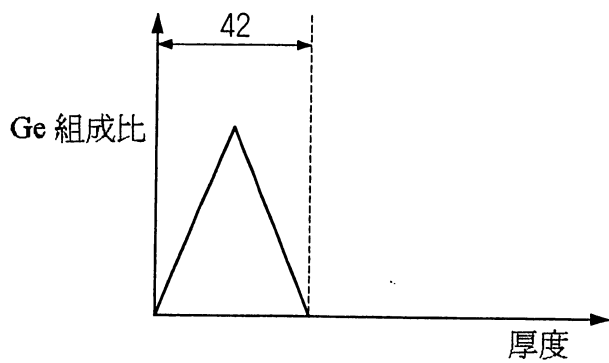
第 21 B 圖



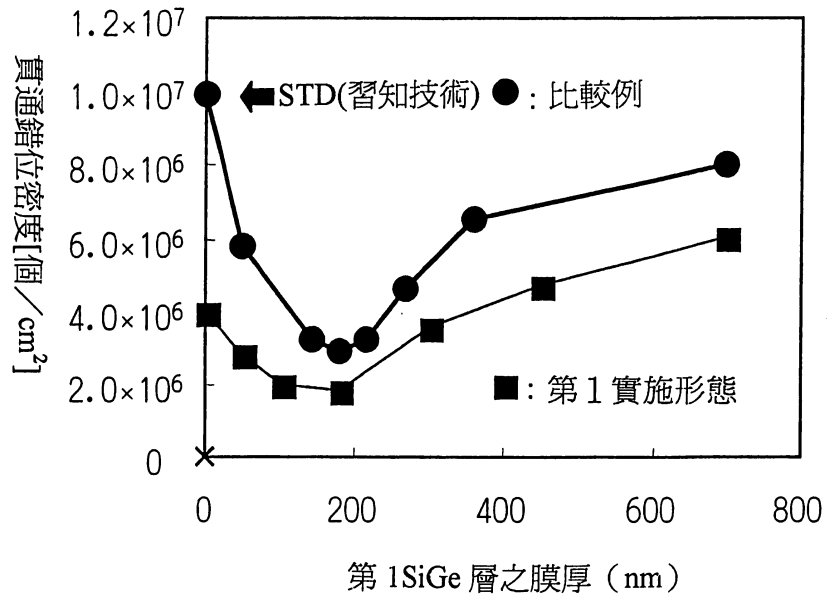
第 21 C 圖



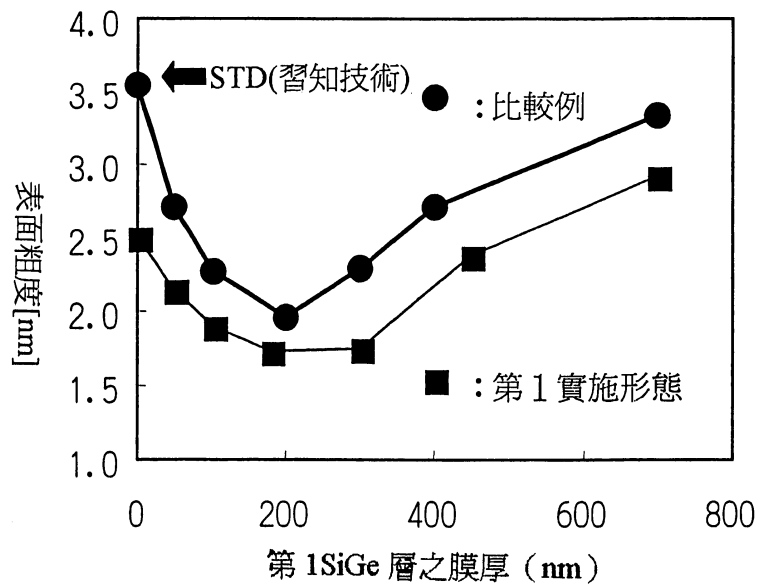
第 21 D 圖



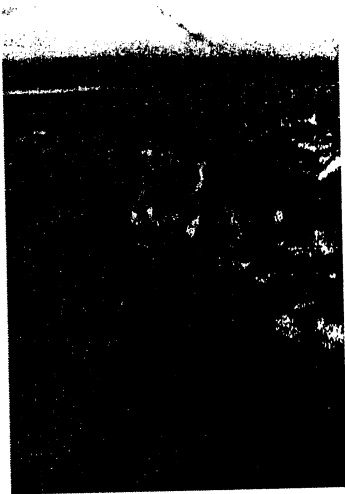
第 22 圖



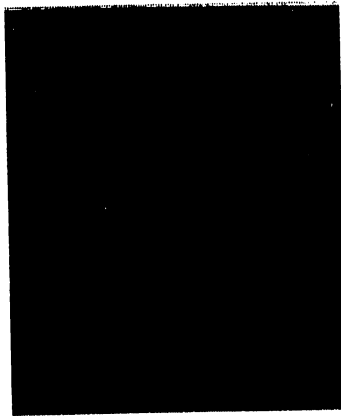
第 23 圖



第 24 A 圖



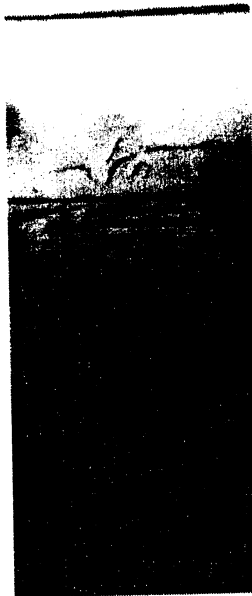
第 24 B 圖



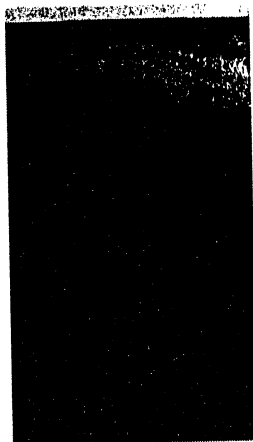
第 24 C 圖



第 24 D 圖



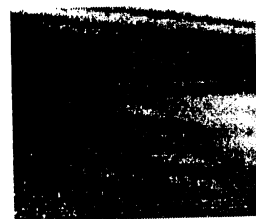
第 24 E 圖



第 24 F 圖



第 24 G 圖



公

第 91117690 號專利申請案
中文說明書修正本(含申請專利範圍)

745671

民國 92 年 10 月 27 日修正

申請日期	91 年 8 月 6 日
案 號	91117690
類 別	H01L 21/05, C30B 25/29, 29/06

92.10.27 A4
C4

(以上各欄由本局填註)

580727

發 明 型 專 利 說 明 書

一、發明 名稱	中 文	半導體基板及場效電晶體以及其製造方法
	英 文	SEMICONDUCTOR SUBSTRATE, FIELD EFFECT TRANSISTOR, AND MANUFACTURING METHOD FOR THE SAME
二、發明 人 創作	姓 名	(1) 水嶋一樹 (2) 鹽野一郎 (3) 山口健志
	國 籍	(1) 日本國埼玉縣埼玉市北袋町一丁目二九七番地三菱綜合材料股份有限公司總合研究所內
	住、居所	(2) 日本國埼玉縣埼玉市北袋町一丁目二九七番地三菱綜合材料股份有限公司總合研究所內 (3) 日本國埼玉縣埼玉市北袋町一丁目二九七番地三菱綜合材料股份有限公司總合研究所內
三、申請人	姓 名 (名稱)	(1) 三菱住友矽晶股份有限公司 三菱住友シリコン株式会社
	國 籍	(1) 日本 (2) 日本
	住、居所 (事務所)	(1) 日本國東京都港區芝浦一丁目二番一號 (2) 日本國東京都千代田區大手町一丁目五番一號
	代 表 人 姓 名	(1) 森禮次郎 (2) 西川章

裝 訂 線