



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0078861
(43) 공개일자 2011년07월07일

(51) Int. Cl.

H01L 29/78 (2006.01)

(21) 출원번호 10-2009-0135773

(22) 출원일자 2009년12월31일

심사청구일자 없음

(71) 출원인

주식회사 동부하이텍

서울특별시 강남구 대치동 891-10

(72) 발명자

최용건

경기도 부천시 원미구 중4동 한라마을아파트 126동 705호

(74) 대리인

박영복, 김용인

전체 청구항 수 : 총 7 항

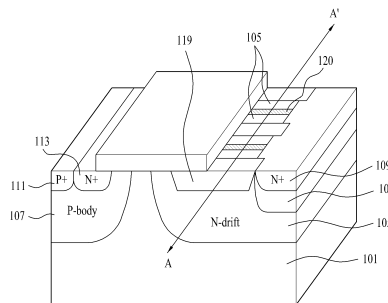
(54) 수평형 디모스 트랜지스터

(57) 요약

본 발명은 높은 BV(Breakdown Voltage)와 낮은 온저항(Ron)을 얻을 수 있는 수평형 디모스(LDMOS; Lateral Double Diffused Metal Oxide Semiconductor) 트랜지스터 및 그 제조방법에 관한 것으로,

본 발명에 따른 수평형 디모스 트랜지스터는 반도체 기판에 형성되는 제1 도전형의 드리프트 영역과, 상기 제1 도전형의 드리프트 영역과 일정거리 이격하여 형성된 제2 도전형의 바디 영역과, 상기 제2 도전형의 바디 영역 내에 형성된 제1 도전형의 소오스 영역과, 상기 제1 도전형의 드리프트 영역 내에 형성된 제1 도전형의 드레인 영역과, 상기 제1 도전형의 소오스 영역과 상기 제1 도전형의 드레인 영역 사이의 상기 제1 도전형의 드리프트 영역 내에 액티브 영역과 교대로 배치되도록 일정거리 이격하여 형성된 다수의 필드 절연층과, 상기 필드 절연층 사이의 제1 도전형 드리프트 영역 표면에 형성된 제2 도전형의 드리프트 영역과, 상기 제2 도전형의 바디 영역과 상기 필드 절연층 상에 걸쳐서 형성되는 게이트 전극을 포함하는 것을 특징으로 한다.

대표도 - 도1



특허청구의 범위

청구항 1

반도체 기판에 형성되는 제1 도전형의 드리프트 영역과,
 상기 제 1 도전형의 드리프트 영역과 일정거리 이격하여 형성된 제2 도전형의 바디 영역과,
 상기 제 2 도전형의 바디 영역 내에 형성된 제1 도전형의 소오스 영역과,
 상기 제 1 도전형의 드리프트 영역 내에 형성된 제1 도전형의 드레인 영역과,
 상기 제 1 도전형의 소오스 영역과 상기 제 1 도전형의 드레인 영역 사이의 상기 제 1 도전형의 드리프트 영역 내에 액티브 영역과 교대로 배치되도록 일정거리 이격하여 형성된 다수의 필드 절연층과,
 상기 필드 절연층 사이의 제 1 도전형 드리프트 영역 표면에 형성된 제 2 도전형의 드리프트 영역과,
 상기 제 2 도전형의 바디 영역과 상기 필드 절연층 상에 걸쳐서 형성되는 게이트 전극을 포함하는 것을 특징으로 하는 수평형 디모스 트랜지스터.

청구항 2

제 1항에 있어서,
 상기 필드 절연층은 상기 제 2 도전형의 바디 영역과 일정한 거리만큼 떨어진 위치에 형성하는 것을 특징으로 하는 수평형 디모스 트랜지스터.

청구항 3

제 1항에 있어서,
 상기 제 2 도전형의 드리프트 영역은 상기 필드 절연층 사이에 일정거리 이격되는 상기 제 1 도전형의 드리프트 영역 표면 부분에 형성되는 것을 특징으로 하는 수평형 디모스 트랜지스터.

청구항 4

제 1항에 있어서,
 상기 게이트 전극은 일단은 제 2 도전형 바디영역의 표면 상으로 연장되며, 타단은 상기 필드 절연층 위로 연장되도록 형성되는 것을 특징으로 하는 수평형 디모스 트랜지스터.

청구항 5

액티브 영역과 필드 영역으로 정의되는 반도체 기판 내에 액티브 영역과 교대로 배치되도록 일정거리 이격하여 다수의 필드 절연층을 형성하는 단계와,
 상기 반도체 기판 내에 제1 도전형의 드리프트 영역을 형성하는 동시에 상기 필드 절연층 사이의 제 1 도전형 드리프트 영역 표면에 제 2 도전형의 드리프트 영역을 형성하는 단계와,
 상기 제 1 도전형의 드리프트 영역과 일정거리 이격하며 상기 반도체 기판의 표면에 제2 도전형의 바디 영역을 형성하는 단계와,
 상기 제 2 도전형의 바디 영역 내에 제1 도전형의 소오스 영역을 형성하는 단계와,
 상기 제 1 도전형의 드리프트 영역 내에 제1 도전형의 드레인 영역을 형성하는 단계와,
 상기 제 2 도전형의 바디 영역과 상기 필드 절연층 상에 걸쳐서 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 수평형 디모스 트랜지스터의 제조방법.

청구항 6

제 5항에 있어서,
 상기 제 1 도전형 드리프트 영역과 제 2 도전형 드리프트 영역을 형성한 후, 열처리 공정을 실시하는 단계를 더

포함하는 것을 특징으로 하는 수평형 디모스 트랜지스터의 제조방법.

청구항 7

제 5항에 있어서,

상기 제 2 도전형의 드리프트 영역은 상기 필드 절연층 사이에 일정거리 이격되는 상기 제 1 도전형의 드리프트 영역 표면 부분에 형성되는 것을 특징으로 하는 수평형 디모스 트랜지스터의 제조방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 소자에 관한 것으로, 특히, 높은 BV(Breakdown Voltage)와 낮은 온저항(Ron)을 얻을 수 있는 수평형 디모스(LDMOS; Lateral Double Diffused Metal Oxide Semiconductor) 트랜지스터 및 그 제조방법에 관한 것이다.

배경기술

[0002] 반도체 소자의 집적도 향상과 그에 따른 제조 설계기술의 발달로 인하여 반도체 칩을 하나로 시스템을 구성하려는 시도가 크게 일어나고 있다. 시스템의 1칩화는 컨트롤러와 메모리 기타 저전압에서 동작하는 회로를 하나의 칩으로 통합하는 기술 위주로 발전되어 왔다.

[0003] 그러나, 시스템의 경량화, 소형화가 되기 위해서는 시스템의 전원을 조절하는 회로부, 즉, 입력단과 출력단과의 주요 기능을 하는 회로와 1개 칩화를 하여야 가능하게 된다. 입력단과 출력단은 고전압이 인가되는 회로이므로 일반적인 저전압CMOS 회로로는 구성할 수 없어 고전압 파워트랜지스터로 구성된다.

[0004] 따라서, 시스템의 크기나 무게를 줄이기 위해서는 전원의 입력/출력단과 컨트롤러를 1개 칩으로 구성해야 한다. 이를 가능하게 하는 기술이 파워 IC로, 이는 고전압 트랜지스터와 저전압 CMOS트랜지스터 회로를 하나의 칩으로 구성하는 것이다.

[0005] 파워 IC 기술은 종래의 불연속 파워트랜지스터(Discrete Power Transistor)인 VDMOS(Vertical DMOS) 소자 구조를 개선한 것으로, 전류를 수평으로 흐르게 하기 위하여 드레인을 수평으로 배치하고 드리프트(Drift)영역을 채널과 드레인 사이에 두어 고전압 브레이크다운(Breakdown) 확보를 가능하게 하는 LDMOS(Lateral DMOS) 소자가 구현된다.

[0006] 이와 같은 LDMOS 소자에서 BV(Breakdown Voltage)와 온저항(Ron)은 소자의 성능을 향상시킬 수 있는 중요한 특성으로 높은 BV와 낮은 온저항을 구현하기 위한 많은 연구가 계속되고 있다.

발명의 내용

해결 하고자하는 과제

[0007] 따라서, 본 발명은 높은 BV(Breakdown Voltage)와 낮은 온저항(Ron)을 얻을 수 있는 수평형 디모스(LDMOS; Lateral Double Diffused Metal Oxide Semiconductor) 트랜지스터 및 그 제조방법을 제공하는 데 그 목적이 있다.

과제 해결수단

[0008] 본 발명에 따른 수평형 디모스 트랜지스터는 반도체 기판에 형성되는 제1 도전형의 드리프트 영역과, 상기 제 1 도전형의 드리프트 영역과 일정거리 이격하여 형성된 제2 도전형의 바디 영역과, 상기 제 2 도전형의 바디 영역 내에 형성된 제1 도전형의 소오스 영역과, 상기 제 1 도전형의 드리프트 영역 내에 형성된 제1 도전형의 드레인 영역과, 상기 제 1 도전형의 소오스 영역과 상기 제 1 도전형의 드레인 영역 사이의 상기 제 1 도전형의 드리프트 영역 내에 액티브 영역과 교대로 배치되도록 일정거리 이격하여 형성된 다수의 필드 절연층과, 상기 필드 절연층 사이의 제 1 도전형 드리프트 영역 표면에 형성된 제 2 도전형의 드리프트 영역과, 상기 제 2 도전형의 바디 영역과 상기 필드 절연층 상에 걸쳐서 형성되는 게이트 전극을 포함하는 것을 특징으로 한다.

[0009] 본 발명에 따른 수평형 디모스 트랜지스터의 제조방법은 액티브 영역과 필드 영역으로 정의되는 반도체 기판 내에 액티브 영역과 교대로 배치되도록 일정거리 이격하여 다수의 필드 절연층을 형성하는 단계와, 상기 반도체 기판 내에 제1 도전형의 드리프트 영역을 형성하는 동시에 상기 필드 절연층 사이의 제 1 도전형 드리프트 영역 표면에 제 2 도전형의 드리프트 영역을 형성하는 단계와, 상기 제 1 도전형의 드리프트 영역과 일정거리 이격하며 상기 반도체 기판의 표면에 제2 도전형의 바디 영역을 형성하는 단계와, 상기 제 2 도전형의 바디 영역 내에 제1 도전형의 소오스 영역을 형성하는 단계와, 상기 제 1 도전형의 드리프트 영역 내에 제1 도전형의 드레인 영역을 형성하는 단계와, 상기 제 2 도전형의 바디 영역과 상기 필드 절연층 상에 걸쳐서 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

효 과

[0010] 이상에서 설명한 바와 같이, 본 발명에 따른 수평형 디모스 트랜지스터는 필드 절연층 계면과 N형 드리프트 영역 사이에서는 절연 리서프(dielectric resurf)가 일어나고 N형 드리프트 영역과 P형 드리프트 영역 사이에서는 정선 디플레이션(junction depletion)에 의한 슈퍼 정선(super-junction) 구조를 가지게 되어 높은 N형 드리프트 영역 사이에서도 높은 BV를 얻을 수 있으며, 높은 N형 드리프트 영역에 의해 낮은 온저항을 가지게 되는 효과를 가진다.

발명의 실시를 위한 구체적인 내용

[0011] 이하 상기의 목적을 구체적으로 실현할 수 있는 본 발명의 바람직한 실시 예를 첨부한 도면을 참조하여 설명한다. 이때 도면에 도시되고 또 이것에 의해서 설명되는 본 발명의 구성과 작용은 적어도 하나의 실시 예로서 설명되는 것이며, 이것에 의해서 상기한 본 발명의 기술적 사상과 그 핵심 구성 및 작용이 제한되지는 않는다.

[0012] 그리고 본 발명에서 사용되는 용어는 가능한 한 현재 널리 사용되는 일반적인 용어를 선택하였으나, 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 발명의 설명 부분에서 상세히 그 의미를 기재하였으므로, 단순한 용어의 명칭이 아닌 그 용어가 가지는 의미로서 본 발명을 파악하여야 함을 밝혀두고자 한다.

[0013] 이하, 본 발명의 기술적 과제 및 특징들은 첨부된 도면 및 실시 예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다. 첨부된 도면을 참고하여 본 발명의 실시 예에 따른 수평형 디모스 트랜지스터에 관하여 상세히 설명하기로 한다.

[0014] 도 1은 본 발명에 따른 수평형 디모스 트랜지스터를 나타낸 사시도이고, 도 2는 도 1의 A-A'를 따라 도시한 단면도이다.

[0015] 도 1 및 도 2를 참조하면, 본 발명에 따른 수평형 디모스 트랜지스터는 P형 반도체 기판(101) 상부에 매물 절연층으로서 매물 산화막(미도시)이 형성되어 있고, 그 상부에는 N형 드리프트 영역(105) 및 P형 바디 영역(107)이 형성되어 활성 영역을 이루고 있다.

[0016] P형 바디 영역(107)내에는 N+형의 불순물이 도핑된 소오스 영역(113)이 형성되어 있으며, 소오스 영역(113)과 인접하여 P+형 소오스 콘택 영역(111)이 형성되어 있다.

[0017] 그리고, 반도체 기판(101) 상에는 게이트 절연층(미도시)을 개재하여 게이트 전극(115)이 형성되어 있고, N형 드리프트 영역(105)의 표면에는 내압특성 향상을 위한 필드 절연층(119)이 형성되어 있다.

[0018] 필드 절연층(119)은 필드 산화물로 형성되며 N형 드리프트 영역(105)의 상부 표면 상에 형성되며, P형 바디 영역(107)로부터 일정한 거리만큼 떨어진 위치에 형성한다.

[0019] 게이트 전극(115)은 일단은 P-형 바디영역(107)의 표면 상으로 연장되며, 타단은 필드 절연층(119) 위로 연장되도록 형성된다.

[0020] 그리고, N형 드리프트 영역(105)은 횡방향으로는 N+형의 불순물이 도핑된 N형 얇은 웰(108), 드레인 영역(109) 및 필드 절연층(119)이 형성되고, 종방향으로는 필드 절연층(119) 및 액티브 영역이 교대로 배치되도록 즉, 필드 절연층(119)이 서로 일정거리 이격되도록 형성된다.

[0021] 여기서, 액티브 영역은 N형 드리프트 영역(105)을 형성하는 이온주입과 동시에 P형 불순물 이온을 이온주입하여 필드 절연층(119) 사이에 일정거리 이격되는 부분에 P형 드리프트 영역(120)이 형성된다.

[0022] 이하, 본 발명에 따른 수평형 디모스 트랜지스터의 제조 공정을 첨부된 도면을 참고하여 상세히 설명하기로 한

다.

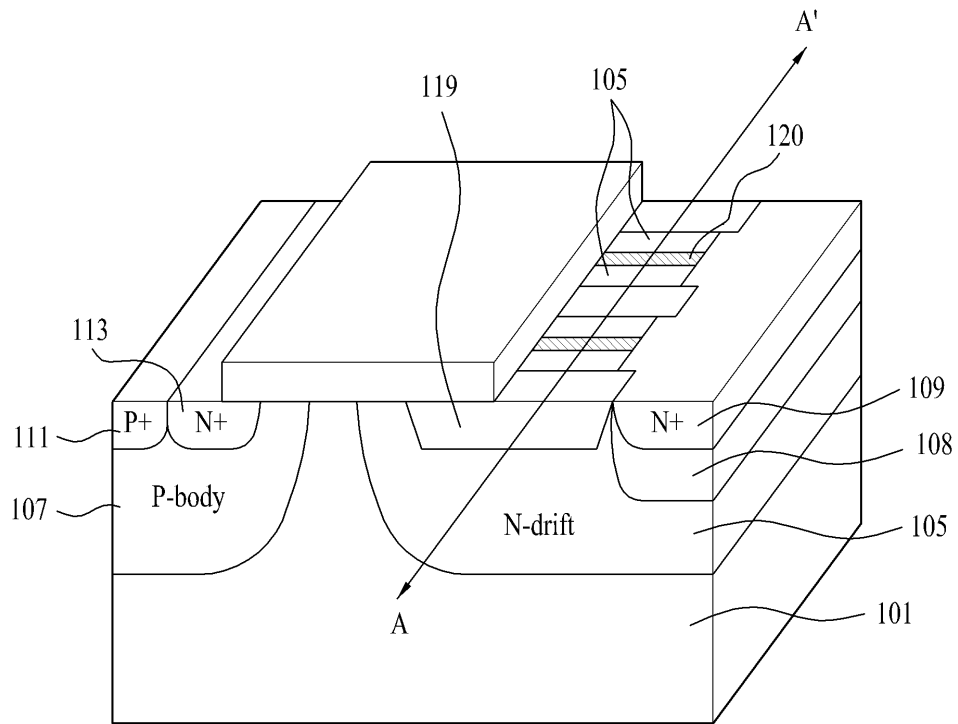
- [0023] 도 3 내지 도 4은 본 발명에 따른 수평형 디모스 트랜지스터의 제조 공정을 나타낸 사시도이다.
- [0024] 먼저, 도 3에 도시된 바와 같이, 단결정 실리콘층으로 이루어진 반도체 기판(101)에 필드 절연층(119)을 형성한다.
- [0025] 이와 같은 필드 절연층(119)은 횡방향으로는 후속공정에서 형성될 N형 드리프트 영역(105)의 상부 표면 상에 형성되며, 후속공정에서 형성될 P형 바디영역으로부터 일정한 거리만큼 떨어진 위치에 형성한다. 또한, 종방향으로는 필드 절연층(119) 및 액티브 영역이 교대로 배치되도록 즉, 서로 일정거리 이격되도록 형성한다.
- [0026] 이어서, 활성영역이 형성될 반도체 기판(101)에 웰 형성을 위한 N형 불순물 이온을 주입하여 N형 드리프트 영역(105)을 형성하고, 이와 동시에 P형 불순물 이온을 주입하여 필드 절연층(119) 사이에 일정거리 이격되도록 P형 드리프트 영역(120)을 형성하여 최종적으로 필드 절연층(119) 사이에 N형-P형-N형 드리프트 영역(105,120,105) 형태로 형성된다.
- [0027] 이때, 후속 공정에서의 열적 공정에 의해 N형 드리프트 영역(105)은 필드 절연층(119) 계면에 파일업(Pile-up)되고, P형 드리프트 영역(120)은 필드 절연층(119) 계면에 분리(segregation)가 일어나게 되어 순도핑(net doping) 영역을 가지게 된다.
- [0028] 이로 인해, 필드 절연층(119) 계면과 N형 드리프트 영역(105) 사이에서는 절연 리서프(dielectric resurf)가 일어나고 N형 드리프트 영역(105)과 P형 드리프트 영역(120) 사이에서는 정선 디플레이션(junction depletion)에 의한 슈퍼 정선(super-junction) 구조를 가지게 되어 높은 N형 드리프트 영역(105) 사이에서도 높은 BV를 얻을 수 있으며, 높은 N형 드리프트 영역(105)에 의해 낮은 온저항을 가지게 된다.
- [0029] 본 발명에서는 후속 공정들에서 일어나는 자연적인 열적 공정에 의한 현상으로 설명하였지만, 보다 확실하게 하기 위해 N형 드리프트 영역(105) 및 P형 드리프트 영역(120)을 형성한 후, 별도의 열처리 공정을 수행할 수도 있다.
- [0030] 이후, 도 4에 도시된 바와 같이, 소정의 이온주입 마스크(미도시)를 이용하여 선택적으로 P형 불순물 이온, 예를 들어 보론(B)을 소정의 도즈량으로 이온주입하여 N형 드리프트 영역(105)과 일정한 거리를 두고 이격하는 P형 바디 영역(107)을 형성한다.
- [0031] 이어서, 게이트 전극(115), 소오스 영역(113), 드레인 영역(109), 소오스콘택 영역(111)을 형성하는 공지된 후속 공정을 통해 수평형 디모스 트랜지스터를 완성한다.
- [0032] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여 져야만 할 것이다.

도면의 간단한 설명

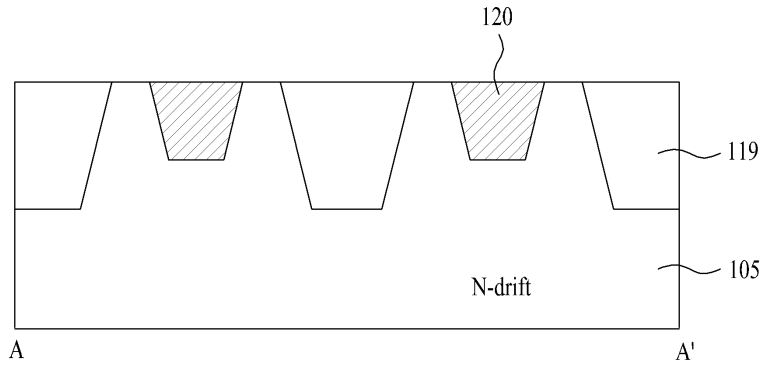
- [0033] 도 1은 본 발명에 따른 수평형 디모스 트랜지스터를 나타낸 사시도.
- [0034] 도 2는 도 1의 A-A'를 따라 도시한 단면도.
- [0035] 도 3 내지 도 4은 본 발명에 따른 수평형 디모스 트랜지스터의 제조 공정을 나타낸 사시도.

도면

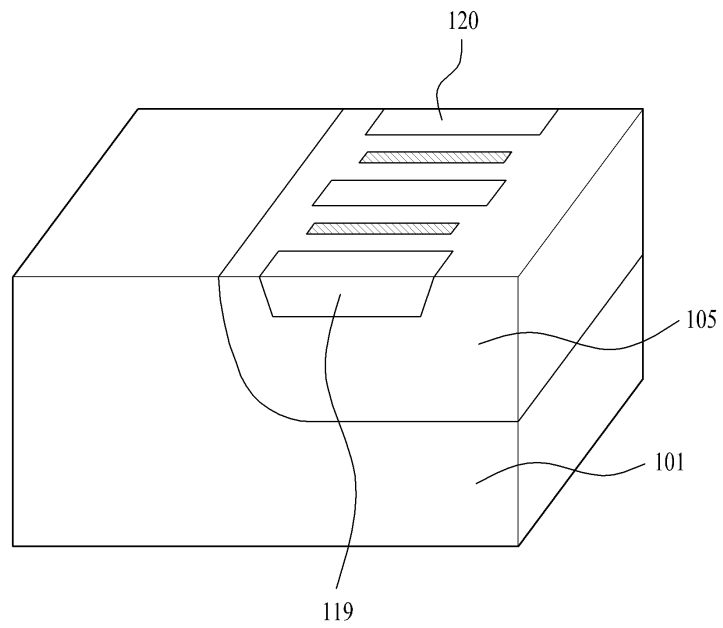
도면1



도면2



도면3



도면4

