



# (12) 实用新型专利

(10) 授权公告号 CN 215118931 U

(45) 授权公告日 2021. 12. 10

(21) 申请号 202121001082.3

H01L 33/48 (2010.01)

(22) 申请日 2021.05.11

H01L 33/62 (2010.01)

(30) 优先权数据

63/022,670 2020.05.11 US

17/314,562 2021.05.07 US

(73) 专利权人 首尔伟傲世有限公司

地址 韩国京畿道安山市

(72) 发明人 李剡劬 张成逵 柳龙禡

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 李盛泉 孙昌浩

(51) Int. Cl.

H01L 33/08 (2010.01)

H01L 25/075 (2006.01)

H01L 33/00 (2010.01)

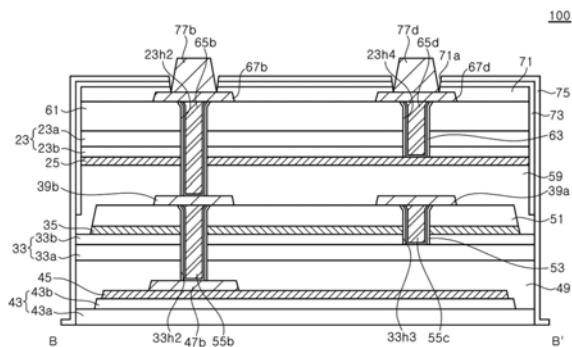
权利要求书2页 说明书23页 附图45页

(54) 实用新型名称

显示器用发光元件以及具有该发光元件的显示装置

(57) 摘要

本实用新型涉及显示器用发光元件及显示装置。根据一实施例的显示器用发光元件包括：第一LED叠层；第二LED叠层，位于第一LED叠层的下方；第三LED叠层，位于第二LED叠层的下方；第一接合层，夹设于第二LED叠层与第三LED叠层之间；第二接合层，夹设于第一LED叠层与第二LED叠层之间；第一平坦化层，夹设于第二接合层与第二LED叠层之间；第二平坦化层，布置于第一LED叠层上；下部掩埋过孔，贯通第一平坦化层、第二LED叠层及第一接合层并且分别电连接于第三LED叠层的第一导电型半导体层及第二导电型半导体层；及上部掩埋过孔，贯通第一平坦化层及第一LED叠层，其中，第一平坦化层沿第二LED叠层的边缘向内侧凹陷。



1. 一种显示器用发光元件,其特征在于,包括:
  - 第一LED叠层;
  - 第二LED叠层,位于所述第一LED叠层的下方;
  - 第三LED叠层,位于所述第二LED叠层的下方;
  - 第一接合层,夹设于所述第二LED叠层与所述第三LED叠层之间;
  - 第二接合层,夹设于所述第一LED叠层与所述第二LED叠层之间;
  - 第一平坦化层,夹设于所述第二接合层与所述第二LED叠层之间;
  - 第二平坦化层,布置于所述第一LED叠层上;
  - 第一下部掩埋过孔,贯通所述第一平坦化层、所述第二LED叠层及所述第一接合层而分别电连接于所述第三LED叠层的第一导电型半导体层及第二导电型半导体层;以及
  - 第一上部掩埋过孔,贯通所述第二平坦化层及所述第一LED叠层,其中,所述第一平坦化层从所述第二LED叠层的边缘朝内侧凹陷。
2. 根据权利要求1所述的显示器用发光元件,其特征在于,
  - 所述第一LED叠层、所述第二LED叠层及所述第三LED叠层分别发出红光、蓝光及绿光。
3. 根据权利要求1所述的显示器用发光元件,其特征在于,还包括:
  - 下部连接件,覆盖所述第一下部掩埋过孔,其中,所述第一上部掩埋过孔中的一部分连接于所述下部连接件。
4. 根据权利要求3所述的显示器用发光元件,其特征在于,还包括:
  - 第二下部掩埋过孔,贯通所述第一平坦化层及所述第二LED叠层的第二导电型半导体层而电连接于第二LED叠层的第一导电型半导体层,其中,所述下部连接件中的一个覆盖电连接于所述第二LED叠层的第一导电型半导体层的所述第二下部掩埋过孔。
5. 根据权利要求4所述的显示器用发光元件,其特征在于,还包括:
  - 第二p电极垫,电连接于所述第二LED叠层的第二导电型半导体层;以及
  - 第三下部掩埋过孔,贯通所述第一平坦化层而连接于所述第二p电极垫。
6. 根据权利要求5所述的显示器用发光元件,其特征在于,
  - 所述第一上部掩埋过孔布置为分别与所述第一下部掩埋过孔、所述第二下部掩埋过孔以及所述第三下部掩埋过孔重叠。
7. 根据权利要求6所述的显示器用发光元件,其特征在于,
  - 贯通所述第一平坦化层而连接于所述第二p电极垫的所述第三下部掩埋过孔的底部表面与上部表面的面积之差小于所述第一下部掩埋过孔及所述第二下部掩埋过孔的底部表面与上部表面的面积之差。
8. 根据权利要求7所述的显示器用发光元件,其特征在于,
  - 所述第一平坦化层及所述第二平坦化层是连续的平坦化层。
9. 根据权利要求3所述的显示器用发光元件,其特征在于,
  - 所述下部连接件位于相同的高度。
10. 根据权利要求1所述的显示器用发光元件,其特征在于,
  - 所述第一下部掩埋过孔及所述第一上部掩埋过孔在各自对应的贯通孔内被侧壁绝缘层所包围。

11. 根据权利要求10所述的显示器用发光元件,其特征在于,所述侧壁绝缘层越靠近贯通孔的底部,所述侧壁绝缘层越薄。
12. 根据权利要求1所述的显示器用发光元件,其特征在于,还包括:  
第一透明电极,欧姆接触于所述第一LED叠层的第二导电型半导体层;  
第二透明电极,欧姆接触于所述第二LED叠层的第二导电型半导体层;  
第三透明电极,欧姆接触于所述第三LED叠层的第二导电型半导体层,其中,所述第二透明电极与所述第一平坦化层具有实质上相同的形状。
13. 根据权利要求1所述的显示器用发光元件,其特征在于,包括:  
上部连接件,布置于所述第二平坦化层上,  
所述上部连接件覆盖所述第一上部掩埋过孔而分别电连接于所述第一上部掩埋过孔。
14. 根据权利要求13所述的显示器用发光元件,其特征在于,还包括:  
凸块垫,分别布置于所述上部连接件上。
15. 根据权利要求14所述的显示器用发光元件,其特征在于,所述凸块垫包括:  
第一凸块垫,共同电连接于所述第一LED叠层、第二LED叠层以及第三LED叠层;以及  
第二凸块垫、第三凸块垫、第四凸块垫,分别电连接于所述第一LED叠层、第二LED层叠以及第三LED叠层的第二导电型半导体层。
16. 根据权利要求13所述的显示器用发光元件,其特征在于,还包括:  
第一n电极垫,布置于所述第一LED叠层的第一导电型半导体层上;以及  
第二上部掩埋过孔,贯通所述第二平坦化层而连接于所述第一n电极垫,其中,所述上部连接件中的一个通过所述第二上部掩埋过孔而电连接于所述第一n电极垫。
17. 根据权利要求16所述的显示器用发光元件,其特征在于,所述上部连接件由Au或者Au合金构成。
18. 根据权利要求1所述的显示器用发光元件,其特征在于,所述第二LED叠层的侧面与所述第三LED叠层的侧面并排,并且所述第一LED叠层的侧面相对于所述第二LED叠层的侧面具有阶梯差。
19. 根据权利要求18所述的显示器用发光元件,其特征在于,覆盖所述第一LED叠层的侧面的绝缘层比覆盖所述第二LED叠层及第三LED叠层的绝缘层厚。
20. 一种显示装置,包括:  
电路基板;以及  
多个发光元件,整齐排列于所述电路基板上,  
其中,所述发光元件是根据权利要求1至19中的任一项所述的显示器用发光元件。

## 显示器用发光元件以及具有该发光元件的显示装置

### 技术领域

[0001] 本公开涉及显示器用发光元件以及显示装置,尤其涉及具有LED的层叠结构的显示器用发光元件以及具有该发光元件的显示装置。

### 背景技术

[0002] 发光二极管作为无机光源,正在多样地利用于显示装置、车辆用灯具、一般照明等多种领域。由于发光二极管具有寿命长、耗电低、响应速度快的优点,正在快速替代现有光源。

[0003] 此外,以往的发光二极管在显示装置中主要用作背光光源。然而,近来正在开发利用发光二极管直接呈现图像的LED显示器。

[0004] 显示装置通常利用蓝色、绿色以及红色的混合色而呈现多种颜色。显示装置为了呈现多种图像而包括多个像素,各像素配备有蓝色、绿色以及红色的子像素,通过这些子像素的颜色决定特定像素的颜色,通过这些像素的组合而呈现图像。

[0005] 由于LED可以根据其材料而发出多种颜色的光,因此可以将发出蓝色、绿色以及红色的单个LED芯片排列在二维平面上而提供显示装置。然而,在各子像素排列一个LED芯片的情形下,LED芯片的数量会变多,从而在贴装工艺消耗大量时间。

[0006] 并且,由于将子像素排列在二维平面上,因此包括蓝色、绿色以及红色子像素的一个像素占据的面积相对变大。因此,为了在有限的面积内排列子像素,需要减小各LED芯片的面积。然而,LED芯片尺寸的减小可能会使LED芯片的贴装变得困难,进而,导致发光面积减小。

### 实用新型内容

[0007] 本公开期望解决的技术问题在于提供一种能够在有限的像素面积内增加各子像素的面积显示器用发光元件以及显示装置。

[0008] 本公开期望解决的另一问题在于提供一种能够缩短贴装工艺时间的显示器用发光元件以及显示装置。

[0009] 本公开期望解决的又一问题在于提供一种能够提高工艺收率的显示器用发光元件以及显示装置。

[0010] 根据本实用新型的一实施例的显示器用发光元件,包括:第一LED叠层;第二LED叠层,位于所述第一LED叠层的下方;第三LED叠层,位于所述第二LED叠层的下方;第一接合层,夹设于所述第二LED叠层与所述第三LED叠层之间;第二接合层,夹设于所述第一LED叠层与所述第二LED叠层之间;第一平坦化层,夹设于所述第二接合层与所述第二LED叠层之间;第二平坦化层,布置于所述第一LED叠层上;第一下部掩埋过孔,贯通所述第一平坦化层、所述第二LED叠层及第一接合层而分别电连接于所述第三LED叠层的第一导电型半导体层及第二导电型半导体层;以及第一上部掩埋过孔,贯通所述第一平坦化层及所述第一LED叠层,其中所述第一平坦化层从所述第二LED叠层的边缘向内侧凹陷。

[0011] 所述第一LED叠层、第二LED叠层及第三LED叠层分别发出红光、蓝光及绿光。

[0012] 所述发光元件还包括：下部连接件，覆盖所述第一下部掩埋过孔，其中，所述第一上部掩埋过孔中的一部分连接于所述下部连接件。

[0013] 所述发光元件还包括：第二下部掩埋过孔，贯通所述第一平坦化层及所述第二LED叠层的第二导电型半导体层而电连接于第二LED叠层的第一导电型半导体层，其中，所述下部连接件中的一个覆盖电连接于所述第二LED叠层的第一导电型半导体层的所述第二下部掩埋过孔。

[0014] 所述发光元件还包括：第二p电极垫，电连接于所述第二LED叠层的第二导电型半导体层；以及第三下部掩埋过孔，贯通所述第一平坦化层而连接于所述第二p电极垫。

[0015] 所述第一上部掩埋过孔布置为分别与所述第一下部掩埋过孔、所述第二下部掩埋过孔以及所述第三下部掩埋过孔重叠。

[0016] 贯通所述第一平坦化层而连接于所述第二p电极垫的所述第三下部掩埋过孔的底部表面与上部表面的面积之差小于所述第一下部掩埋过孔及所述第二下部掩埋过孔的底部表面与上部表面的面积之差。

[0017] 所述第一平坦化层及所述第二平坦化层是连续的平坦化层。

[0018] 所述下部连接件位于相同高度。

[0019] 所述的第一下部掩埋过孔及所述第一上部掩埋过孔在各自对应的贯通孔内被侧壁绝缘层包围。

[0020] 所述侧壁绝缘层越靠近贯通孔的底部，所述侧壁绝缘层越薄。

[0021] 所述发光元件还包括：第一透明电极，欧姆接触于所述第一LED叠层的第二导电型半导体层；第二透明电极，欧姆接触于所述第二LED叠层的第二导电型半导体层；第三透明电极，欧姆接触于所述第三LED叠层的第二导电型半导体层，其中，所述第二透明电极与所述第一平坦化层具有实质上相同的形状。

[0022] 所述发光元件包括：上部连接件，布置于所述第二平坦化层上，所述上部连接件覆盖所述第一上部掩埋过孔而分别电连接于所述第一上部掩埋过孔。

[0023] 所述发光元件还包括：凸块垫，分别布置于所述上部连接件上。

[0024] 所述发光元件包括：第一凸块垫，共同电连接于所述第一LED叠层、第二LED叠层以及第三LED叠层；以及第二凸块垫、第三凸块垫、第四凸块垫，分别电连接于所述第一LED叠层、第二LED层叠以及第三LED叠层的第二导电型半导体层。

[0025] 所述发光元件还包括：第一n电极垫，布置于所述第一LED叠层的第一导电型半导体层上；以及第二上部掩埋过孔，贯通所述第二平坦化层而连接于所述第一n电极垫，其中，所述上部连接件中的一个通过所述第二上部掩埋过孔而电连接于所述第一n电极垫。

[0026] 所述上部连接件由Au或者Au合金构成。

[0027] 所述第二LED叠层的侧面与所述第三LED叠层的侧面并排，并且所述第一LED叠层的侧面相对于所述第二LED叠层的侧面具有阶梯差。

[0028] 覆盖所述第一LED叠层的侧面的绝缘层比覆盖所述第二LED叠层及第三LED叠层的绝缘层厚。

[0029] 根据本实用新型的一实施例的显示装置，包括：电路基板；以及多个发光元件，整齐排列在所述电路基板上，其中，各个所述发光元件为在先说明的发光元件。

[0030] 根据本实用新型的一实施例的显示器用发光元件及显示装置能够在有限的像素面积内增加各子像素的面积。

[0031] 根据本实用新型的另一实施例的显示器用发光元件以及显示装置能够缩短贴装工艺时间。

[0032] 根据本实用新型的又一实施例的显示器用发光元件以及显示装置能够提高工艺收率。

### 附图说明

[0033] 图1是用于说明根据本公开的实施例的显示装置的示意性的立体图。

[0034] 图2是用于说明根据本公开的一实施例的显示面板的示意性的平面图。

[0035] 图3是用于说明根据本公开的一实施例的发光元件的示意性的平面图。

[0036] 图4A及图4B是分别沿图3的截取线A-A' 及B-B' 而截取的示意性的剖视图。

[0037] 图5A、图5B及图5C是用于说明根据本公开的一实施例的生长在生长基板上的第一LED叠层至第三LED叠层的示意性的剖视图。

[0038] 图6A、图6B、图6C、图7A、图7B、图7C、图8A、图8B、图8C、图9A、图9B、图9C、图10A、图10B、图10C、图11A、图11B、图11C、图12A、图12B、图12C、图13A、图13B、图13C、图14A、图14B、图14C、图15A、图15B及图15C是用于说明制造根据本公开的一实施例的显示器用发光元件的方法的示意性的平面图及剖视图。

[0039] 图16A、图16B、图16C及图16D是用于说明根据本公开的一实施例的掩埋过孔形成工艺的示意性的剖视图。

[0040] 图17A、图17B、图17C及图17D是用于说明根据本公开的一实施例的掩埋过孔形成工艺的示意性的剖视图。

[0041] 图18是用于说明粘合在电路板上的发光元件的示意性的剖视图。

[0042] 图19A、图19B及图19C是用于说明根据本公开的一实施例的将发光元件转移到电路板的方法的示意性的剖视图。

[0043] 图20是用于说明根据本公开的另一实施例的将发光元件转移到电路板的方法的示意性的剖视图。

[0044] 图21A是用于说明根据本公开的又一实施例的发光元件的示意性的平面图。

[0045] 图21B是为了说明图21A的发光元件而从第二接合层的下方观察的示意性的平面图。

[0046] 图21C是为了说明图21A的发光元件而从第一接合层的下方观察的示意性的平面图。

[0047] 图22A及图22B是分别沿图21A的截取线A-A' 及截取线B-B' 而截取的示意性的剖视图。

### 具体实施方式

[0048] 以下,参照附图详细说明本实用新型的实施例。下面介绍的实施例是为了向本实用新型所属的技术领域的普通技术人员充分传递本实用新型的思想而作为示例提供的。因此,本实用新型不限于以下说明的实施例,也可以具体化为其他形态。并且,为了方便起见,

可以夸大表示构成要素的宽度、长度、厚度等。并且,在记载为一个构成要素在另一构成要素“上部”或者“之上”时,不仅包括各部分位于另一部分的“紧邻的上部”或者“紧邻的上方”的情形,还包括在各构成要素和另一构成要素之间夹设有其他构成要素的情形。贯穿整个说明书,相同的附图标记表示相同的构成要素。

[0049] 根据本实用新型的一实施例的显示器用发光元件,包括:第一LED叠层;第二LED叠层,位于所述第一LED叠层的下方;第三LED叠层,位于所述第二LED叠层的下方;第一接合层,夹设于所述第二LED叠层与所述第三LED叠层之间;第二接合层,夹设于所述第一LED叠层与所述第二LED叠层之间;第一平坦化层,夹设于所述第二接合层与所述第二LED叠层之间;第二平坦化层,布置于所述第一LED叠层上;下部掩埋过孔,贯通所述第一平坦化层、所述第二LED叠层及第一接合层而分别电连接于所述第三LED叠层的第一导电型半导体层及第二导电型半导体层;以及上部掩埋过孔,贯通所述第一平坦化层及所述第一LED叠层,其中,所述第一平坦化层从所述第二LED叠层的边缘朝内侧凹陷。

[0050] 虽然本说明书中为了便于说明而以在第一LED叠层下面布置有第二LED叠层,第二LED叠层下面布置有第三LED叠层的情形进行说明,但发光元件可以被倒装接合,因此,应当留意这些第一LED叠层至第三LED底层的上下位置可以被颠倒。

[0051] 在一实施例中,所述第一LED叠层相比所述第二LED叠层可以发出更长的波长的光,所述第二LED叠层相比所述第三LED叠层可以发出更长的波长的光。例如,所述第一LED叠层、第二LED叠层及第三LED叠层可以分别发出红光、绿光及蓝光。

[0052] 在另一实施例中,所述第一LED叠层、第二LED叠层及第三LED叠层可以分别发出红光、蓝光及绿光。通过使第二LED叠层发出蓝光,第三LED叠层发出绿光,以使在第二LED叠层生成的光的光度,从而可以调节颜色混合比。

[0053] 此外,所述发光元件还可以包括:下部连接件,覆盖所述下部掩埋过孔,并且所述上部掩埋过孔中的一部分可以连接于所述下部连接件。通过采用所述下部连接件,可以强化上部掩埋过孔的电连接,进而,可以提升形成上部掩埋过孔的工艺的可靠性。

[0054] 在一实施例中,所述上部掩埋过孔中的一部分可以布置为与所述下部掩埋过孔重叠。

[0055] 所述发光元件还可以包括:下部掩埋过孔,贯通所述第一平坦化层及所述第二LED叠层的第二导电型半导体层而电连接于第二LED叠层的第一导电型半导体层,其中,所述下部连接件中的一个可以覆盖电连接于所述第二LED叠层的第一导电型半导体层的下部掩埋过孔。

[0056] 进一步地,所述发光元件还可以包括:第二p电极垫,电连接于所述第二LED叠层的第二导电型半导体层;以及下部掩埋过孔,贯通所述第一平坦化层而连接于所述第二p电极垫。

[0057] 贯通所述第一平坦化层并连接于所述第二p电极垫的下部掩埋过孔的底部表面与上部表面的面积之差可以小于其他下部掩埋过孔的底部表面与上部表面的面积之差。

[0058] 此外,所述第一平坦化层和所述第二平坦化层可以是连续的。

[0059] 在一实施例中,所述下部连接件可以位于相同高度。由此,能够容易地形成所述上部掩埋过孔。

[0060] 此外,所述下部掩埋过孔及所述上部掩埋过孔在各自对应的贯通孔内可以被侧壁

绝缘层包围。进而,所述侧壁绝缘层越靠近贯通孔的底部可能越薄。

[0061] 所述发光元件还可以包括:第一透明电极,欧姆接触于所述第一LED叠层的第二导电型半导体层;第二透明电极,欧姆接触于所述第二LED叠层的第二导电型半导体层;以及第三透明电极,欧姆接触于所述第三LED叠层的第二导电型半导体层,其中,所述第二透明电极可以与所述第一平坦化层具有实质上相同的形状。例如,所述第二透明电极的侧面可以与所述第一平坦化层的侧面平行。

[0062] 所述发光元件还可以包括:上部连接件,布置于所述第一LED叠层上,并且所述上部连接件覆盖所述上部掩埋过孔并分别电连接于所述上部掩埋过孔。

[0063] 进一步地,所述发光元件还可以包括:凸块垫,分别布置于所述上部连接件上。

[0064] 所述凸块垫可以包括:第一凸块垫,共同电连接于所述第一LED叠层至第三LED叠层;及第二凸块垫至第四凸块垫,分别电连接于所述第一LED叠层至第三LED叠层的第二导电型半导体层。

[0065] 此外,所述发光元件还可以包括:第一n电极垫,布置于所述第一LED叠层的第一导电型半导体层上;以及上部掩埋过孔,贯通所述第二平坦化层而连接于所述第一n电极垫,所述上部连接件中的一个上部连接件可以通过所述上部掩埋过孔而电连接于所述第一n电极垫。

[0066] 在一实施例中,所述上部连接件可以包括:反射金属层,反射生成在所述第一LED叠层的光,所述反射金属层可以包括例如Au或者Au合金。

[0067] 所述第二LED叠层的侧面可以与所述第三LED叠层的侧面平行,所述第一LED叠层的侧面可以相对于所述第二LED叠层的侧面形成阶梯差。

[0068] 并且,覆盖所述第一LED叠层的侧面的绝缘层可以比覆盖所述第二LED叠层和第三LED叠层的绝缘层更厚。

[0069] 根据本实用新型的一实施例的显示装置包括:电路基板;以及多个发光元件,整齐排列于所述电路基板上,其中,所述发光元件分别为在先说明的发光元件。

[0070] 以下,参照附图具体说明本公开的实施例。

[0071] 图1是用于说明根据本公开的实施例的显示装置的示意性的立体图。

[0072] 虽然本公开的发光元件并不特别受限制,然而,尤其可以使用在诸如智能手表1000a、VR头戴式耳机1000b之类的VR显示装置,或者可以使用在诸如增强现实眼镜1000c之类的AR显示装置内。

[0073] 在显示装置内安装有用于呈现图像的显示面板。图2是用于说明根据本公开的一实施例的显示面板的示意性的平面图。

[0074] 参照图2,显示面板包括电路基板101及发光元件100。

[0075] 电路基板101可以包括用于驱动无源矩阵或者有源矩阵的电路。在一实施例中,电路基板101可以在内部包括布线和电阻。在另一实施例中,电路基板101可以包括布线、晶体管以及电容器。电路基板101还可以在其上表面具有用于允许与布置在内部的电路电连接的垫。

[0076] 多个发光元件100整齐排列在电路基板101上。各发光元件100构成一个像素。发光元件100具有凸块垫77,并且凸块垫77电连接于电路基板101。例如,凸块垫77可以接合于暴露在电路基板101上的垫。



[0077] 发光元件100之间的间距可以至少大于发光元件的宽度。

[0078] 参照图3、图4A及图4B对发光元件100的具体构成进行说明。图3是用于说明根据本公开的一实施例的发光元件100的示意性的平面图,图4A 及图4B是为了说明根据本公开的一实施例的发光元件100而分别沿图3的截取线A-A' 及B-B' 截取的示意性的剖视图。

[0079] 虽然,为了便于说明,以凸块垫77a、77b、77c、77d布置于上侧的情形图示并进行说明,然而,发光元件100如图2所示地倒装在电路基板101上,在此情形下,凸块垫77a、77b、77c、77d布置在下侧。进一步地,在特定的实施例中,也可以省略凸块垫77a、77b、77c、77d。并且,虽然同时图示了第三基板41,但也可以省略第三基板41。

[0080] 参照图3、图4A及图4B,发光元件100可以包括:第一LED叠层23、第二LED叠层33、第三LED叠层43、第一透明电极25、第二透明电极35、第三透明电极45、第一n电极垫27a、第二p电极垫37b、第三n电极垫47a、第三p电极垫47b、第一下部连接件39a、第二下部连接件39b、第三下部连接件39c、下部掩埋过孔55a、55b、55c、55d、上部掩埋过孔65a、65b、65c、65d、65e、第一侧壁绝缘层53、第一上部连接件67a、第二上部连接件67b、第三上部连接件67c、第四上部连接件67d、第一接合层49、第二接合层59、第一上部绝缘层71、第二上部绝缘层73、第三上部绝缘层75、第一平坦化层51、第二平坦化层61以及凸块垫77a、77b、77c、77d。进一步地,发光元件100可以包括:贯通孔23h1、23h2、23h3、23h4,贯通第一LED叠层 23;贯通孔33h1、33h2,贯通第二LED叠层33;以及贯通孔33h3,贯通第二LED叠层33的一部分。

[0081] 如图4A及图4B所示,本公开的实施例中,第一LED叠层23至第三 LED叠层43沿垂直方向层叠。此外,虽然各LED叠层23、33、43是生长在彼此不同的生长基板上的LED层叠,但在公开的实施例中,生长基板可以不残留在最终发光元件100,并且可以被全部除去。因此,发光元件100不包括生长基板。然而,本公开并不是必须局限于此,并且也可以包括至少一个生长基板。

[0082] 第一LED叠层23、第二LED叠层33及第三LED叠层43分别包括第一导电型半导体层23a、33a、43a、第二导电型半导体层23b、33b、43b以及夹设于它们之间的活性层(未示出)。尤其,活性层可以具有多层量子阱结构。

[0083] 在第一LED叠层23下方布置有第二LED叠层33,在第二LED叠层33 下方布置有第三LED叠层43。从第一LED叠层23至第三LED叠层43产生的光最终通过第三LED叠层43而朝外部发出。

[0084] 在一实施例中,第一LED叠层23可以相比第二LED叠层33及第三LED 叠层43发出更长的波长的光,第二LED叠层33可以相比第三LED叠层43 发出更长的波长的光。例如,第一LED叠层23可以是发出红光的无机发光二极管,第二LED叠层33可以是发出绿光的无机发光二极管,第三LED叠层43可以是发出蓝光的无机发光二极管。

[0085] 在另一实施例中,为了调节从第一LED叠层23、第二LED叠层33及第三LED叠层43发出的光的颜色混合比,第二LED叠层33可以发出比第三LED叠层43发出的光的波长更短的波长的光。据此,可以降低从第二LED 叠层33发出的光的光度,并且可以增加从第三LED叠层43发出的光的光度。据此,可以急剧改变从第一LED叠层23、第二LED叠层33及第三LED叠层43发出的光的光度比率。例如,可以构成为第一LED叠层23发出红光,第二LED叠层33发出蓝光,第三LED叠层43发出绿光。

[0086] 虽然以下以第二LED叠层33发出比第三LED叠层43发出的光的波长更短的波长的

光(例如第二LED叠层33发出蓝光)的情形作为例进行说明,然而应当留意第二LED叠层33可以发出比第三LED叠层43发出的光的波长更长的波长的光(例如,第二LED叠层33可以发出绿光)。

[0087] 第一LED叠层23可以包括AlGaInP系的阱层,第二LED叠层33可以包括AlGaInN系的阱层,第三LED叠层43可以包括AlGaInP系的阱层或者 AlGaInN系的阱层。

[0088] 由于第一LED叠层23相比于第二LED叠层33及第三LED叠层43可以发出更长的波长的光,从而从第一LED叠层23产生的光可以透射第二LED叠层33及第三LED叠层43而朝外部发出。并且,由于第二LED叠层33相比于第三LED叠层43可以发出更短的波长的光,从而从第二LED叠层33产生的光的一部分可以被第三LED叠层43吸收而损失,因此,可以降低从第二LED叠层33产生的光的光度。此外,由于从第三LED叠层43产生的光不经过第一LED叠层23及第二LED叠层33而朝外部发出,从而可以使其光度增加。

[0089] 此外,各LED叠层23、33、43的第一导电型半导体层23a、33a、43a 分别为n型半导体层,第二导电型半导体层23b、33b、43b为p型半导体层。并且,在本实施例中,第一LED叠层23的上表面是n型半导体层23a,第二LED叠层33的上表面是p型半导体层33b,第三LED叠层43的上表面是p型半导体层43b。即,第一LED叠层23的层叠顺序与第二LED叠层33及第三LED叠层43的层叠顺序相反。第二LED叠层33的半导体层可以以与第三LED叠层43的半导体层相同的顺序布置而确保工艺的稳定性,对此将在后面说明制造方法时进行详细说明。

[0090] 如图3及图4B所示,第二LED叠层33可以不包括台面蚀刻区域。第一下部连接件39a可以通过贯通孔33h3而与第一导电型半导体层33a电连接。然而,本公开并不限于此,第二LED叠层33也可以包括去除第二导电型半导体层33b而使第一导电型半导体层33a的上表面暴露的台面蚀刻区域。在暴露于台面蚀刻区域的第一导电型半导体层33a上可以布置有n电极垫。第三LED叠层43可以包括去除第二导电型半导体层43b而使第一导电型半导体层43a的上表面暴露的台面蚀刻区域,并且在暴露的第一导电型半导体层43a上可以布置有第三n电极垫47a。相比于此,第一LED叠层23可以不包括台面蚀刻区域。

[0091] 此外,第三LED叠层43可以具有平坦的下部表面,但并不限于此。例如,在第一导电型半导体层43a的表面可以包括凹凸,并且可以借由该凹凸而提升光提取效率。第一导电型半导体层43a的表面凹凸也可以通过分离被图案化的蓝宝石基板而形成,但并不一定限于此,也可以在分离生长基板后通过纹理化处理而追加地形成。第二LED叠层33还可以具有表面被纹理化处理的第二导电型半导体层33a。

[0092] 在本实施例中,第一LED叠层23、第二LED叠层33及第三LED叠层43可以彼此重叠,并且可以具有大致相似的尺寸的发光面积。然而,可以借由台面蚀刻区域、贯通孔23h1、23h2、23h3、23h4以及贯通孔33h1、33h2、33h3而调节第一LED叠层23至第三LED叠层43的发光面积。例如,第一LED叠层23及第二LED叠层43的发光面积可以大于第二LED叠层33的发光面积,因此,相比于从第二LED叠层33产生的光的光度,可以使从第一LED叠层23或者第三LED叠层43产生的光的光度增加得更多。

[0093] 第一透明电极25可以布置于第一LED叠层23与第二LED叠层33之间。第一透明电极25欧姆接触于第一LED叠层23的第二导电型半导体层23b,并且使从第一LED叠层23产生的光透射。第一透明电极25可以利用诸如铟锡氧化物(ITO)等的透明氧化物层或者金属层形成。第一透明电极25可以覆盖第一LED叠层23的第二导电型半导体层23b的全表面,并且其

侧面可以布置为与第一LED叠层23的侧面并排。即,第一透明电极25的侧面可以不被第二接合层59覆盖。进一步地,贯通孔23h1、23h2、23h3可以贯通第一透明电极25,因此,在这些贯通孔的侧壁可以暴露有第一透明电极25。此外,贯通孔23h4可以暴露第一透明电极25的上表面。然而,本公开并不限于此,第一透明电极25沿第一LED叠层23的边缘而被局部去除,从而可以使第一透明电极25的侧面被第二接合层59覆盖。并且,通过在形成贯通孔 23h1、23h2、23h3的区域将第一透明电极25预先进行图案化而去除,从而可以防止第一透明电极25暴露于贯通孔23h1、23h2、23h3的侧壁。

[0094] 此外,第二透明电极35欧姆接触于第二LED叠层33的第二导电型半导体层33b。如图所示,第二透明电极35在第一LED叠层23与第二LED叠层 33之间接触于第二LED叠层33的上表面。第二透明电极35可以利用对红光透明的金属层或者导电性氧化物层形成。导电性氧化物层的示例可以有 $\text{SnO}_2$ 、 $\text{InO}_2$ 、ITO、ZnO、IZO等。尤其,第二透明电极35可以利用ZnO形成,由于ZnO可以以单晶形成在第二LED叠层33上,从而电特性和光学特性相比金属层或者其他导电性氧化物层优秀。尤其,ZnO对第二LED叠层33的粘合力强,从而可以提升发光元件的可靠性。

[0095] 此外,第二透明电极35可以沿第二LED叠层33的边缘而被局部去除,据此,第二透明电极35的外侧侧面可以不暴露于外部,例如,可以被第二接合层59覆盖。即,第二透明电极35的侧面比第二LED叠层33的侧面朝内侧凹陷,并且第二透明电极35的凹陷的区域可以由第二接合层59所填充。

[0096] 第三透明电极45欧姆接触于第三LED叠层43的第二导电型半导体层 43b。第三透明电极45可以位于第二LED叠层33与第三LED叠层43之间,并且与第三LED叠层43的上表面接触。第三透明电极45可以利用对红光及蓝光透明的金属层或者导电性氧化物层形成。导电性氧化物层的示例可以有 $\text{SnO}_2$ 、 $\text{InO}_2$ 、ITO、ZnO、IZO等。尤其,第三透明电极45可以利用ZnO形成,由于ZnO可以以单晶形成在第三LED叠层43上,从而电特性和光学特性相比金属层或者其他导电性氧化物层优秀。尤其,ZnO对第三LED叠层 43的粘合力强,从而可以提升发光元件的可靠性。

[0097] 第三透明电极45可以沿第三LED叠层43的边缘而被局部去除,据此,第三透明电极45的外侧侧面可以不暴露于外部,例如,可以被第一接合层 49覆盖。即,第三透明电极45的侧面比第三LED叠层43的侧面朝内侧凹陷,并且第三透明电极45的凹陷的区域可以被第一接合层49所填充。此外,在第三LED叠层43的台面蚀刻区域附近,第三透明电极45也可以凹陷,被凹陷的区域可以由第一接合层49所填充。

[0098] 第三透明电极45可以以上述方式凹陷,从而可以防止这些的侧面暴露于蚀刻气体,并且可以提升发光元件100的工艺收率。

[0099] 此外,在本实施例中,第二透明电极35及第三透明电极45可以利用同种的导电性氧化物层形成,例如,可以利用ZnO形成,第一透明电极25可以利用与第二透明电极35及第三透明电极45不同的种类的导电性氧化物层形成(例如,利用ITO形成)。然而,本公开并不限于此,这些第一透明电极 25至第三透明电极45可以均为相同种类,也可以有至少一个为不同种类。

[0100] 第一n电极垫27a欧姆接触于第一LED叠层23的第一导电型半导体层 23a。例如,第一n电极垫27a可以包括AuGe或者AuTe。

[0101] 第三n电极垫47a欧姆接触于第三LED叠层43的第一导电型半导体层43a。第三n电极垫47a可以布置于通过第二导电型半导体层43b暴露的第一导电型半导体层43a上(即,布置于台面蚀刻区域)。例如,第三n电极垫47a可以利用Cr、Au、Ti形成。第三n电极垫47a的上表面可以高于第二导电型半导体层43b的上表面,进一步地,可以高于第三透明电极45的上表面。例如,第三n电极垫47a的厚度可以约为 $2\mu\text{m}$ 以上。虽然第三n电极垫47a可以为圆锥台形状,但不限于此,可以具有四角锥台、圆筒形、四角桶形等多种形状。

[0102] 第二p电极垫37b布置于第二透明电极35上。第二p电极垫37b可以连接于第二透明电极35,并且可以通过第二透明电极35电连接于第二导电型半导体层33b。第二p电极垫37b可以利用金属物质形成。

[0103] 第三p电极垫47b可以利用与第三n电极垫47a相同的材料形成。然而,第三p电极垫47b的上表面可以位于与第三n电极垫47a大致相同的高度,因此,第三p电极垫47b的厚度可以小于第三n电极垫47a。即,第三p电极垫47b的厚度可以大致与第三n电极垫47a的朝第三透明电极45上方突出的部分的厚度相同。例如,第三p电极垫47b的厚度可以约为 $1.2\mu\text{m}$ 以下。当通过使第三p电极垫47b的上表面位于与第三n电极垫47a的上表面相同高度而形成贯通孔33h1、33h2时,可以使第三p电极垫47b和第三n电极垫47a同时暴露。在第三n电极垫47a与第三p电极垫47b的高度不同的情形下,任意一个电极垫在蚀刻工艺中可能受到较大的损伤。因此,通过将第三n电极垫47a和第三p电极垫47b的高度调整为大致相同,从而可以防止任意一个电极垫受到很大的损伤。

[0104] 第一接合层49将第二LED叠层33结合到第三LED叠层43。第一接合层49可以在第一导电型半导体层33a与第三透明电极45之间使第二LED叠层33与第三LED叠层43结合。第一接合层49可以与第三透明电极45、第三n电极垫47a及第三p电极垫47b粘合。第一接合层49还可以局部地与暴露在台面蚀刻区域的第一导电型半导体层43a粘合。

[0105] 第一粘合层49可以利用透明有机物层或者透明无机物层形成。有机物层可以以SU8、聚甲基丙烯酸甲酯(PMMA:poly(methylmethacrylate))、聚酰亚胺、聚对二甲苯、苯并环丁烯(BCB: Benzocyclobutene)等为例,无机物层可以以 $\text{Al}_2\text{O}_3$ 、 $\text{SiO}_2$ 、 $\text{SiN}_x$ 等为例。并且,第一接合层49还可以利用旋涂玻璃(SOG: spin on glass)形成。

[0106] 第一平坦化层51可以布置于第二LED叠层33上。第一平坦化层51可以是连续的层。第一平坦化层51可以布置于第二导电型半导体层33b的上部区域,并且从第二LED叠层33的边缘朝内侧凹陷。例如,第一平坦化层51的侧面可以与第二透明电极35的侧面并排。第一平坦化层51可以借由光刻工艺及蚀刻工艺而被图案化,此时,第二透明电极35也可以一同被图案化。据此,第二导电型半导体层33b可以在第一平坦化层51的周围暴露。

[0107] 贯通孔33h1、33h2可以贯通第一平坦化层51、第二透明电极35、第二LED叠层33及第一接合层49而暴露第三n电极垫47a及第三p电极垫47b。贯通孔33h3可以贯通第一平坦化层51、第二透明电极35及第二导电型半导体层33b而暴露第一导电型半导体层33a。此外,贯通孔33h4贯通第一平坦化层51而暴露第二p电极垫37b。

[0108] 第一侧壁绝缘层53覆盖贯通孔33h1、33h2、33h3、33h4的侧壁,并且具有使贯通孔的底部暴露的开口部。第一侧壁绝缘层53可以使用例如化学气相沉积技术或者原子层沉积技术而形成,例如,可以利用 $\text{Al}_2\text{O}_3$ 、 $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 等形成。

[0109] 下部掩埋过孔55a、55b、55c、55d可以分别填充贯通孔33h1、33h2、33h3、33h4。下

部掩埋过孔55a、55b、55c可以借由第一侧壁绝缘层53而与第二透明电极35及第二LED叠层33绝缘。下部掩埋过孔55a可以电连接于第三n电极垫47a，下部掩埋过孔55b可以电连接于第三p电极垫47b。并且，下部掩埋过孔55c可以电连接于第二LED叠层33的第一导电型半导体层33a，下部掩埋过孔55d可以电连接于第二p电极垫37b。

[0110] 下部掩埋过孔55a、55b、55c、55d可以利用化学机械研磨技术而形成。例如，可以形成种子层(seed layer)并利用镀覆技术采用Cu等的导电材料填充贯通孔33h1、33h2、33h3、33h4之后，可以利用化学机械研磨技术来去除第一平坦化层51上的金属层，从而可以形成下部掩埋过孔55a、55b、55c、55d。如图4A及图4B所示，下部掩埋过孔55a、55b、55c可以相比于底部面在贯通孔33h1、33h2、33h3的入口具有更宽的宽度，据此，可以强化电连接。此外，下部掩埋过孔55d可以具有上表面与底表面具有大致相同的大小的柱形状。

[0111] 下部掩埋过孔55a、55b、55c、55d可以通过同一工艺一起形成。据此，下部掩埋过孔55a、55b、55c、55d的上表面可以与第一平坦化层51大致并排。针对形成下部掩埋过孔的具体工艺将在后面进行更详细的说明。然而，本公开并不限于此，也可以通过彼此不同的工艺形成。

[0112] 下部连接件39a、39b、39c可以布置在第一平坦化层51的各区域上。第一下部连接件39a可以电连接于下部掩埋过孔55a，并且，可以沿横向延伸而与下部掩埋过孔55c电连接。据此，第三LED叠层43的第一导电型半导体层43a与第二LED叠层33的第一导电型半导体层33a可以共同电连接。第一下部连接件39a可以覆盖下部掩埋过孔55a、55c(参照图9A)。

[0113] 第二下部连接件39b电连接于下部掩埋过孔55b。第二下部连接件39b可以覆盖下部掩埋过孔55b。第三下部连接件39c电连接于下部掩埋过孔55d。第三下部连接件39c可以覆盖下部掩埋过孔55d。

[0114] 在本实施例中，第一下部连接件39a至第三下部连接件39c均布置于第一平坦化层51上。第一下部连接件39a至第三下部连接件39c可以通过同一工艺一起形成，因此，它们的上表面高度可以彼此相同。

[0115] 第二接合层59将第一LED叠层23结合到第二LED叠层33。如图所示，第二接合层59可以布置于第一透明电极25与第一平坦化层51之间。第二接合层59还可以覆盖第一下部连接件39a至第三下部连接件39c。第二接合层59还可以覆盖第一平坦化层51的侧面和第二透明电极35的侧面，并且可以与第二导电型半导体层33b接触。第二接合层59可以利用与上述针对第一接合层49进行说明的材料相同的材料形成，为避免重复而省略详细说明。

[0116] 第二平坦化层61覆盖第一LED叠层23。第二平坦化层61可以如第一平坦化层具有平坦的上表面。第二平坦化层61可以利用铝氧化膜、硅氧化膜或者硅氮化膜形成。第二平坦化层61可以形成单层或者多层。进一步地，第二平坦化层61可以利用分布式布拉格反射器形成。第二平坦化层61可以具有使第一n电极垫27a暴露的开口部61a。

[0117] 此外，贯通孔23h1、23h2、23h3、23h4贯通第二平坦化层61及第一LED叠层23。进一步地，贯通孔23h1、23h2、23h3可以贯通第一透明电极25及第二接合层59而暴露下部连接件39a、39b、39c，贯通孔23h4可以暴露第一透明电极25。例如，贯通孔23h1为了提供用于允许电连接到下部掩埋过孔55a的通道而形成，贯通孔23h2为了提供用于允许电连接到下部掩埋过孔55b的通道而形成，贯通孔23h3为了提供用于允许电连接到下部掩埋过孔55d的通道而形成。

[0118] 此外,贯通孔23h4为了提供用于允许电连接到第一透明电极25的通道而形成。贯通孔23h4不贯通第一透明电极25。然而,本公开并不限于此,只要贯通孔23h4提供用于电连接到第一透明电极25的通道,贯通孔23h4也可以贯通第一透明电极25。

[0119] 第二侧壁绝缘层63覆盖贯通孔23h1、23h2、23h3、23h4的侧壁,并具有暴露贯通孔的底部的开口部。第二侧壁绝缘层63还可以覆盖开口部61a的侧壁,并具有暴露第一n电极垫27a的开口部。第二侧壁绝缘层63可以使用例如化学气相沉积技术或者原子层沉积技术而形成,例如,可以利用 $\text{Al}_2\text{O}_3$ ,  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ 等形成。

[0120] 上部掩埋过孔65a、65b、65c、65d可以分别填充贯通孔23h1、23h2、23h3、23h4,上部掩埋过孔65e可以填充开口部61a。上部掩埋过孔65a、65b、65c、65d可以借由第二侧壁绝缘层63而与第一LED叠层23电绝缘。

[0121] 此外,上部掩埋过孔65a可以通过第一下部连接件39a而电连接于下部掩埋过孔55a,上部掩埋过孔65b可以通过第二下部连接件39b而电连接于下部掩埋过孔55b,上部掩埋过孔65c可以通过第三下部连接件39c而电连接于下部掩埋过孔55d。并且,上部掩埋过孔65d可以电连接于第一透明电极25。上部掩埋过孔65a、65b可以布置为分别与下部掩埋过孔55a、55b重叠。并且,上部掩埋过孔65c可以布置为与下部掩埋过孔55d重叠。此外,上部掩埋过孔65d与下部掩埋过孔55c隔开。虽然上部掩埋过孔65d可以布置于下部掩埋过孔55c的上部而与下部掩埋过孔55c重叠,但本实施例并不限于此。

[0122] 上部掩埋过孔65a、65b、65c、65d、65e可以利用化学机械研磨技术形成。例如,可以形成种子层(seedlayer)并利用镀覆技术填充贯通孔23h1、23h2、23h3、23h4及开口部61a之后,可以利用化学机械研磨技术来去除第二平坦化层61上的金属层,从而可以形成上部掩埋过孔65a、65b、65c、65d、65e。进一步地,在形成种子层之前可以形成金属阻挡层。

[0123] 上部掩埋过孔65a、65b、65c、65d、65e可以通过同一工艺一起形成,并且可以与第二平坦化层61大致并排。然而,本公开并不限于本实施例,也可以通过彼此不同的工艺形成。

[0124] 第一上部连接件67a、第二上部连接件67b、第三上部连接件67c及第四上部连接件67d布置于第二平坦化层61上。第一上部连接件67a可以电连接于上部掩埋过孔65a及上部掩埋过孔65e,第二上部连接件67b可以电连接于上部掩埋过孔65b,第三上部连接件67c可以电连接于上部掩埋过孔65c,第四上部连接件67d可以电连接于上部掩埋过孔65d。如图所示,第一上部连接件67a至第四上部连接件67d可以分别覆盖上部掩埋过孔65a、65b、65c、65d。并且,第一上部连接件67a可以覆盖填充第二平坦化层61的开口部61a的上部掩埋过孔65e。据此,第一LED叠层23至第三LED叠层43的第一导电型半导体层23a、33a、43a可以彼此共同电连接。

[0125] 第一上部连接件67a、第二上部连接件67b、第三上部连接件67c及第四上部连接件67d可以在同一工艺中利用相同的材料形成,例如,可以利用Ni/Au/Ti形成。

[0126] 第一上部绝缘层71可以覆盖第二平坦化层61,并且可以覆盖第一上部连接件67a至第四上部连接件67d。第一上部绝缘层71可以利用硅氧化膜或者硅氮化膜形成。

[0127] 第二上部绝缘层73可以布置于第一上部绝缘层71上,进一步地,可以覆盖第一上部绝缘层71、第二平坦化层61、第一LED叠层23的侧面。如图4A及图4B所示,第二上部绝缘层73可以覆盖第一透明电极25的侧面,进一步地,可以局部地覆盖第二接合层59的侧面。

[0128] 第二上部绝缘层73可以利用硅氧化膜、硅氮化膜或铝氧化膜等的绝缘层形成。虽然示出了第二上部绝缘层73覆盖第一上部绝缘层71的上表面的情形,然而也可以去除第一上部绝缘层71上的第二上部绝缘层73。

[0129] 如图4A及图4B所示,第三上部绝缘层75可以覆盖发光元件100的侧面。据此,第一LED叠层23的侧面可以被第二上部绝缘层73及第三上部绝缘层75双重覆盖,第二LED叠层33及第三LED叠层43的侧面可以被第三上部绝缘层75覆盖。在另一实施例中,也可以省略第三上部绝缘层75。

[0130] 第一上部绝缘层71、第二上部绝缘层73及第三上部绝缘层75可以具有使第一上部连接件67a至第四上部连接件67d暴露的开口部71a。开口部71a大致可以布置于第一上部连接件67a、第二上部连接件67b、第三上部连接件67c及第四上部连接件67d的平坦的表面上。

[0131] 凸块垫77a、77b、77c、77d分别在开口部71a内布置于第一上部连接件67a、第二上部连接件67b、第三上部连接件67c及第四上部连接件67d上而与其电连接。

[0132] 第一凸块垫77a通过第一上部连接件67a电连接于上部掩埋过孔65a及第一n电极垫27a,据此,共同电连接于第一LED叠层23至第三LED叠层43的第一导电型半导体层23a、33a、43a。

[0133] 第二凸块垫77b可以通过第二上部连接件67b、上部掩埋过孔65b、第二下部连接件39b、下部掩埋过孔55b、第三p电极垫47b及第三透明电极45而电连接于第三LED叠层43的第二导电型半导体层43b。

[0134] 第三凸块垫77c可以通过第三上部连接件67c、上部掩埋过孔65c、第三下部连接件39c、下部掩埋过孔55d、第二p电极垫37b及第二透明电极35而电连接于第二LED叠层33的第二导电型半导体层33b。

[0135] 第四凸块垫77d可以通过第四上部连接件67d、上部掩埋过孔65d及第一透明电极25而电连接于第一LED叠层23的第二导电型半导体层23b。

[0136] 即,第二凸块垫77b至第四凸块垫77d分别电连接于第一LED叠层23至第三LED叠层43的第二导电型半导体层23b、33b、43b,第一凸块垫77a共同电连接于第一LED叠层23至第三LED叠层43的第一导电型半导体层23a、33a、43a。

[0137] 凸块垫77a、77b、77c、77d可以覆盖第一上部绝缘层71至第三上部绝缘层75的开口部71a。在一实施例中,凸块垫77a、77b、77c、77d可以具有小于或等于开口部71a的宽度的宽度。在另一实施例中,凸块垫77a、77b、77c、77d的一部分可以布置在第三上部绝缘层75上。

[0138] 如图3所示,凸块垫77a、77b、77c、77d的中心分别可以比上部掩埋过孔65a、65b、65c、65d的中心布置于外侧。并且,凸块垫77a、77b、77c、77d的中心分别可以比第一上部连接件67a至第四上部连接件67d的中心布置于外侧。凸块垫77a、77b、77c、77d的中心分别可以从上部掩埋过孔65a、65b、65c、65d的中心或者第一上部连接件67a至第四上部连接件67d的中心沿发光元件100的对角线方向朝外侧位移。通过使凸块垫77a、77b、77c、77d的中心位移,可以确保凸块垫77a、77b、77c、77d之间的空间。

[0139] 凸块垫77a、77b、77c、77d可以利用Au或者Au/In形成,例如,Au可以形成为 $3\mu\text{m}$ 的厚度,In可以形成为约 $1\mu\text{m}$ 的厚度。发光元件100可以利用Au或In接合于电路基板101上的垫。在本实施例中,虽然针对利用Au或In接合于凸块垫的情形进行了说明,但不限于此,也可

以利用Pb或AuSn 接合。

[0140] 根据本实施例,第一LED叠层23电连接于凸块垫77a、77d,第二LED 叠层33电连接于凸块垫77a、77c,第三LED叠层43电连接于凸块垫77a、77b。据此,第一LED叠层23、第二LED叠层33及第三LED叠层43的阴极共同电连接于第一凸块垫77a,阳极分别电连接于第二凸块垫77b至第四凸块垫77d。因此,第一LED叠层23至第三LED叠层43可以独立驱动。

[0141] 在本实施例中,虽然以形成凸块垫77a、77b、77c、77d的情形举例而进行了说明,然而,凸块垫也可以被省略。尤其,在利用各向异性导电粘合膜或各向异性导电粘合膏等而接合于电路基板的情况下,可以省略凸块垫,上部连接件67a、67b、67c、67d也可以直接进行接合。据此,可以增加接合面积。

[0142] 以下对发光元件100的制造方法进行具体说明。通过以下说明的制造方法将更详细地理解发光元件100的结构。图5A、图5B及图5C是用于说明根据本公开的一实施例的在生长基板上生长的第一LED叠层23至第三LED 叠层43的示意性的剖视图。

[0143] 首先,参照图5A,包括第一导电型半导体层23a及第二导电型半导体层 23b的第一LED叠层23生长在第一基板21上。在第一导电型半导体层23a 与第二导电型半导体层23b之间可以夹设有活性层(未示出)。

[0144] 第一基板21可以是为了能够使第一LED叠层23生长而使用的基板(例如,GaAs基板)。第一导电型半导体层23a及第二导电型半导体层23b可以利用AlGaInAs系的半导体层或AlGaInP系的半导体层形成,活性层可以包括例如AlGaInP系的阱层。第一LED叠层23可以以例如发出红光的方式确定 AlGaInP的组成比。

[0145] 第一透明电极25可以形成在第二导电型半导体层23b上。如上所述,第一透明电极25可以形成为使从第一LED叠层23产生的光(例如,红光)透射的金属层或者导电性氧化物层。例如,第一透明电极25可以利用氧化铟锡(ITO:indium-tin oxide)形成。

[0146] 参照图5B,包括第一导电型半导体层33a及第二导电型半导体层33b的第二LED叠层33生长在第二基板31上。第一导电型半导体层33a与第二导电型半导体层33b之间可以夹设有活性层(未示出)。

[0147] 第二基板31可以是为了能够使第二LED叠层33生长而使用的基板(例如,蓝宝石基板、SiC基板或者GaN基板)。在一实施例中,虽然第二基板 31可以是平坦的蓝宝石基板,但也可以是被图案化的蓝宝石基板。第一导电型半导体层33a及第二导电型半导体层33b可以利用AlGaInN系的半导体层形成,活性层可以包括例如AlGaInN系的阱层。第二LED叠层33可以以例如发出蓝光的方式确定AlGaInP的组成比。

[0148] 第二透明电极35可以形成在第二导电型半导体层33b上。如上所述,第二透明电极35可以形成为使从第一LED叠层23产生的光(例如,红光)透射的金属层或者导电性氧化物层。尤其是,第二透明电极35可以利用ZnO 形成。

[0149] 参照图5C,包括第一导电型半导体层43a及第二导电型半导体层43b的第三LED叠层43生长在第三基板41上。在第一导电型半导体层43a与第二导电型半导体层43b之间可以夹设有活性层(未示出)。

[0150] 第三基板41可以是为了能够使第三LED叠层43生长而使用的基板(例如,蓝宝石基板、GaN基板或者GaAs基板)。第一导电型半导体层43a及第二导电型半导体层43b可以形成为AlGaInAs系的半导体层或者AlGaInP 系的半导体层以及AlGaInN系的半导体层,活性层



可以包括例如AlGaInP系的阱层或者AlGaInN系的阱层。第三LED叠层43可以以例如发出绿光的方式确定AlGaInP或AlGaInN的组成比。

[0151] 第三透明电极45可以形成在第二导电型半导体层43b上。如上所述,第三透明电极45可以形成为使从第一LED叠层23及第二LED叠层33产生的光(例如,红光及蓝光)透射的金属层或者导电性氧化物层。尤其,第三透明电极45可以利用ZnO形成。

[0152] 第一LED叠层23、第二LED叠层33及第三LED叠层43分别在彼此不同的生长基板21、31、41上生长,因此,其制造工艺顺序不受限制。

[0153] 以下,对利用在生长基板21、31、41上生长的第一LED叠层23、第二LED叠层33及第三LED叠层43制造发光元件100的方法进行说明。以下,虽然主要对一个发光元件100区域进行图示及说明,但是只要是本领域技术人员就会理解能够利用在生长基板21、31、41上生长的第一LED叠层23、第二LED叠层33及第三LED叠层43在相同的制造工艺中一次性制造多个发光元件100。

[0154] 图6A、图6B、图6C、图7A、图7B、图7C、图8A、图8B、图8C、图9A、图9B、图9C、图10A、图10B、图10C、图11A、图11B、图11C、图12A、图12B、图12C、图13A、图13B、图13C、图14A、图14B、图14C、图15A、图15B及图15C是用于说明制造根据一实施例的显示器用发光元件的方法的示意性的平面图及剖视图。此处,剖视图对应于图3的截取线A-A'或者B-B'。

[0155] 首先,参照图6A、图6B及图6C,利用光刻技术和蚀刻技术对第三透明电极45以及第二导电型半导体层43b进行图案化而使第一导电型半导体层43a暴露。此工艺相当于例如台面蚀刻工艺。可以通过将光致抗蚀图案用作蚀刻掩模而执行。例如,在形成蚀刻掩模后,首先通过湿式蚀刻技术来蚀刻第三透明电极45,然后利用相同蚀刻掩模通过干式蚀刻技术来蚀刻第二导电型半导体层43b。据此,第三透明电极45可以从台面蚀刻区域凹陷。在图6A中,为了简略地进行图示,示出了台面的边缘部位,而未示出第三透明电极45的边缘部位。然而,由于使用相同蚀刻掩模对第三透明电极45进行湿式蚀刻,因此能够易于理解第三透明电极45的边缘部位从台面的边缘部位向台面的内侧凹陷。由于利用相同的蚀刻掩模,因此可以不增加光刻工艺次数而节省工艺成本。然而,本实用新型并不限于此,也可以分别使用用于台面蚀刻工艺的蚀刻掩模和用于蚀刻第三透明电极45的蚀刻掩模。

[0156] 接着,第三n电极垫47a及第三p电极垫47b分别形成在第一导电型半导体层43a及第三透明电极45上。第三n电极垫47a和第三p电极垫47b可以形成彼此不同的厚度。尤其,第三n电极垫47a和第三p电极垫47b的上表面可以位于大致相同高度。

[0157] 参照图7A、图7B及图7C,在参照图6A、图6B及图6C所述的第三LED叠层43上接合参照图5B所述的第二LED叠层33。利用临时接合/剥离(TBDB:temporary bonding/debonding)技术将第二LED叠层33接合于临时基板,并且首先从第二LED叠层33去除第二基板31。第二基板31可以利用例如激光剥离技术被去除。在去除第二基板31之后,在第一导电型半导体层33a的表面也可以形成有粗糙的表面。之后,接合于临时基板的第二LED叠层33的第一导电型半导体层33a可以以朝向第三LED叠层43的方式布置而接合于第三LED叠层43。第二LED叠层33和第三LED叠层43通过第一接合层49彼此接合。在接合第二LED叠层33之后,也可以利用激光剥离技术去除临时基板。因此,第二LED叠层33可以以第二透明电极35布置在上表面的形态布置于第三LED叠层43。

[0158] 接着,第二p电极垫37b可以形成在第二透明电极35上。第二p电极垫37b布置于第

三n电极垫47a的上部区域的外侧。即,第二p电极垫37b可以布置为不与第三n电极垫47a重叠。

[0159] 参照图8A、图8B及图8C,第一平坦化层51形成在第二透明电极35上。第一平坦化层51还可以覆盖第二p电极垫37b。第一平坦化层51可以具有大致平坦的上表面,并且可以形成为绝缘层。

[0160] 接着,形成贯通第一平坦化层51的贯通孔33h1、33h2、33h3、33h4。贯通孔33h1、33h2贯通第一平坦化层51、第二透明电极35、第二LED叠层33及第一接合层49,并分别暴露第三n电极垫47a及第三p电极垫47b。贯通孔33h3贯通第一平坦化层51、第二透明电极35及第二导电型半导体层33b,并暴露第一导电型半导体层33a。贯通孔33h4贯通第一平坦化层51,并暴露第二p电极垫37b。

[0161] 贯通孔33h1、33h2、33h3、33h4可以利用光刻技术及蚀刻技术形成。贯通孔33h1、33h2、33h3、33h4可以通过同一工艺一起形成,也可以通过彼此不同的工艺形成。尤其,由于贯通孔33h1、33h2彼此具有大致相同的深度,从而可以通过同一工艺一起形成。由于贯通孔33h3、33h4与贯通孔33h1、33h2的深度不同,可以通过与形成贯通孔33h1、33h2的工艺不同的工艺形成。在一实施例中,也可以预先形成贯通孔33h1、33h2、33h3的一部分之后,再与贯通孔33h4一起形成贯通孔33h1、33h2、33h3的剩余部分。

[0162] 在本实施例中,在形成贯通孔33h1、33h2、33h3期间,第二透明电极35也可以被蚀刻。因此,第二透明电极35可以暴露在贯通孔33h1、33h2、33h3的侧壁。在另一实施例中,在贯通孔33h1、33h2、33h3将要形成的区域也可以预先去除第二透明电极35。在此情形下,可以防止第二透明电极35暴露在贯通孔33h1、33h2、33h3的侧壁。

[0163] 此外,形成第一侧壁绝缘层53。首先,第一侧壁绝缘层53可以形成为覆盖第一平坦化层51的上部及贯通孔33h1、33h2、33h3、33h4的侧壁及底部表面。例如,第一侧壁绝缘层53可以利用化学气相沉积技术或者原子层沉积技术而形成。

[0164] 接着,利用干式蚀刻技术对第一侧壁绝缘层53进行无图案蚀刻。据此,去除形成在贯通孔33h1、33h2、33h3、33h4的底部的第一侧壁绝缘层53,从而使第二p电极垫37b、第一导电型半导体层33a、第三n电极垫47a及第三p电极垫47b暴露。形成在第一平坦化层51上的第一侧壁绝缘层53在无图案蚀刻期间可以被全部去除,在贯通孔33h1、33h2、33h3的入口附近,第一平坦化层51的一部分也可以被去除。据此,贯通孔33h1、33h2、33h3的入口与底部相比可以具有更宽的宽度。对此将参照图17A至图17D而在后面进行详细说明。

[0165] 之后,利用种子层及镀覆技术可以形成掩埋贯通孔33h1、33h2、33h3、33h4的下部掩埋过孔55a、55b、55c、55d。可以利用化学机械抛光技术去除形成在第一平坦化层51上的种子层及镀覆层。

[0166] 参照图9A、图9B及图9C,形成下部连接件39a、39b、39c。下部连接件39a可以形成为覆盖下部掩埋过孔55a、55c,下部连接件39b可以形成为覆盖下部掩埋过孔55b,下部连接件39c可以形成为覆盖下部掩埋过孔55d。

[0167] 下部掩埋过孔55a和下部掩埋过孔55c可以借由下部连接件39a而彼此电连接,因此,第二LED叠层33的第一导电型半导体层33a和第三LED叠层43的第一导电型半导体层43a可以电连接。

[0168] 参照图10A、图10B及图10C,通过对第一平坦化层51进行图案化,在元件分离区域

附近局部地去除第一平坦化层51。据此，第一平坦化层51在第三基板41上被分离为多个元件区域。

[0169] 在对第一平坦化层51进行图案化期间，第二透明电极35也可以一起被图案化。据此，第二LED叠层33的第二导电型半导体层33b可以在第一平坦化层51的边缘附近暴露。

[0170] 参照图11A、图11B及图11C，在图5A中所述的第一LED叠层23接合于第二LED叠层33。第一LED叠层23和第二LED叠层33可以利用第二接合层59而使第一透明电极25朝向第二LED叠层33的方式接合。据此，第二接合层59可以与第一透明电极25接触的同时与第一平坦化层51及下部连接件39a、39b、39c接触。第二接合层59也可以与第一平坦化层51及第二透明电极35的侧面接触，并且可以与暴露在第一平坦化层51的边缘附近的第二导电型半导体层33b接触。

[0171] 此外，第一基板21从第一LED叠层23被去除。第一基板21可以利用例如蚀刻技术被去除。在去除第一基板21之后，在第一导电型半导体层23a的一部分区域上可以形成第一n电极垫27a。第一n电极垫27a可以形成欧姆接触于第一导电型半导体层23a。

[0172] 参照图12A、图12B及图12C，形成覆盖第一LED叠层23及第一n电极垫27a的第二平坦化层61。第二平坦化层61形成为具有大致平坦的上表面。

[0173] 接着，形成贯通第二平坦化层61的贯通孔23h1、23h2、23h3、23h4及开口部61a。贯通孔23h1、23h2、23h3可以贯通第一LED叠层23、第一透明电极25及第二接合层59而分别暴露下部连接件39a、39b、39c。此外，贯通孔23h4可以贯通第一LED叠层23而暴露第一透明电极25。并且，开口部61a暴露第一n电极垫27a。

[0174] 贯通孔23h1、23h2、23h3可以通过同一工艺一起形成，贯通孔23h4及开口部61a可以通过独立于贯通孔23h1、23h2、23h3的工艺形成。如上所述，也可以在局部地形成贯通孔23h1、23h2、23h3之后，在形成开口部61a及贯通孔23h4期间形成贯通孔23h1、23h2、23h3的剩余部分。

[0175] 接着，形成第二侧壁绝缘层63及上部掩埋过孔65a、65b、65c、65d、65e。形成第二侧壁绝缘层63及上部掩埋过孔65a、65b、65c、65d、65e的工艺与在先形成第一侧壁绝缘层53和下部掩埋过孔55a、55b、55c、55d的工艺大致相似，因此，在此省略详细说明。

[0176] 参照图13A、图13B及图13C，形成上部连接件67a、67b、67c、67d。上部连接件67a、67b、67c、67d可以包括反射金属层，因此，可以反射从第一LED叠层23产生的光，从而可以改善光提取效率。例如，上部连接件67a、67b、67c、67d可以包括Au或者Au合金。

[0177] 上部连接件67a可以将上部掩埋过孔65a电连接于上部掩埋过孔65e。上部连接件67a可以覆盖上部掩盖过孔65a、65e。上部连接件67b、67c、67d可以分别连接于上部掩埋过孔65b、65c、65d。上部连接件67b、67c、67d可以分别覆盖上部掩埋过孔65b、65c、65d。

[0178] 参照图14A、图14B以及图14C，形成覆盖第二平坦化层61的第一上部绝缘层71。第一上部绝缘层71可以用作硬掩模。接着，可以通过对第一上部绝缘层71进行图案化来暴露元件分离区域内的第二平坦化层61。在另一实施例中，第二平坦化层61还可以与第一上部绝缘层71一起被图案化，从而可以使元件分离区域内的第一LED叠层23暴露。

[0179] 接着，将第一上部绝缘层71用作硬掩模来蚀刻第一LED叠层23、第一透明电极25、第二接合层59。在第一上部绝缘层71的厚度不充分的情形下，在蚀刻元件分离区域期间，上部连接件67a、67b、67c、67d可能会暴露而受损。因此，可以在部分地形成元件分离区域之

后,追加形成第二上部绝缘层73,再形成元件分离区域的剩余部分。布置于第二平坦化层61上的第一上部绝缘层71也可以在形成元件分离区域期间被全部去除。然而,覆盖第一LED叠层23及第一透明电极25的侧面的第二上部绝缘层73将会残留。

[0180] 之后,为了保护第二LED叠层33及第三LED叠层43,可以追加形成第三上部绝缘层75。第三上部绝缘层75可以覆盖第二上部绝缘层73,并且可以覆盖暴露在元件分离区域内的各发光元件的侧壁。

[0181] 参照图15A、图15B及图15C,对第一上部绝缘层71至第三上部绝缘层75进行图案化而形成使上部连接件67a、67b、67c、67d暴露的开口部71a。开口部71a可以利用光刻技术或者蚀刻技术形成。

[0182] 接着,在所述开口部71a内可以形成凸块垫77a、77b、77c、77d。第一凸块垫77a布置于第一上部连接件67a上,第二凸块垫77b布置于第二上部连接件67b上,第三凸块垫77c布置于第三上部连接件67c上。并且第四凸块垫77d布置于第四上部连接件67d上。

[0183] 据此,在第三基板41上形成有多个彼此分离的发光元件100。将发光元件100接合于电路基板101上,并通过分离第三基板41,从而完成从第三基板41分离的发光元件100。接合于电路基板101的发光元件100的示意性的剖视图在图18中图示,对此将在后面进行详细说明。

[0184] 本公开的实施例利用掩埋过孔55a、55b、55c、55d、65a、65b、65c、65d、65e而实现电连接。以下对形成掩埋过孔的工艺进行详细说明。

[0185] 图16A、图16B、图16C及图16D是用于说明根据本公开的一实施例的掩埋过孔形成工艺的示意性的剖视图。在此,将说明填充相对较深的贯通孔的掩埋过孔的形成工艺。

[0186] 首先,参照图16A,基底层S上形成有平坦化层51或者61。基底层S可以包括第一LED叠层23或者第二LED叠层33。定义蚀刻区域的硬掩模可以通过对平坦化层51或者61进行图案化来形成,并且可以使用该硬掩模作为蚀刻掩模来形成贯通孔H。贯通孔H可以暴露用于电连接的要素(例如,使第三n电极垫47a或第三p电极垫47b或者下部连接件39a、39b、39c)。

[0187] 参照图16B,接着,形成侧壁绝缘层53或者63。侧壁绝缘层53或者63可以形成在平坦化层51或者61的上表面,进而,可以形成在贯通孔H的侧壁及底部。由于层覆盖的特性,相比于贯通孔H的底部,侧壁绝缘层53或者63可以在贯通孔H的入口处形成得更厚。

[0188] 参照图16C,利用干式蚀刻技术对侧壁绝缘层53或者63进行无图案蚀刻。借由无图案蚀刻,沉积于贯通孔H底部的侧壁绝缘层被去除,并且布置于平坦化层51或者61上表面的侧壁绝缘层被去除。进而,贯通孔H的入口附近的平坦化层51或者61的一部分也可以被去除。据此,相比贯通孔H的宽度W1,入口的宽度W2可以变得更大。由于入口的宽度W2增加,从而之后利用镀膜技术形成掩埋过孔可以变得容易。

[0189] 参照图16D,可以在平坦化层51或61及贯通孔H内形成种子层,并且可以利用镀膜技术形成填充贯通孔H的镀膜层。接着,通过利用化学蚀刻技术来去除平坦化层51或61上的镀膜层及种子层,从而可以形成如图16D所示的掩埋过孔55或65。

[0190] 图17A、图17B、图17C及图17D是用于说明根据本实用新型的一实施例的掩埋过孔形成工艺的示意性的剖视图。在此,将对填充相对较低的贯通孔的掩埋过孔形成工艺进行说明。

[0191] 首先,参照图17A,形成覆盖第二p电极垫37b或第一n电极垫27a的第一平坦化层51或第二平坦化层61。贯通孔33h4或开口部61a形成为暴露第二p电极垫37b或第一n电极垫27a。由于贯通这些平坦化层51或61的贯通孔33h4或开口部61a仅贯通平坦化层51或61,因此其深度相对较小。

[0192] 参照图17B,接着,形成侧壁绝缘层53或者63。侧壁绝缘层53或者63 可以形成于平坦化层51或平坦化层61的上表面,进而,可以形成于贯通孔 33h4或开口部61a的侧壁及底部。由于贯通孔33h4或者开口部61a的深度小,因此侧壁绝缘层53或者63可以在贯通孔33h4、开口部61a的底部以及侧壁以大致均匀的厚度形成。

[0193] 参照图17C,利用干式蚀刻技术对侧壁绝缘层53或63进行无图案蚀刻。借由无图案蚀刻去除沉积于贯通孔33h4、开口部61a的底部的侧壁绝缘层,并且去除布置在平坦化层51或61的上表面的侧壁绝缘层。

[0194] 参照图17D,可以在平坦化层51或平坦化层61及贯通孔33h4或开口部 61a内形成种子层,并且可以利用镀覆技术形成填充贯通孔33h4或开口部61a 的镀覆层。接着,通过利用化学蚀刻技术去除平坦化层51或61上的镀覆层及种子层,可形成如图17D中所示的掩埋过孔55d或65e。此处,掩埋过孔 55d、65e可以具有大致相同的大小的底部面积和上部面积。

[0195] 图18是用于说明接合于电路基板上的发光元件100的示意性的剖视图。

[0196] 在先所述的发光元件100可以利用凸块垫而接合于电路基板101上。虽然图18示出了单个发光元件100布置在电路基板101上的情形,然而在电路基板101上贴装有多个发光元件100。各个发光元件100构成一个能够发出蓝光、绿光及红光的像素,多个像素整齐排列于电路基板101上而提供显示面板。

[0197] 此外,在第三基板41上可以一起形成多个发光元件100,这些发光元件 100不是以单个转印到电路基板101,而是可以以集群的方式转印到电路基板 101上。图19A、图19B及图19C是用于说明根据一实施例的将发光元件转印到电路基板的方法的示意性的剖视图。在此,将对形成在第三基板41上的发光元件100以集群的方式转印到电路基板101的方法进行说明。

[0198] 参照图19A,如在图15A、图15B及图15C中所述,若在第三基板41 上完成发光元件100的制造工艺,则多个发光元件100借由元件分离区域而在第三基板41上分离并整齐排列。

[0199] 此外,提供在上表面具有垫的电路基板101。垫以与用于显示器的像素的整齐排列位置对应的方式排列于电路基板101上。通常,在第三基板41上整齐排列的发光元件100的间距与电路基板101内的像素的间距相比更稠密。

[0200] 参照图19B,发光元件100的凸块垫接合于电路基板101上的垫。凸块垫和垫可以利用焊料接合或In接合而进行接合。此外,位于像素区域之间的发光元件100由于没有接合的垫,因此维持与电路基板101分离的状态。

[0201] 接着,朝第三基板41上照射激光。激光选择性地照射在接合于垫的发光元件100。为此,在第三基板41上还可以形成具有选择性地暴露发光元件100 的开口部的掩模。

[0202] 之后,将照射到激光的发光元件100从第三基板41分离,从而使发光元件100转印到电路基板101。据此,如图19C所示,提供在电路基板101上整齐排列有发光元件100的显示面板。显示面板可以安装于如参照图1所述的多种显示装置中。

[0203] 图20是用于说明根据又一实施例的转印发光元件方法的示意性的剖视图。

[0204] 参照图20,根据本实施例的转印发光元件的方法区别在于,利用各向异性导电粘合膜或各向异性导电粘合膏将发光元件接合于垫。即,各向异性导电粘合膜或各向异性导电粘合膏121可以设置于垫上,发光元件100可以通过各向异性导电粘合膜或各向异性导电粘合膏121而粘合于垫。发光元件100借由各向异性导电粘合膜或各向异性导电粘合膏121内的导电物质而电连接于垫。

[0205] 在本实施例中,凸块垫77a、77b、77c、77d可以被省略,上部连接件67a、67b、67c、67d可以通过导电物质而电连接于垫。

[0206] 图21A是用于说明根据本公开的又一实施例的发光元件200的示意性的平面图,图21B示出了为了说明图21A的发光元件而在形成第二接合层之前从第二LED叠层上观察的示意性的平面图,图21C示出了为了说明图21A的发光元件而在形成第一接合层之前从第三LED叠层上观察的示意性的平面图。此外,图22A及图22B是分别沿图21A的截取线A-A'及B-B'而截取的示意性的剖视图。

[0207] 参照图21A、图21B、图21C、图22A及图22B,发光元件200可以包括:第一LED叠层223、第二LED叠层233、第三LED叠层243、第一透明电极225、第二透明电极235、第三透明电极245、第一n电极垫227a、第二p电极垫237b、第三n电极垫247a、第三p电极垫247b、第一下部连接件239a及第二下部连接件239b、下部掩埋过孔255a、255b、255c、上部掩埋过孔265a、265b、265c、265d、265e、第一侧壁绝缘层253、第一上部连接件267a、第二上部连接件267b、第三上部连接件237c、第四上部连接件267d、第一接合层249、第二接合层259、上部绝缘层271、第一平坦化层251及第二平坦化层261。进而,发光元件200可以包括:贯通孔223h1、223h2、223h3、223h4,贯通第一LED叠层223;贯通孔233h1、233h2,贯通第二LED叠层233;以及贯通孔233h3,局部地贯通第二LED叠层233。

[0208] 如参照图4A及图4B所述,第一LED叠层223、第二LED叠层233、第三LED叠层243沿垂直方向层叠。虽然各LED叠层223、233、243是生长在彼此不同的生长基板上的LED层叠,但是生长基板不会残留在最终的发光元件200,而是可以被全部去除。因此,发光元件200不包括生长基板。然而,本公开不限于此,也可以包括至少一个生长基板。

[0209] 第一LED叠层223、第二LED叠层233及第三LED叠层243分别包括第一导电型半导体层223a、233a、243a、第二导电型半导体层223b、233b、243b以及夹设于它们之间的活性层(未示出)。尤其,活性层可以具有多量子阱结构。

[0210] 在第一LED叠层223下方布置有第二LED叠层233,并且在第二LED叠层233下方布置有第三LED叠层243。从第一LED叠层223至第三LED叠层243产生的光最终通过第三LED叠层243朝外部发出。

[0211] 由于第一LED叠层223、第二LED叠层233及第三LED叠层243与参照图3、图4A及图4B说明的第一LED叠层23、第二LED叠层33及第三LED叠层43相似,因此为避免重复而省略相同事项的详细说明。

[0212] 第一透明电极225可以布置于第一LED叠层223与第二LED叠层233之间。由于第一透明电极225与在先参照图3、图4A及图4B说明的第一透明电极25相似,因此为避免重复而省略详细说明。

[0213] 此外,第二透明电极235与第二LED叠层233的第二导电型半导体层233b欧姆接

触。如图所示,第二透明电极235在第一LED叠层223与第二LED叠层233之间接触于第二LED叠层233的上表面。第二透明电极235可以利用对红光透明的金属层或导电性氧化物层形成。作为导电性氧化物层的示例有 $\text{SnO}_2$ 、 $\text{InO}_2$ 、ITO、ZnO、IZO等。尤其,第二透明电极235可以利用ITO形成。如图4A和图4B所示,第二透明电极235的侧面可以相比于第二LED叠层233的侧面朝内侧凹陷,但不限于此。如图22A及图22B所示,第二透明电极235的外侧侧面可以与第二导电型半导体层233b的侧面大致并排。因此,第二透明电极235的侧面可以不被第二接合层259所覆盖,可以被上部绝缘层271所覆盖。

[0214] 第三透明电极245欧姆接触于第三LED叠层243的第二导电型半导体层 243b。第三透明电极245可以位于第二LED叠层233与第三LED叠层243 之间,并且与第三LED叠层243的上表面接触。第三透明电极245可以利用对红光及蓝光透明的金属层或导电性氧化物层形成。作为导电性氧化物层的示例可以有 $\text{SnO}_2$ 、 $\text{InO}_2$ 、ITO、ZnO、IZO等。尤其,第三透明电极245可以利用ITO形成。

[0215] 由于第三透明电极245与参照图3、图4A及图4B说明的第三透明电极 45相似,因此为避免重复而省略详细说明。

[0216] 第一n电极垫227a欧姆接触于第一LED叠层223的第一导电型半导体层223a。第一n电极垫227a可以包括例如AuGe或AuTe。在本实施例中,第一n电极垫227a可以布置于第一LED叠层223的中央区域。第一n电极垫227a与参照图3、图4A及图4B说明的第一n电极垫27a相比可以具有相对更宽的面积。例如,第一n电极垫227a的面积可以超过第一LED叠层223面积的1/5。进一步地,如图21A所示,第一n电极垫227a可以具有与发光元件200大致相似的四边形形状,并且可以以相对于发光元件200旋转45度的方式布置。由于第一n电极垫227a经大面积而形成,因此可以有助于电流分散,并且可以提高从第一LED叠层223产生的光的反射率。

[0217] 绝缘层246可以布置于第三LED叠层243上,并且可以覆盖第二导电型半导体层243b及第三透明电极245。绝缘层246可以具有暴露第一导电型半导体层243a及第三透明电极245的开口部246a、246b。

[0218] 第三n电极垫247a欧姆接触于第三LED叠层243的第一导电型半导体层243a。在本实施例中,第三n电极垫247a与通过第二导电型半导体层243b 暴露的第一导电型半导体层243a接触,进而,可以延伸至第二导电型半导体层243b上部。即,如图21C及图22A所示,第三n电极垫247a通过绝缘层 246的开口246a与在台面蚀刻区域暴露的第一导电型半导体层243a连接的同时,其一部分布置于第三透明电极245上部。第三n电极垫247a借由绝缘层246而与第三透明电极245及第二导电型半导体层243b绝缘。

[0219] 由于将第三n电极垫247a从台面蚀刻区域延伸至第二导电型半导体层 243b的上部区域,因此不需要将第三n电极垫247形成为具有如参照图4A 及图4B所述的厚度。据此,第三n电极垫247a可以以同一工艺与第三p电极垫247b一起形成。

[0220] 第三p电极垫247b可以通过绝缘层246的开口部246b而电连接于第三透明电极245。虽然第三p电极垫247b可以布置于开口部246b内,然而并不限于此,也可以覆盖开口部246b并沿绝缘层246上部延伸。第三p电极垫 247b可以利用与第三n电极垫247a相同的材料形成。

[0221] 第三p电极垫247b的上表面位于与第三n电极垫247a的上表面大致相同的高度,因

此,当形成贯通孔233h1、233h2时,可以使第三p电极垫247b 和第三n电极垫247a同时暴露。

[0222] 第二p电极垫237b布置于第二透明电极235上。第二p电极垫237b可以与第二透明电极235连接,并且可以通过第二透明电极235而电连接于第二导电型半导体层233b。第二p电极垫237b可以利用金属物质形成。

[0223] 在参照图3、图4A及图4B所述的实施例中,第二p电极垫37b在形成第一平坦化层51之前先形成,并且被第一平坦化层51所覆盖。第二p电极垫37b通过形成在第一平坦化层51的贯通孔33h4而暴露,并通过下部掩埋过孔55d而电连接于第三下部连接件39c。

[0224] 相反,在本实施例中,在对第一平坦化层251进行图案化而形成开口部 251a之后,第二p电极垫237b可以形成在开口部251a内。据此,在本实施例中,下部掩埋过孔55d或第三下部连接件39c可以被省略,上部掩埋过孔 265c可以直接连接于第二p电极垫237b。并且,第二p电极垫237b可以与下部连接件239a、239b一起形成。然而,本实用新型并不限于此,第二p电极垫237b也可以通过独立于下部连接件239a、239b的工艺而形成。

[0225] 由于第一接合层249及第二接合层259与参照图3、图4A及图4B说明的第一接合层49及第二接合层59相似,因此为避免重复而省略详细说明。

[0226] 第一平坦化层251可以布置于第二LED叠层233上。第一平坦化层251 可以是连续的层。第一平坦化层251可以布置于第二导电型半导体层233b的上部区域,并且可以从第二LED叠层233的边缘朝内侧凹陷。在本实施例中,第二透明电极235可以沿第一平坦化层251的侧面暴露。然而,本实用新型不限于此,第二透明电极235也可以与第一平坦化层251一同从第二LED叠层233的边缘朝内侧凹陷。

[0227] 贯通孔233h1、233h2可以贯通第一平坦化层251、第二透明电极235、第二LED叠层233及第一接合层249而暴露第三n电极垫247a及第三p电极垫247b。贯通孔233h3可以贯通第一平坦化层251、第二透明电极235及第二导电型半导体层233b而暴露第一导电型半导体层233a。如上所述,在本实施例中,贯通孔33h4将被省略。

[0228] 第一侧壁绝缘层253覆盖贯通孔233h1、233h2、233h3的侧壁,并具有使贯通孔的底部暴露的开口部。第一侧壁绝缘层253可以使用例如化学气相沉积技术或者原子层沉积技术而形成,例如,可以利用 $Al_2O_3$ 、 $SiO_2$ 、 $Si_3N_4$ 等形成。

[0229] 由于下部掩埋过孔255a、255b和255c与参照图3、图4A及图4B说明的下部掩埋过孔55a、55b和55c相似,因此为避免重复而省略详细说明。

[0230] 在形成下部掩埋过孔255a、255b、255c之后,开口部251a可以通过光刻和蚀刻工艺形成,此时,第一平坦化层251的侧面也可以凹陷。

[0231] 下部连接件239a、239b可以布置于第一平坦化层251的各区域上。第一下部连接件239a可以电连接于下部掩埋过孔255a,并且可以沿横向延伸而电连接于下部掩埋过孔255c。据此,第三LED叠层243的第一导电型半导体层 243a和第二LED叠层233的第一导电型半导体层233a可以共同电连接。第一下部连接件239a可以覆盖下部掩埋过孔255a、255c(参照图21B)。

[0232] 第二下部连接件239b电连接于下部掩埋过孔255b。第二下部连接件239b 可以覆盖下部掩埋过孔255b。

[0233] 在本实施例中,第一下部连接件239a及第二下部连接件239b均布置于第一平坦化层251上。第一下部连接件239a及第二下部连接件239b可以通过同一工艺一起形成,因此,



它们的上表面高度可以彼此相同。此外,第二 p 电极垫 237b 可以与第一下部连接件 239a 及第二下部连接件 239b 一起形成。然而,第二 p 电极垫 237b 可以形成在第一平坦化层 251 的开口部 251a 内,从而可以具有比第一下部连接件 239a 及第二下部连接件 239b 的上表面高度低的上表面高度。

[0234] 第二平坦化层 261 覆盖第一 LED 叠层 223。第二平坦化层 261 可以与第一平坦化层 251 一样具有平坦的上表面。第二平坦化层 261 可以利用铝氧化膜、硅氧化膜或硅氮化膜形成。第二平坦化层 261 可以形成为单层或多层。进一步地,第二平坦化层 261 可以利用分布式布拉格反射器形成。第二平坦化层 261 可以具有暴露第一 n 电极垫 227a 的开口部 261a。第二平坦化层 261 可以从第一 LED 叠层 223 的边缘朝内侧凹陷。

[0235] 此外,贯通孔 223h1、223h2、223h3、223h4 贯通第二平坦化层 261 及第一 LED 叠层 223。进一步地,贯通孔 223h1、223h2、223h3 可以贯通第一透明电极 225 及第二接合层 259 而暴露下部连接件 239a、239b 以及第二 p 电极垫 237b,并且贯通孔 223h4 可以暴露第一透明电极 225。例如,贯通孔 223h1 为了提供用于允许与下部掩埋过孔 255a 电连接的通道而形成,贯通孔 223h2 为了提供用于允许与下部掩埋过孔 255b 电连接的通道而形成,贯通孔 223h3 为了提供用于允许与第二 p 电极垫 237b 电连接的通道而形成。

[0236] 此外,贯通孔 223h4 为了提供用于允许与第一透明电极 225 电连接的通道而形成。贯通孔 223h4 不贯通第一透明电极 225。然而,本公开不限于此,只要贯通孔 223h4 提供用于电连接于第一透明电极 225 的通道,也可以贯通第一透明电极 225。

[0237] 第二侧壁绝缘层 263 覆盖贯通孔 223h1、223h2、223h3、223h4 的侧壁,并具有使贯通孔的底部暴露的开口部。第二侧壁绝缘层 263 还可以覆盖开口部 261a 的侧壁,并且可以具有使第一 n 电极垫 227a 暴露的开口部。第二侧壁绝缘层 263 可以利用例如化学气相沉积技术或者原子层沉积技术形成,例如可以利用  $Al_2O_3$ 、 $SiO_2$ 、 $Si_3N_4$  等形成。

[0238] 上部掩埋过孔 265a、265b、265c、265d 可以分别填充贯通孔 223h1、223h2、223h3、223h4,并且上部掩埋过孔 265e 可以填充开口部 261a。上部掩埋过孔 265a、265b、265c、265d 借由第二侧壁绝缘层 263 而与第一 LED 叠层 223 电绝缘。

[0239] 此外,上部掩埋过孔 265a 可以通过第一下部连接件 239a 而电连接于下部掩埋过孔 255a,上部掩埋过孔 265b 可以通过第二下部连接件 239b 而电连接于下部掩埋过孔 255b,上部掩埋过孔 265c 可以直接电连接于第二 p 电极垫 237b。并且,上部掩埋过孔 265d 可以电连接于第一透明电极 225。上部掩埋过孔 265a、265b 可以布置为分别与下部掩埋过孔 255a、255b 重叠。并且,上部掩埋过孔 265c 可以布置为与第二 p 电极垫 237b 重叠。此外,上部掩埋过孔 265d 从下部掩埋过孔 255c 隔开。上部掩埋过孔 265d 可以布置在下部掩埋过孔 255c 上部而与下部掩埋过孔 255c 重叠,然而如图 22A 所示,上部掩埋过孔 265d 可以沿水平方向与下部掩埋过孔 255c 隔开。

[0240] 上部掩埋过孔 265a、265b、265c、265d、265e 可以以与参照图 3、图 4A 及图 4B 所述的实施例相似方式制造,因此将省略详细说明。上部掩埋过孔 265a、265b、265c、265d、265e 可以通过同一工艺一起形成,并且可以与第二平坦化层 261 大致并排。但是,本公开并不限于本实施例,也可以通过彼此不同的工艺形成。

[0241] 在第二平坦化层 261 上布置有第一上部连接件 267a、第二上部连接件 267b、第三上部连接件 267c 及第四上部连接件 267d。第一上部连接件 267a 可以电连接于上部掩埋过

孔265a及上部掩埋过孔265e,第二上部连接件267b 可以电连接于上部掩埋过孔265b,第三上部连接件267c可以电连接于上部掩埋过孔265c,并且第四上部连接件267d可以电连接于上部掩埋过孔265d。如图所示,第一上部连接件267a至第四上部连接件267d可以分别覆盖上部掩埋过孔265a、265b、265c、265d。并且,第一上部连接件267a可以覆盖填充第二平坦化层261的开口部261a的上部掩埋过孔265e。据此,第一LED 叠层223、第二LED叠层233及第三LED叠层243的第一导电型半导体层 223a、233a、243a彼此共同电连接。

[0242] 第一上部连接件267a、第二上部连接件267b、第三上部连接件267c以及第四上部连接件267d可以在同一工艺中利用相同的材料形成,例如,可以利用Ni/Au/Ti形成。

[0243] 上部绝缘层271可以覆盖第二平坦化层261,并且可以覆盖第一上部连接件267a至第四上部连接件267d。上部绝缘层271还可以覆盖第一LED叠层223、第二LED叠层233、第三LED叠层243、第一接合层249、第二接合层259的侧面。进一步地,上部绝缘层271可以覆盖第一透明电极225及第二透明电极235的侧面。上部绝缘层可以利用诸如硅氧化膜、硅氮化膜或铝氧化膜等的绝缘层形成。为了提高上部绝缘层271的层覆盖特性,发光元件200的侧面可以如图22A和图22B所示地倾斜。

[0244] 上部绝缘层271可以具有使第一上部连接件267a至第四上部连接件267d暴露的开口部271a。开口部271a可以大致布置于第一上部连接件267a、第二上部连接件267b、第三上部连接件267c以及第四上部连接件267d的平坦的表面上。

[0245] 在本实施例中,凸块垫77a、77b、77c、77d可以被省略,发光元件200 可以利用通过开口部271a暴露的第一上部连接件267a至第四上部连接件 267d而接合于电路基板上。然而,本实用新型并不限于此,如参照图3、图 4A、图4B所述,第一凸块垫77a至第四凸块垫77d也可以分别布置在暴露于开口部271a的第一上部连接件267a至第四上部连接件267d上。

[0246] 虽然以上对本公开的多种实施例进行了说明,但本公开并不限于这些实施例。并且,只要不脱离本公开的技术思想,针对一个实施例所说明的内容或者构成要素可以应用于其他实施例。

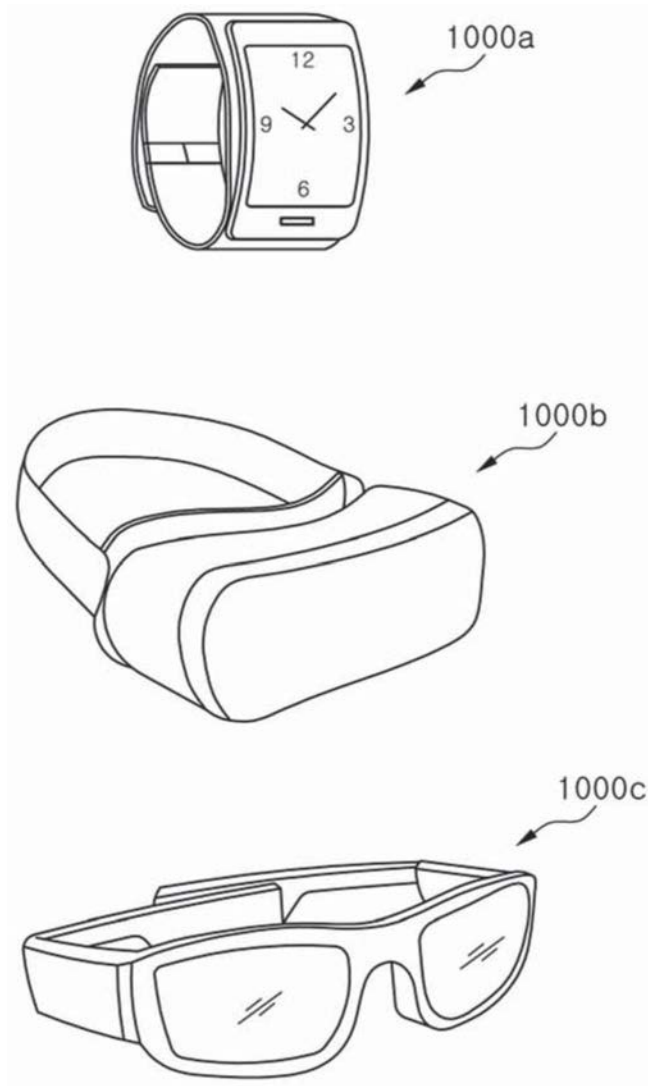


图1

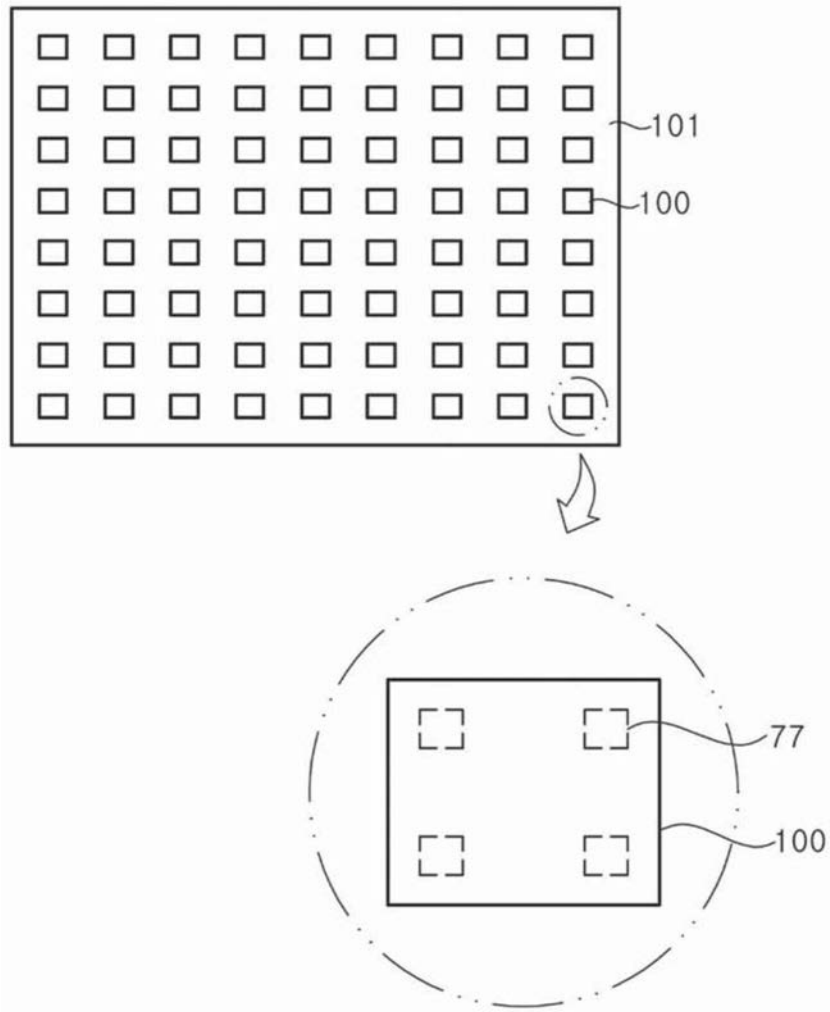


图2

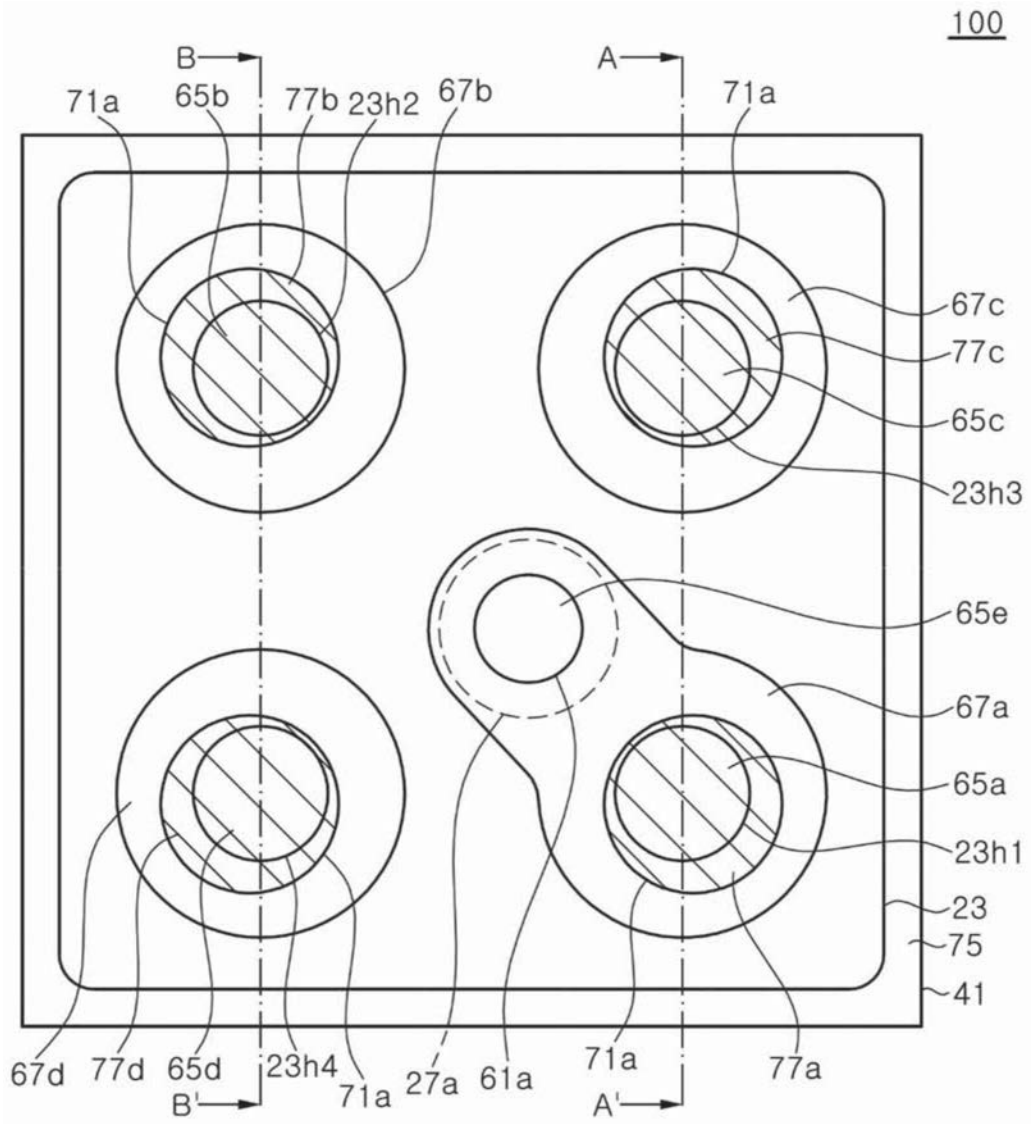


图3

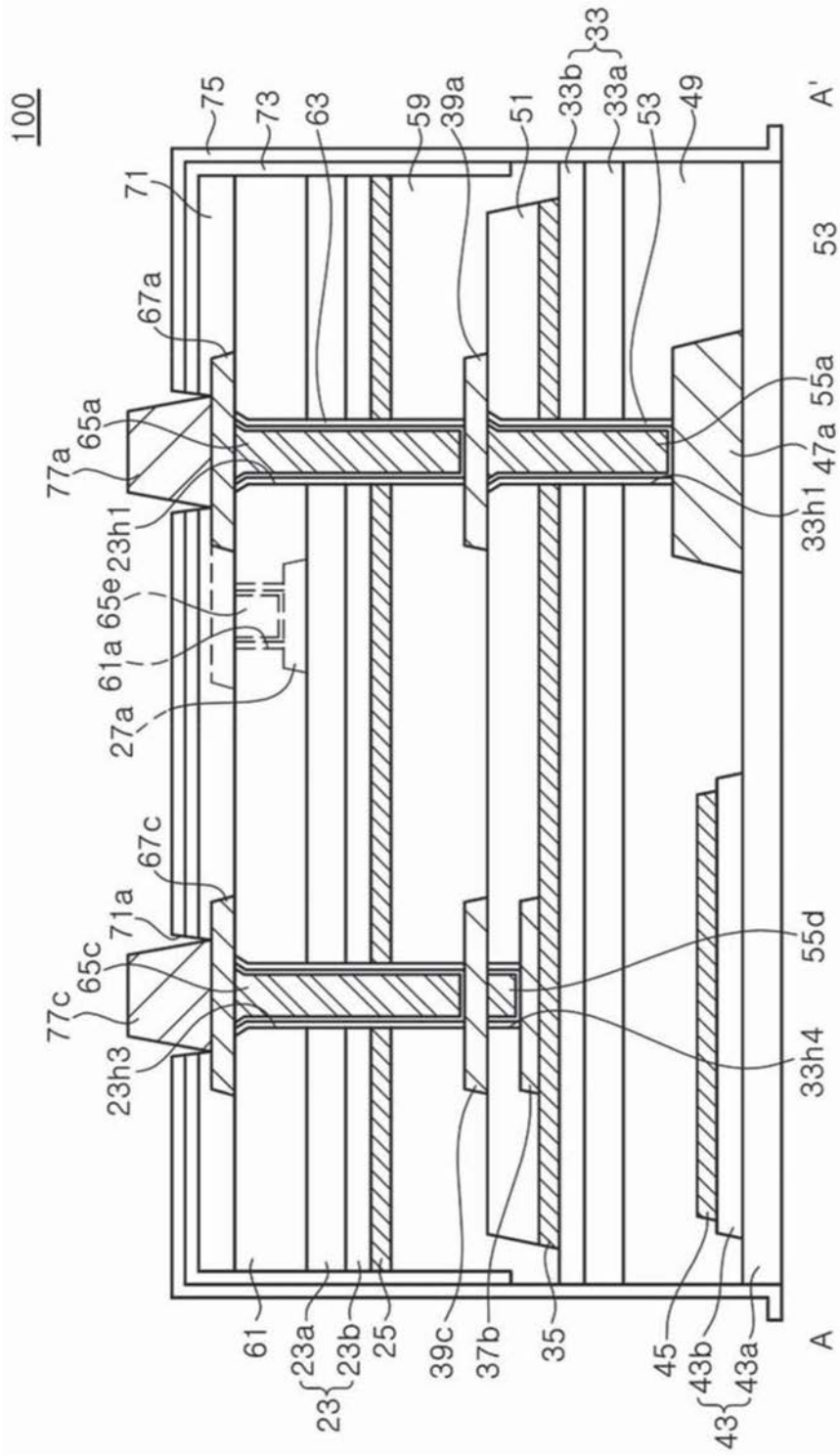


图4A

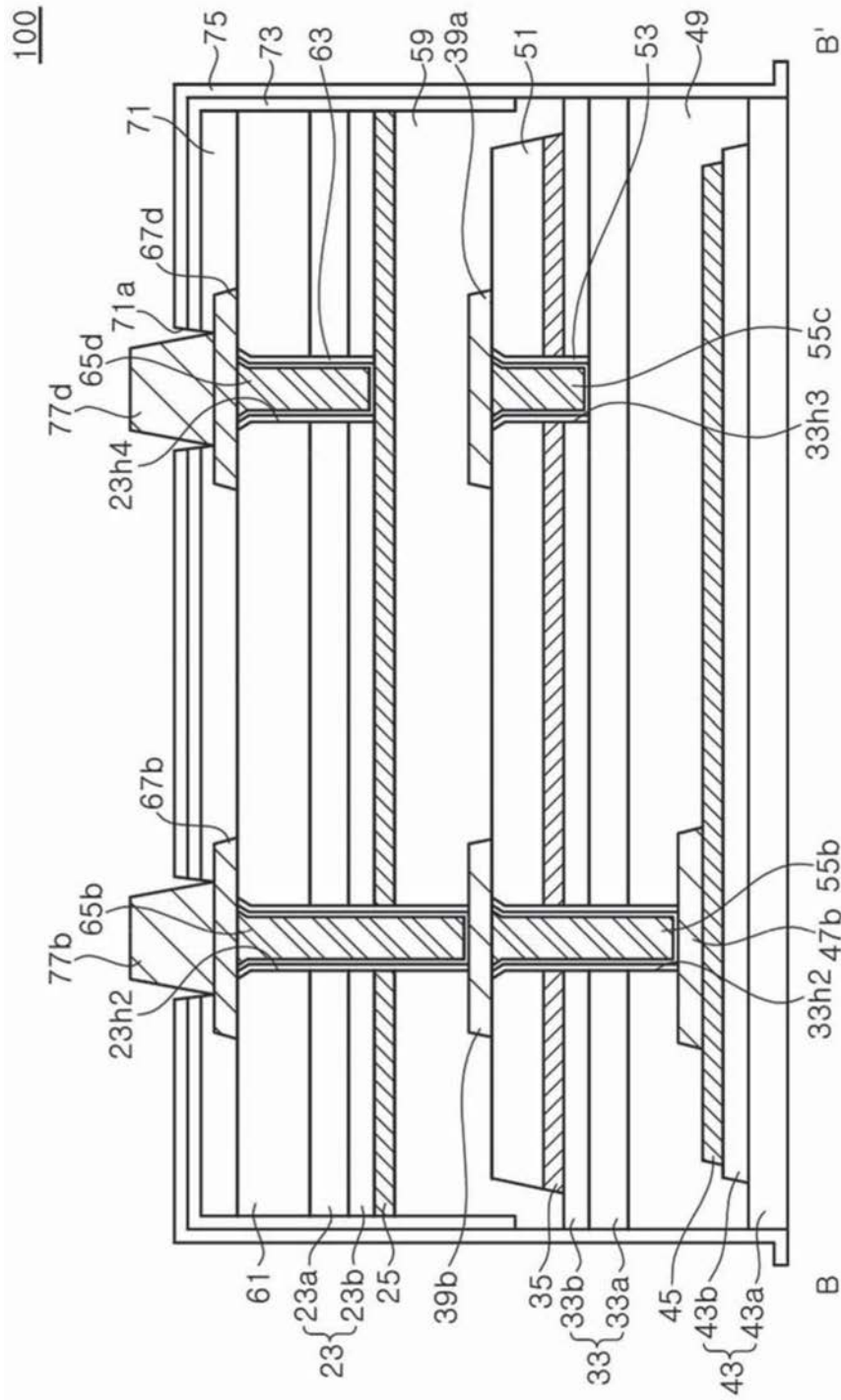


图4B

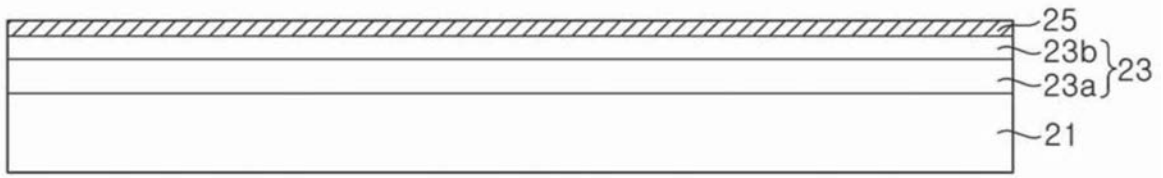


图5A

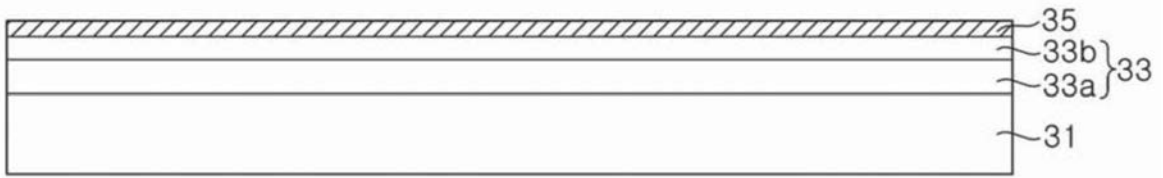


图5B

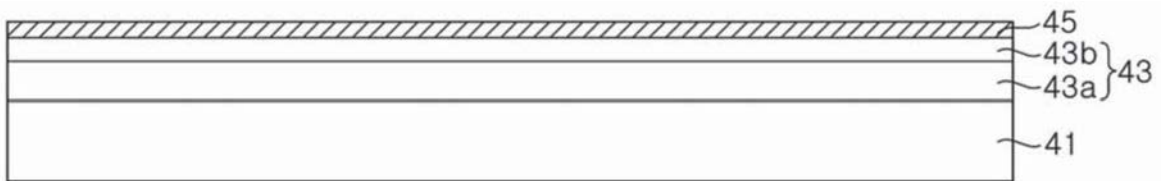


图5C



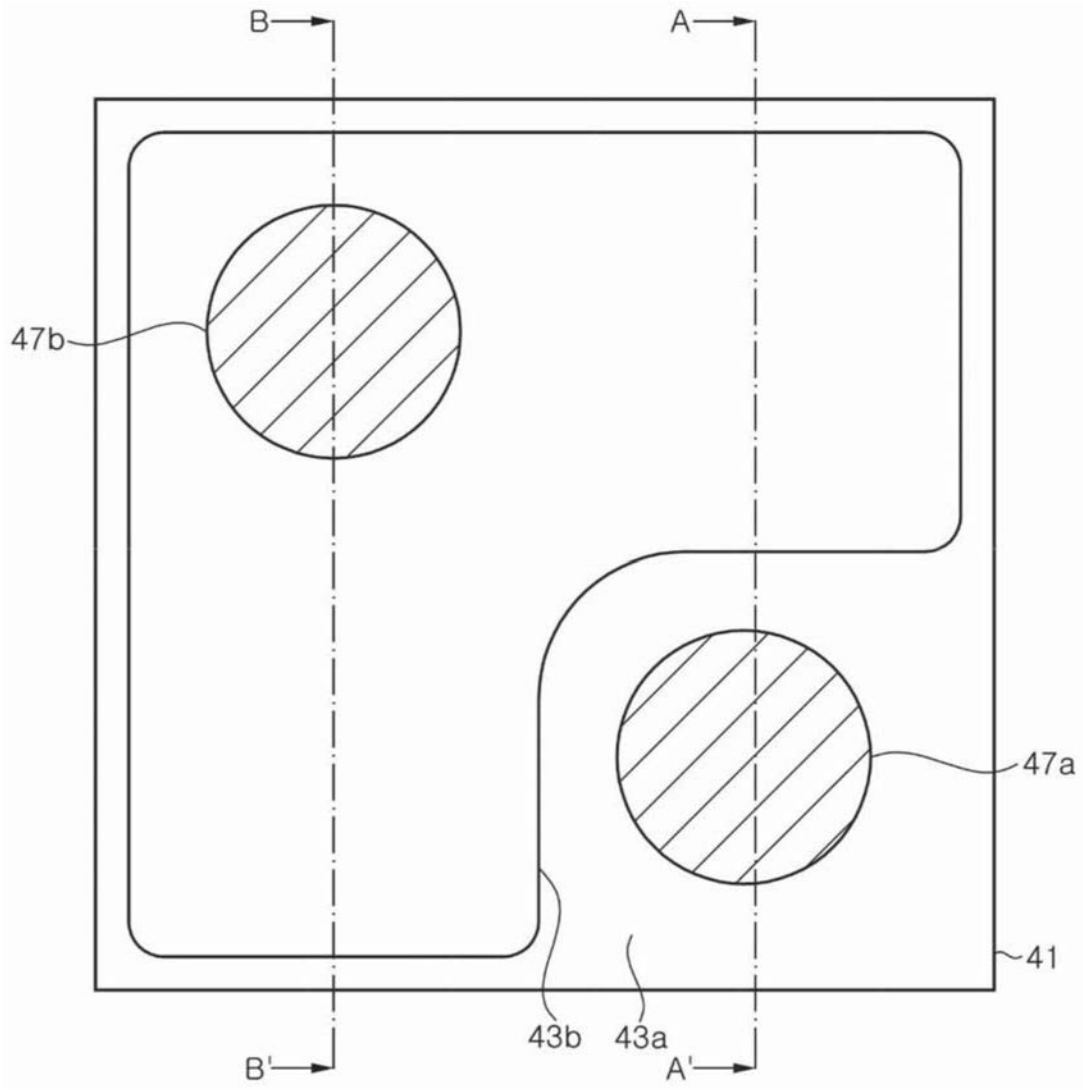


图6A

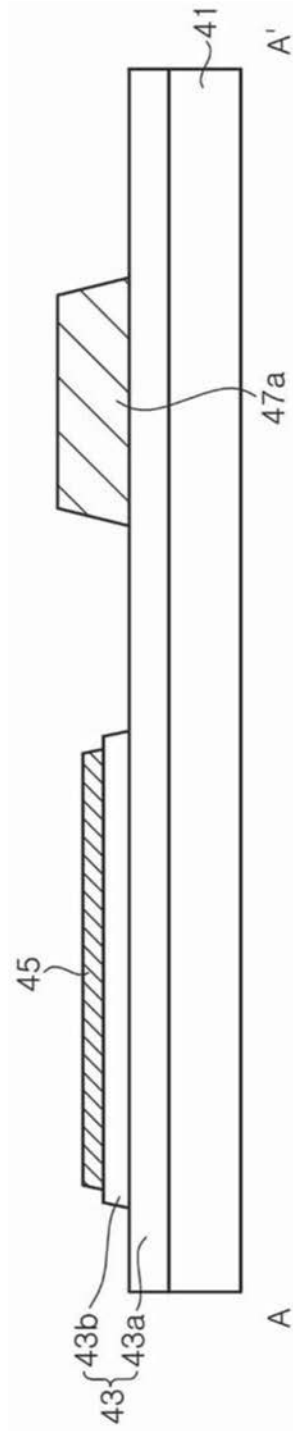


图6B

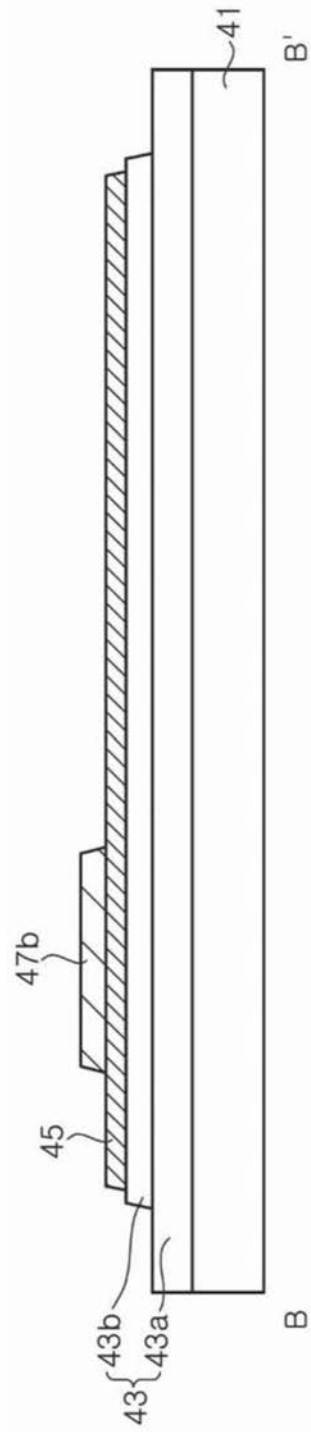


图6C

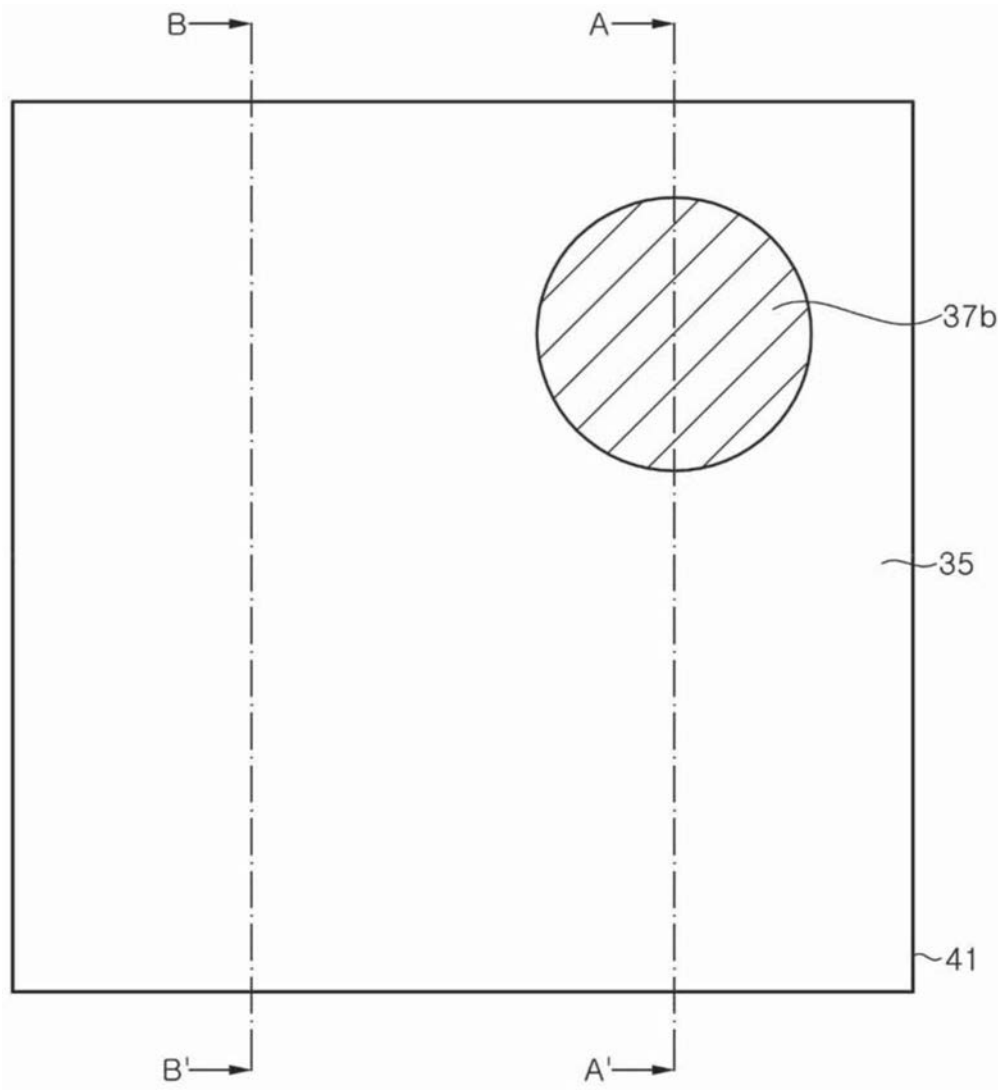


图7A

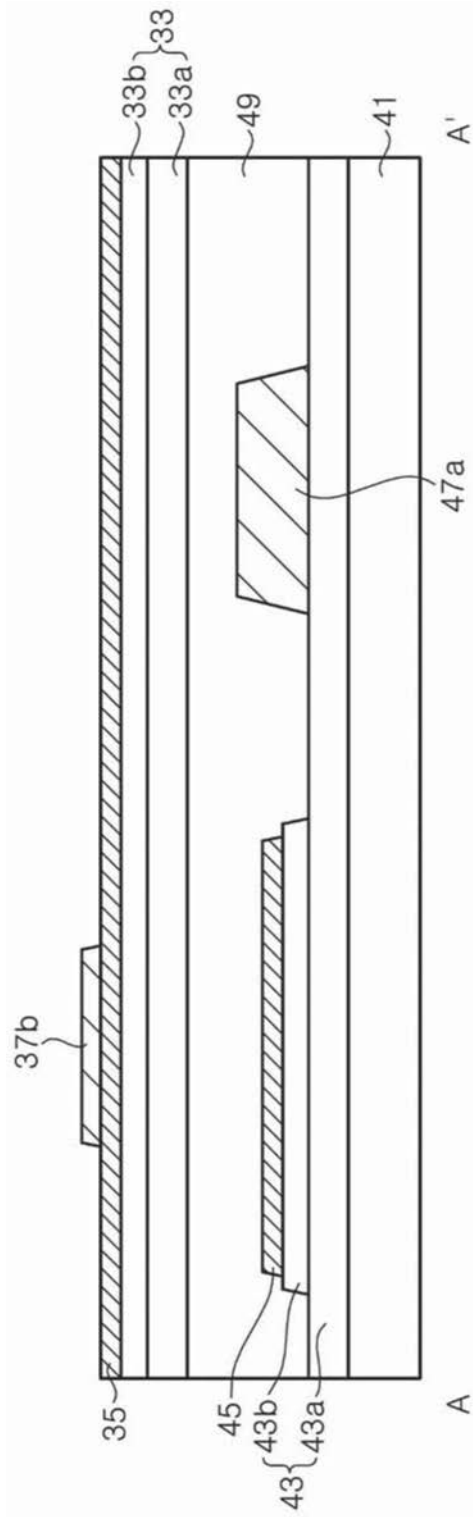


图7B

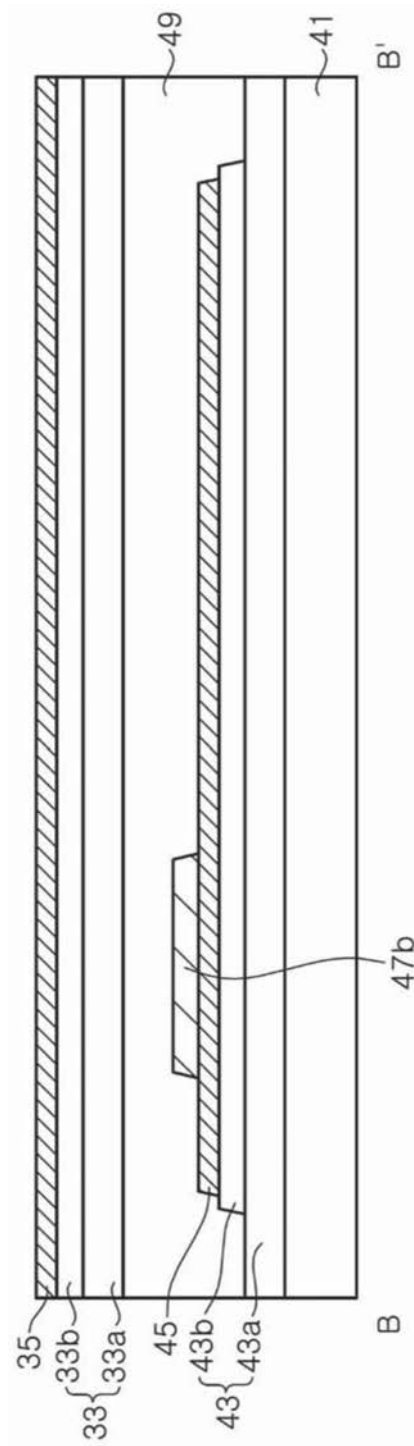


图7C

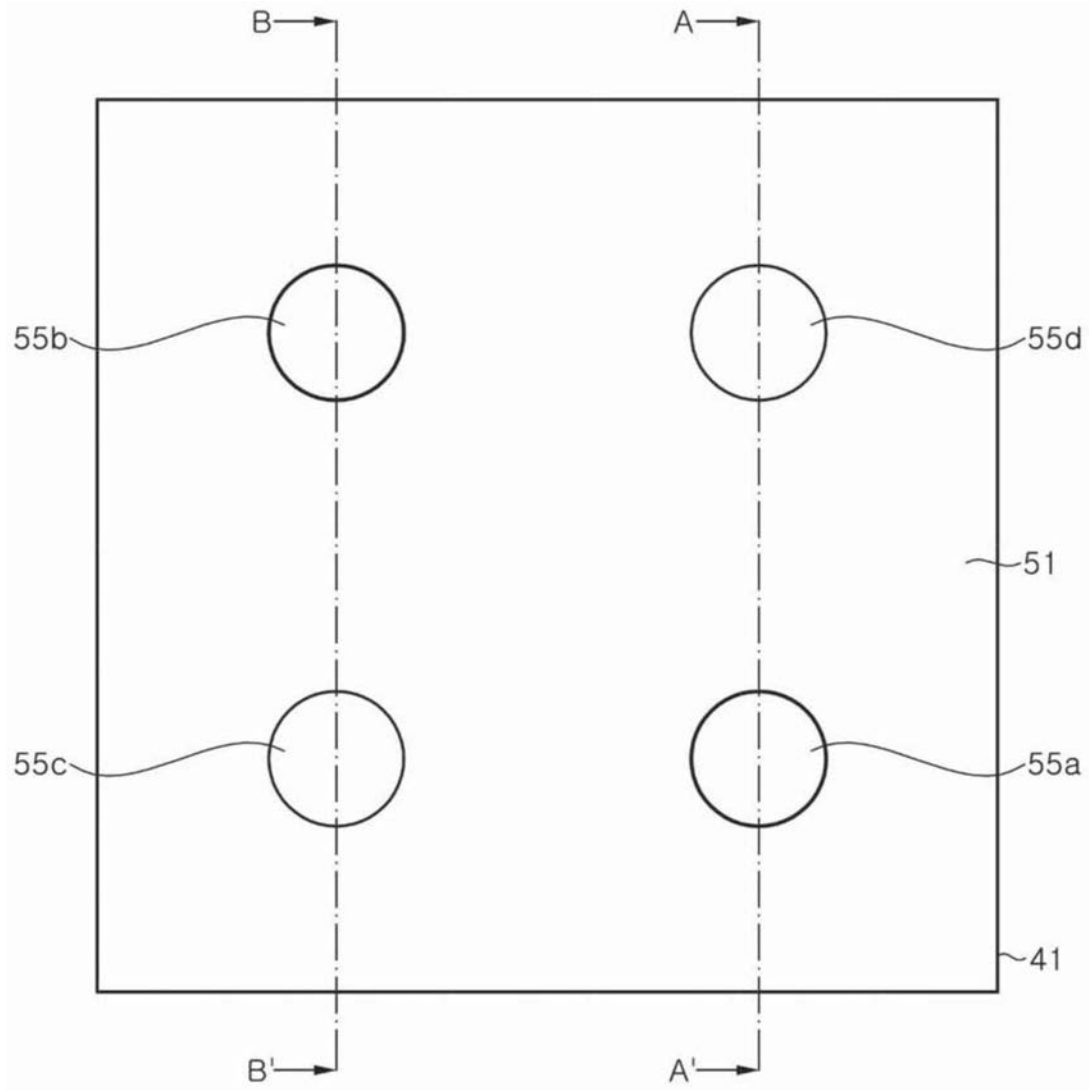


图8A

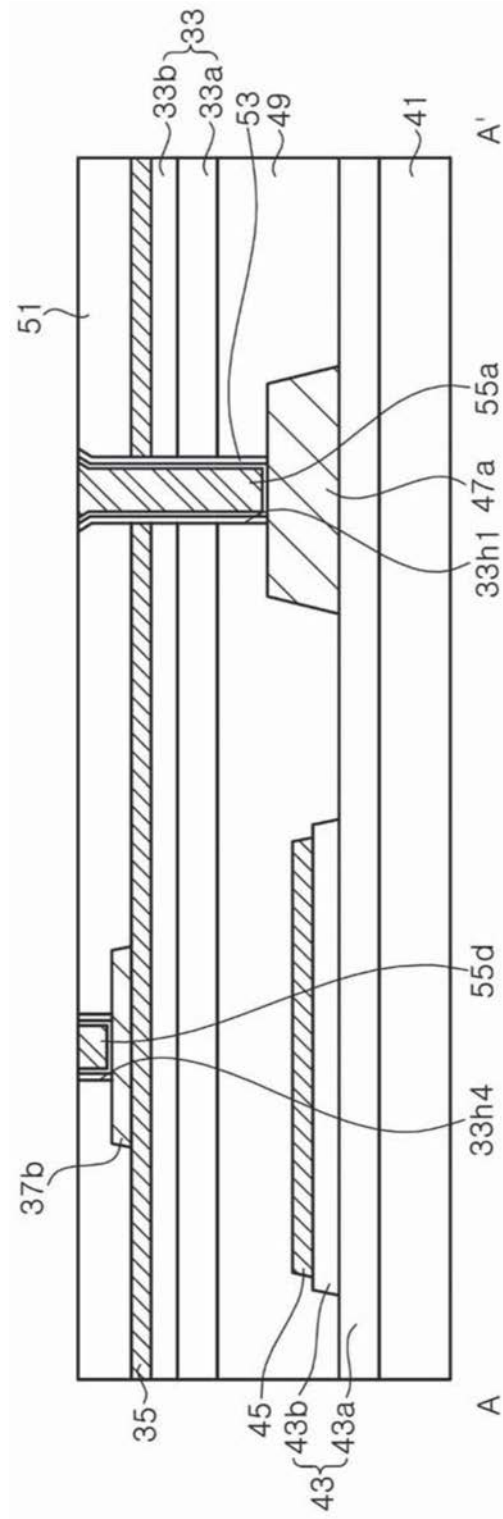


图8B



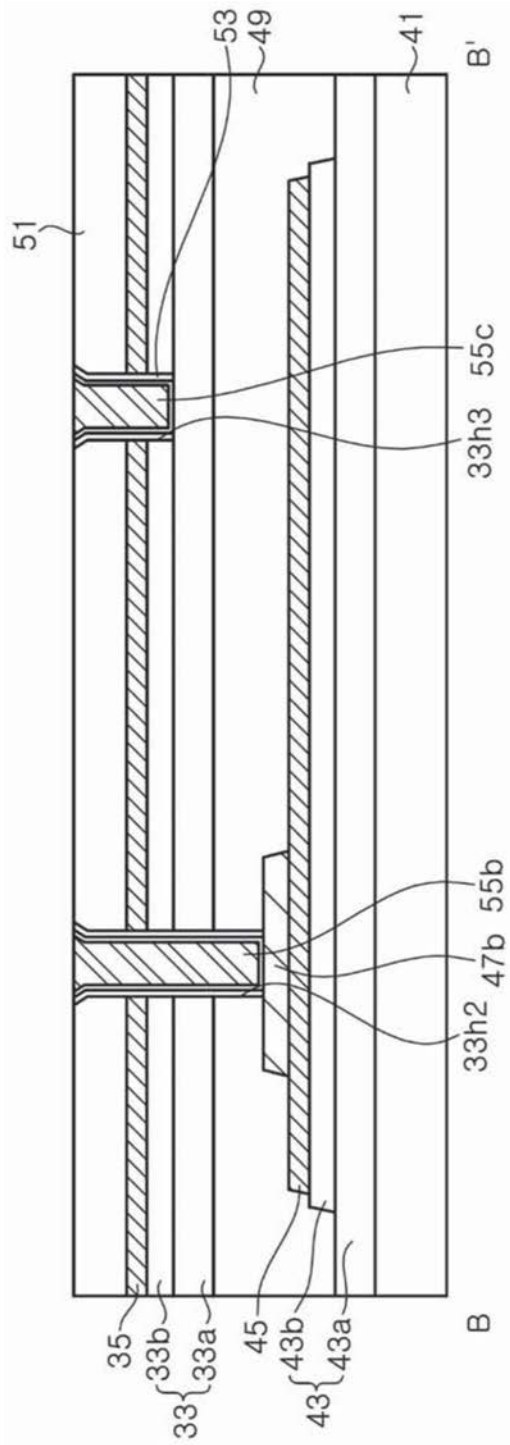


图8C

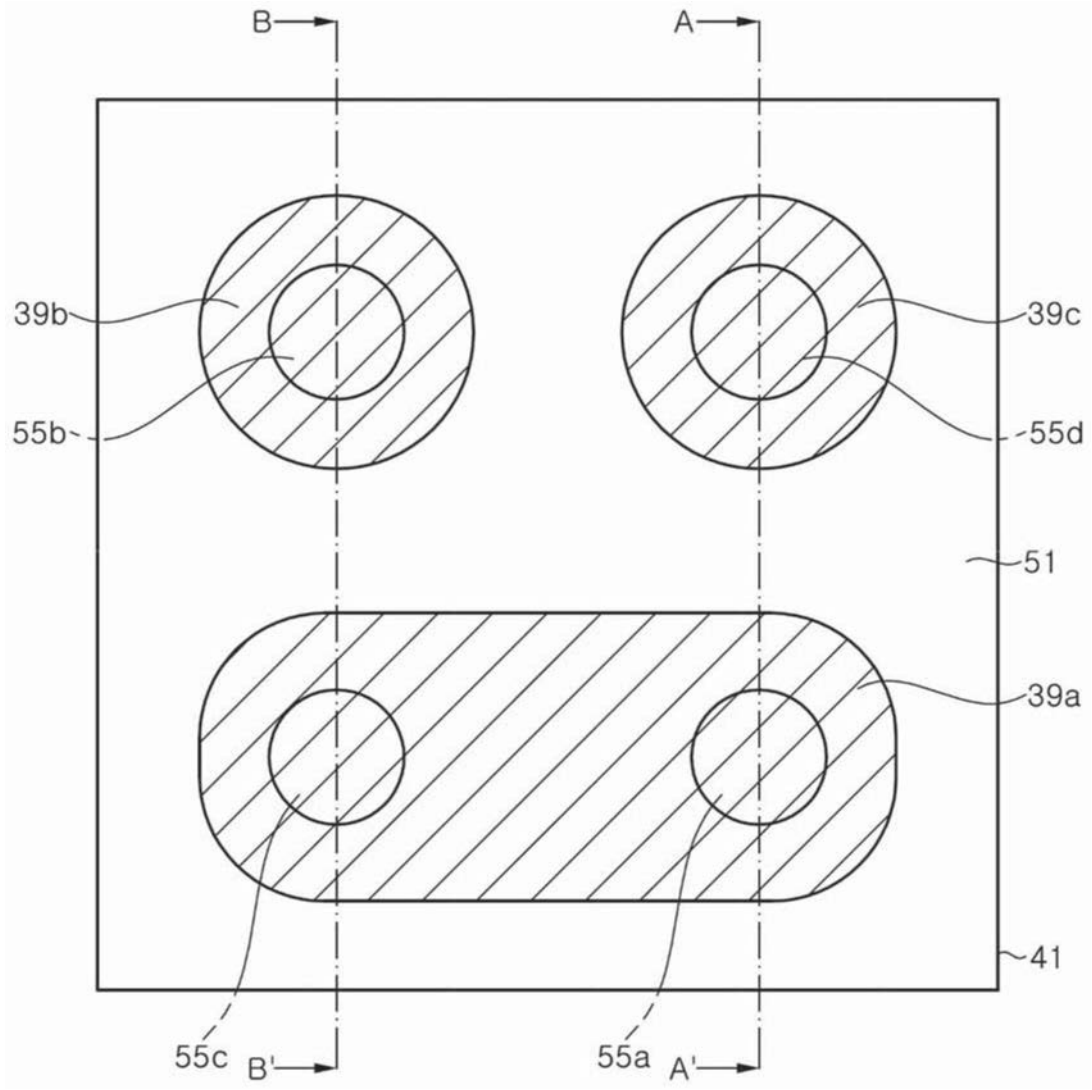


图9A

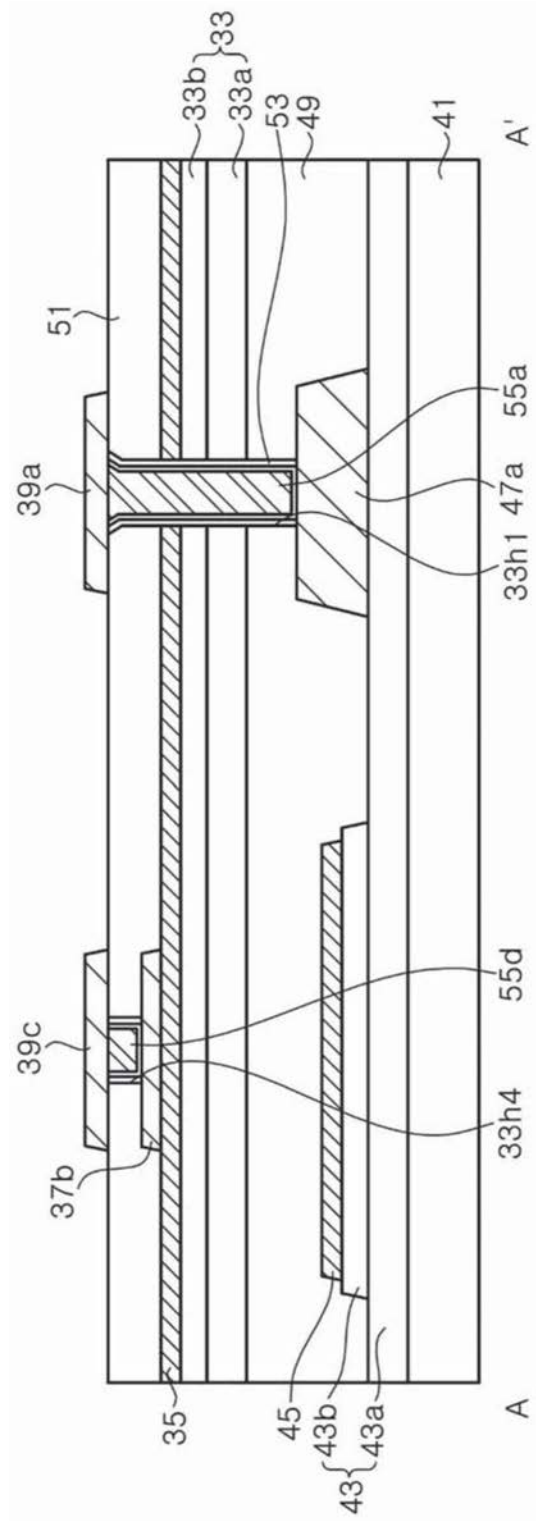


图9B

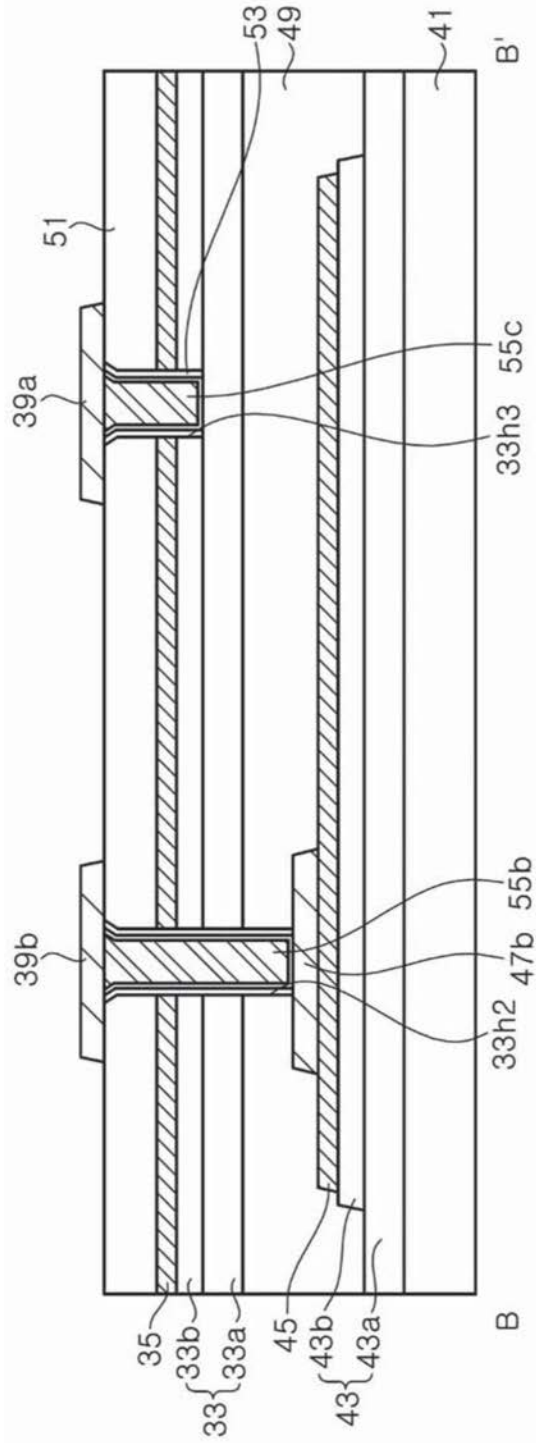


图9C

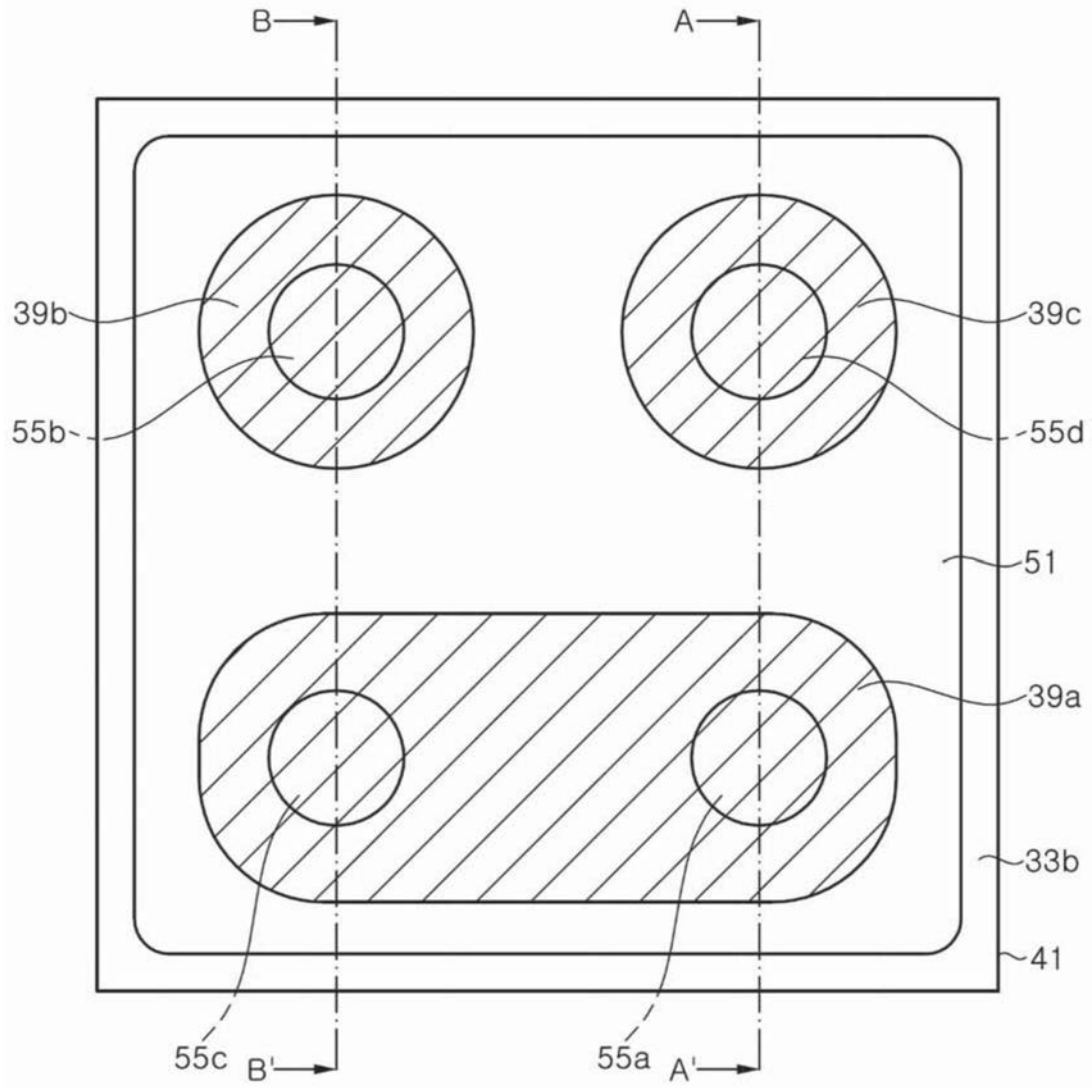


图10A

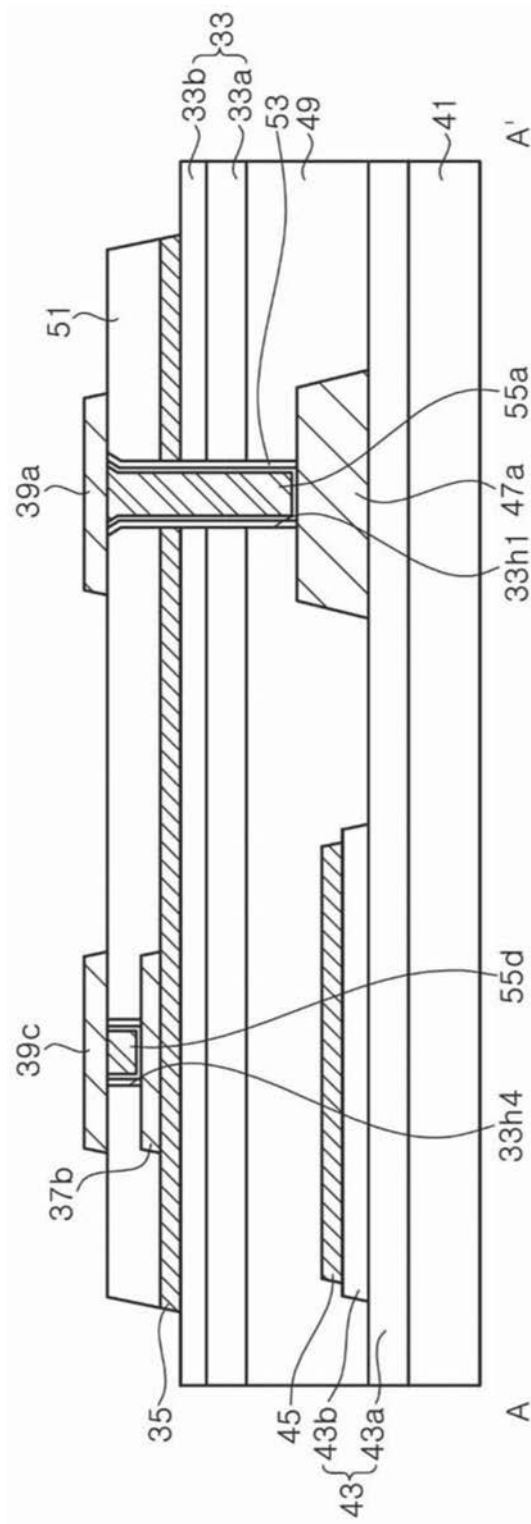


图10B

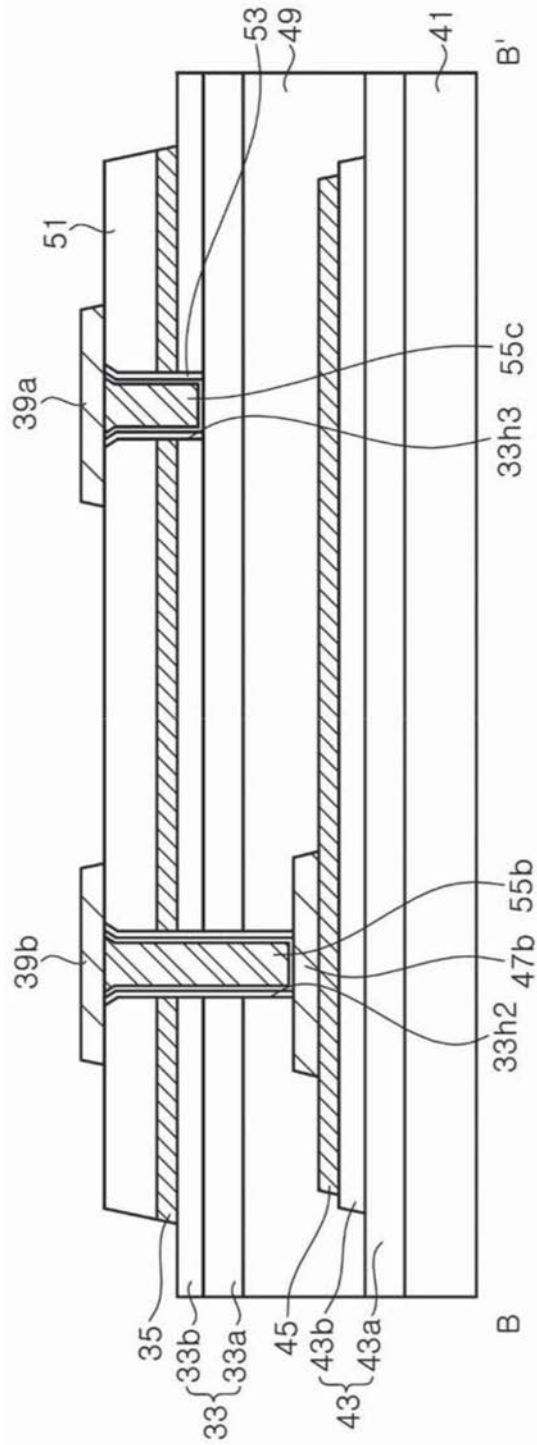


图10C

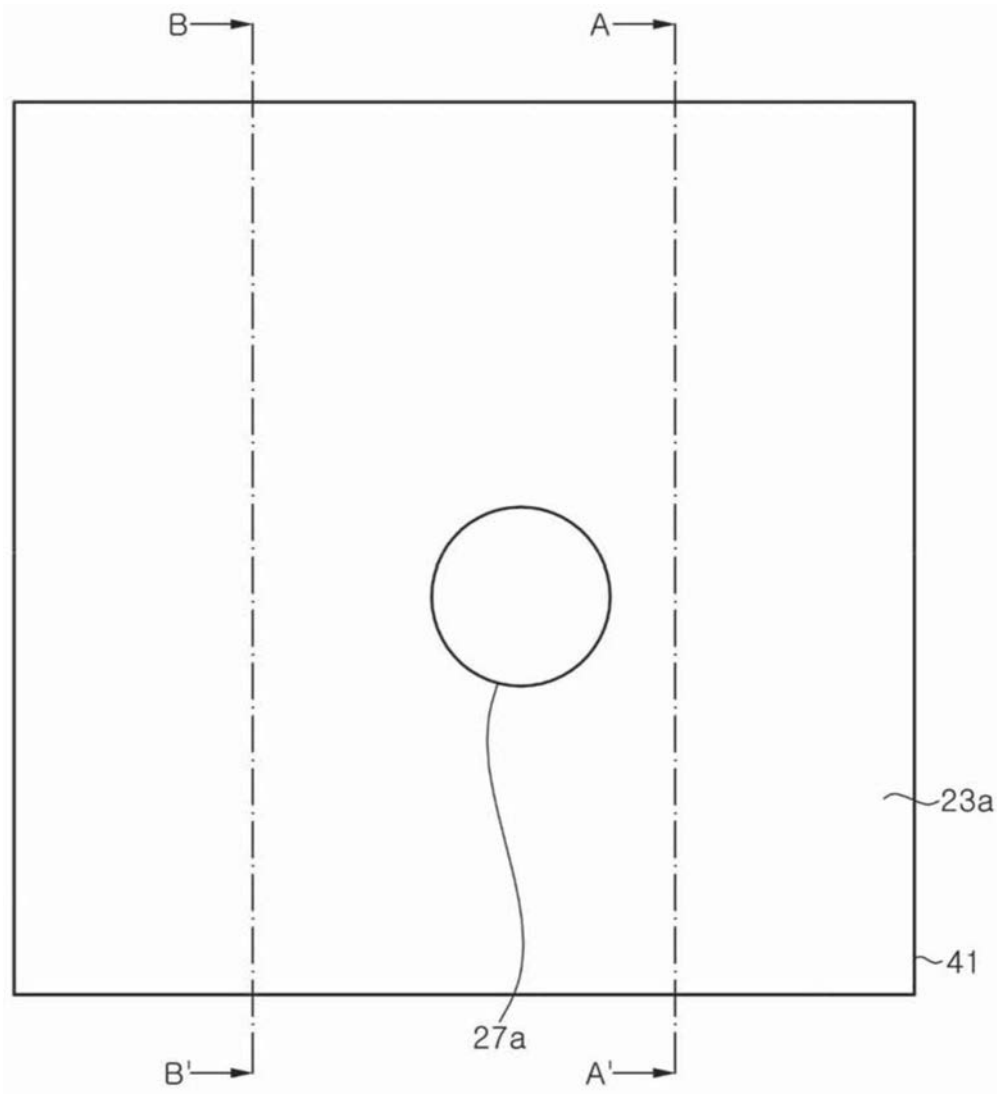


图11A



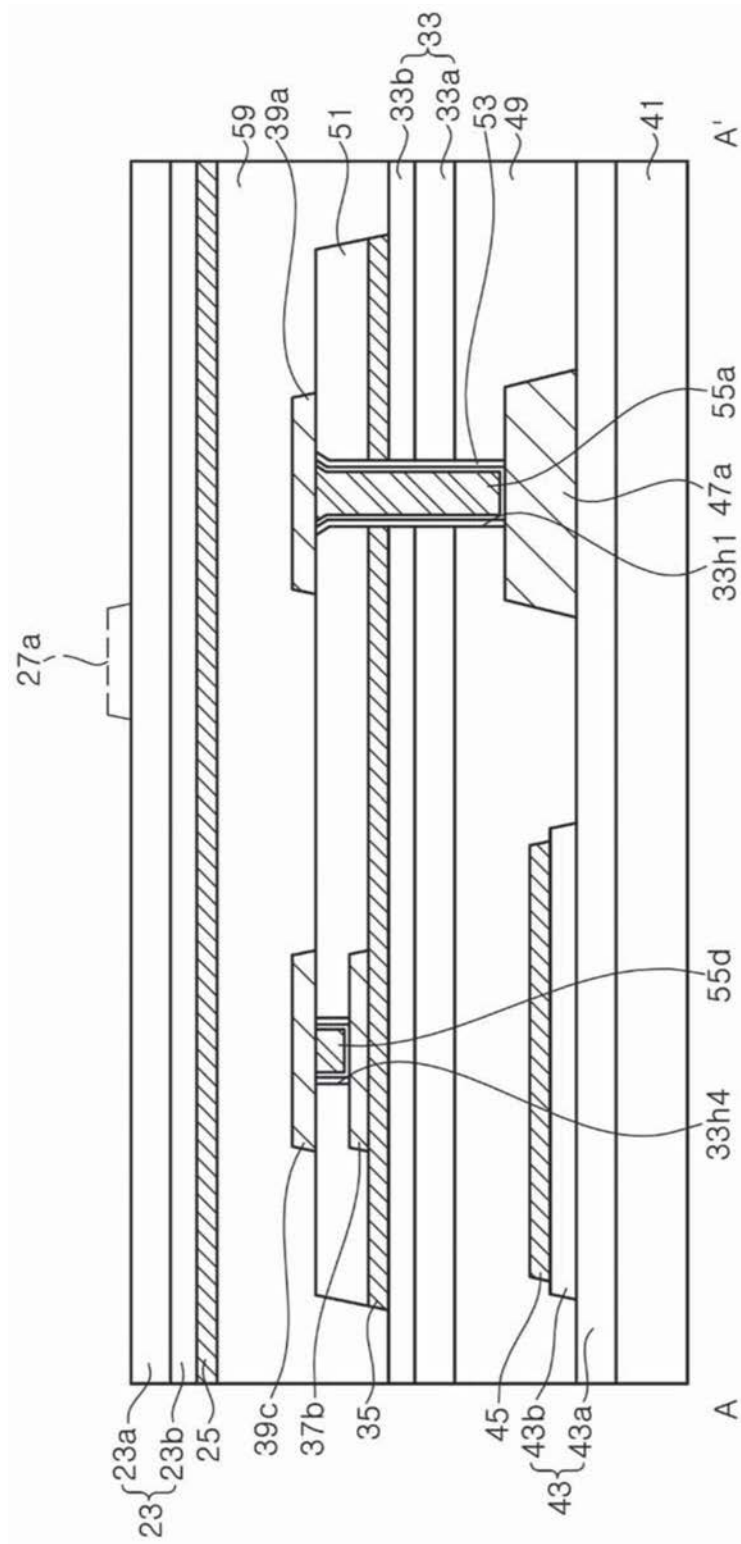


图11B

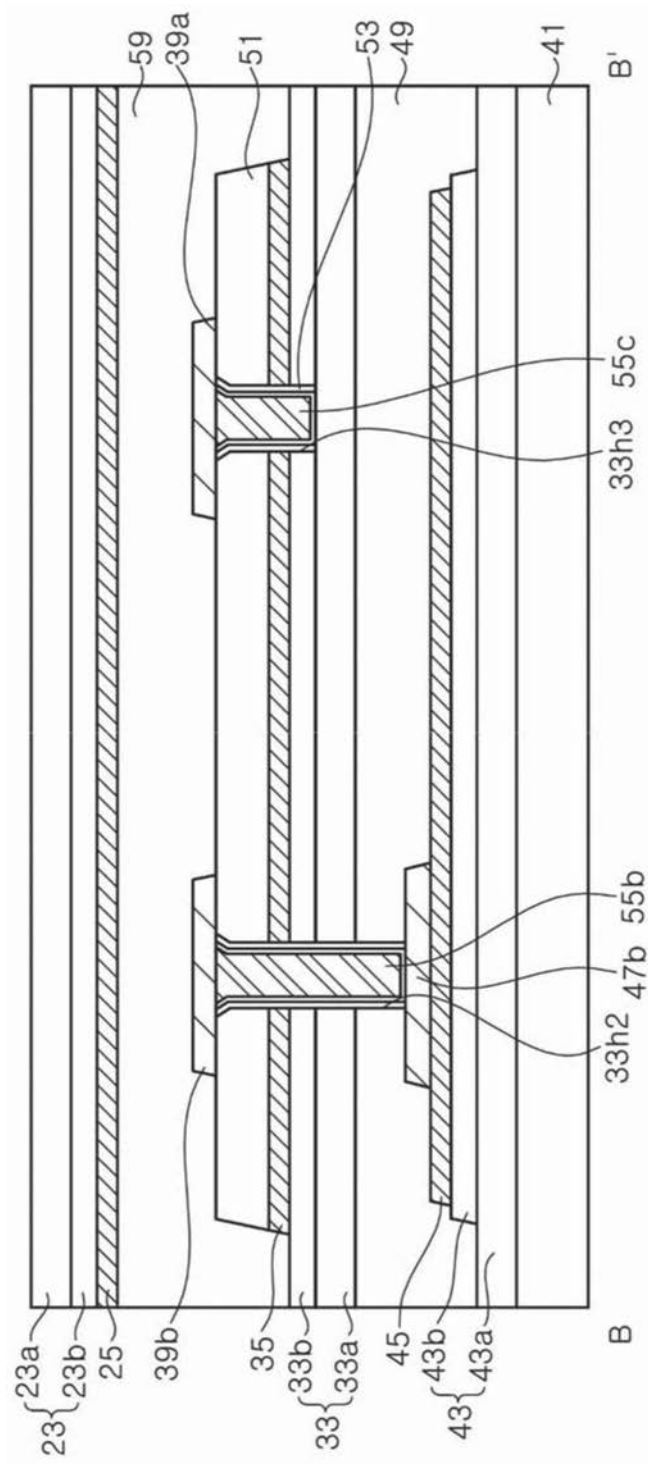


图11C

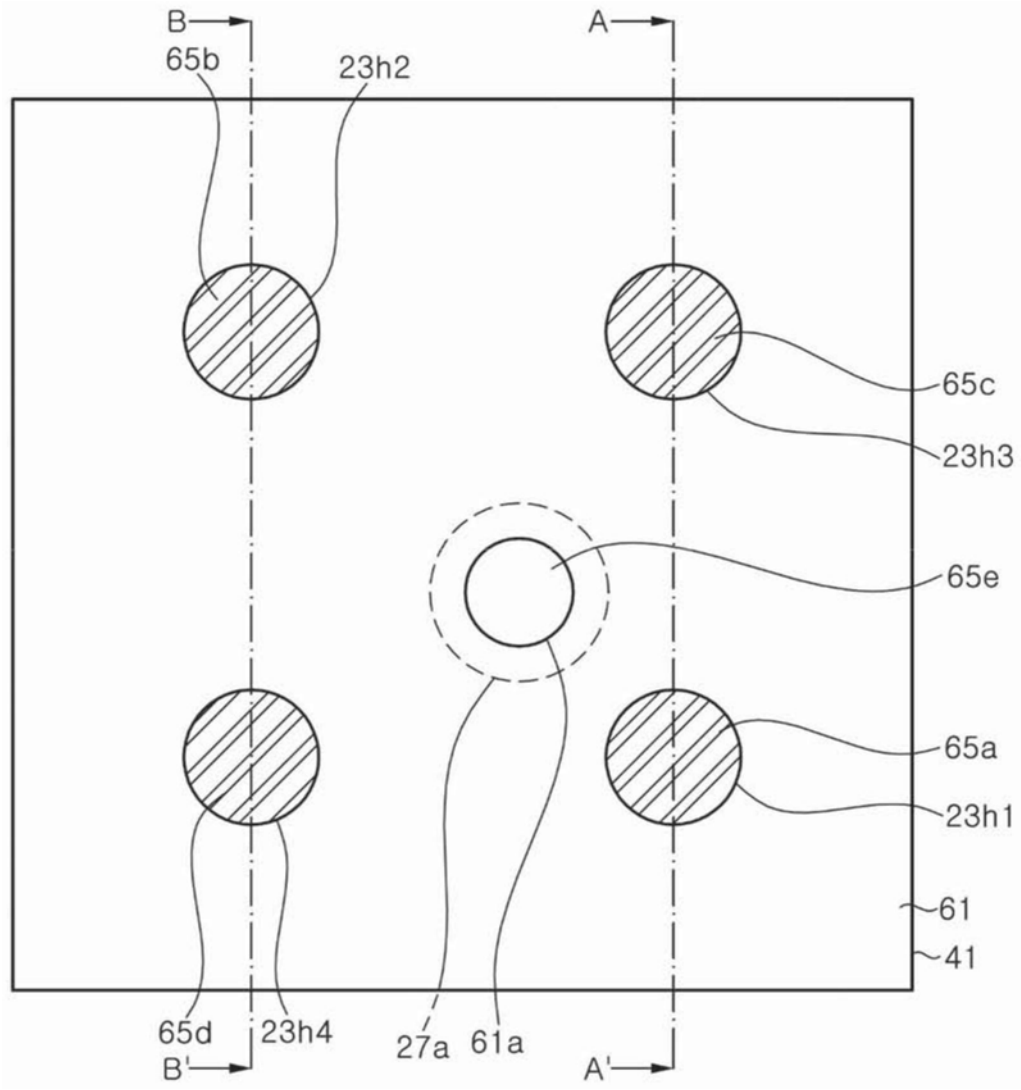


图12A

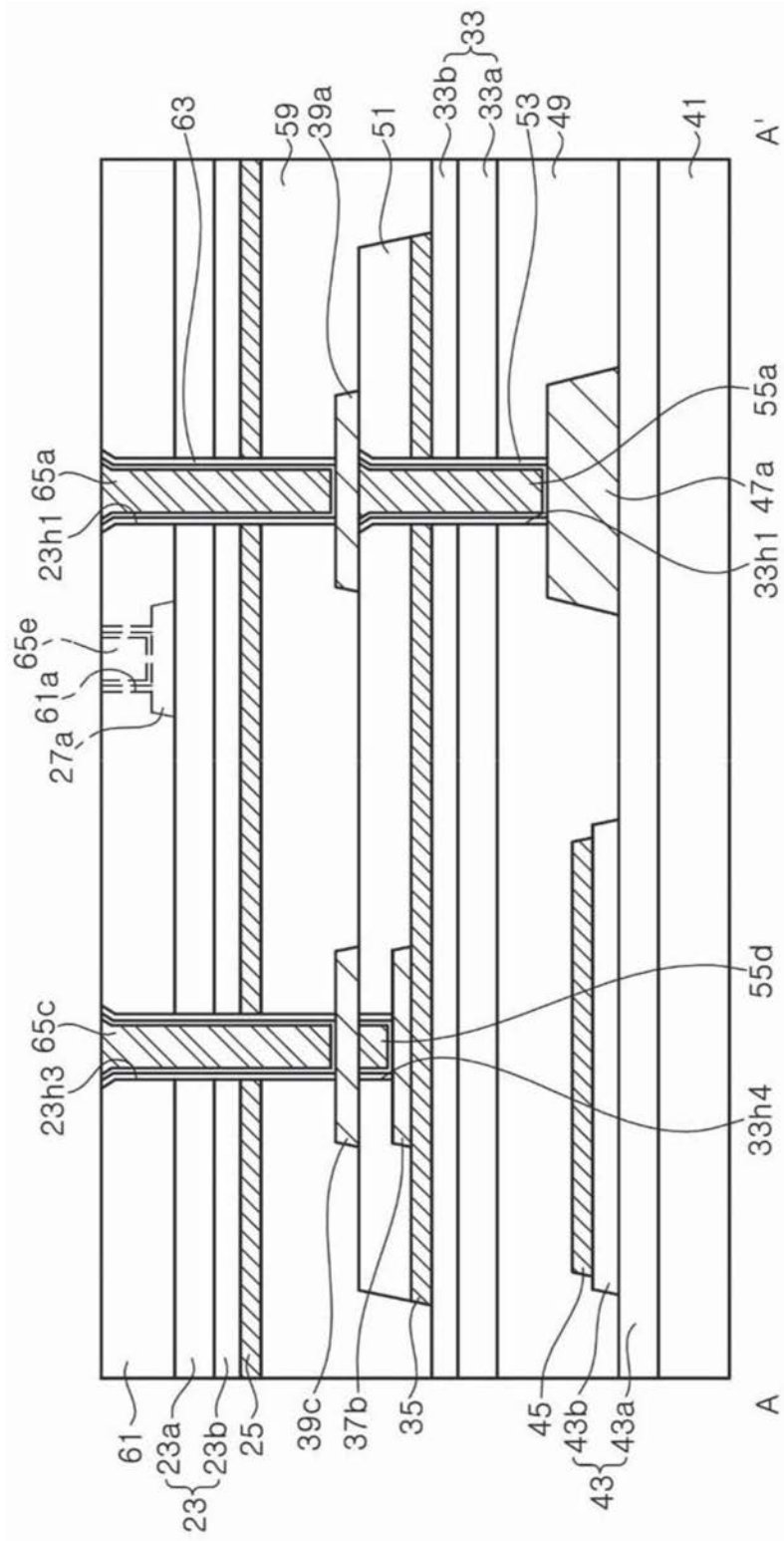


图12B

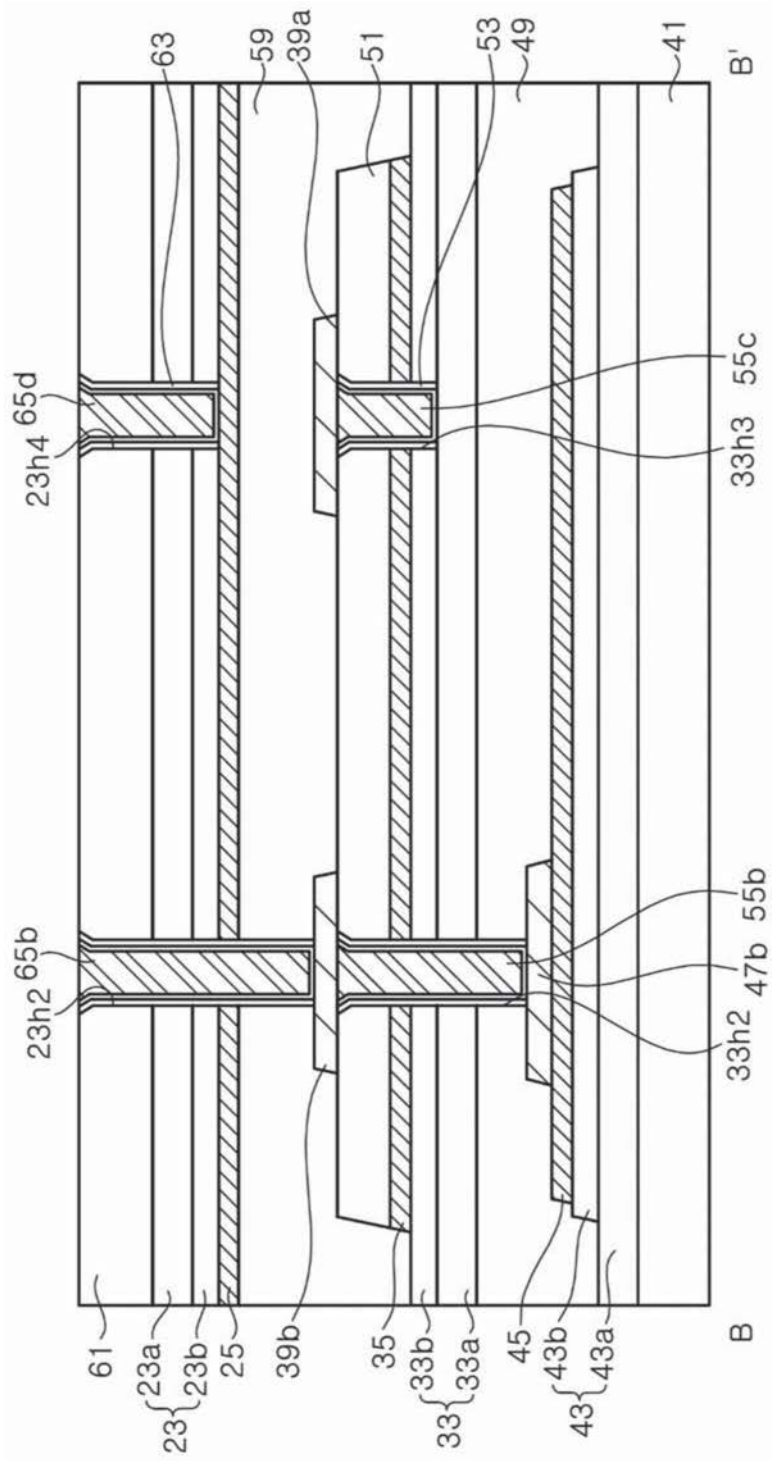


图12C

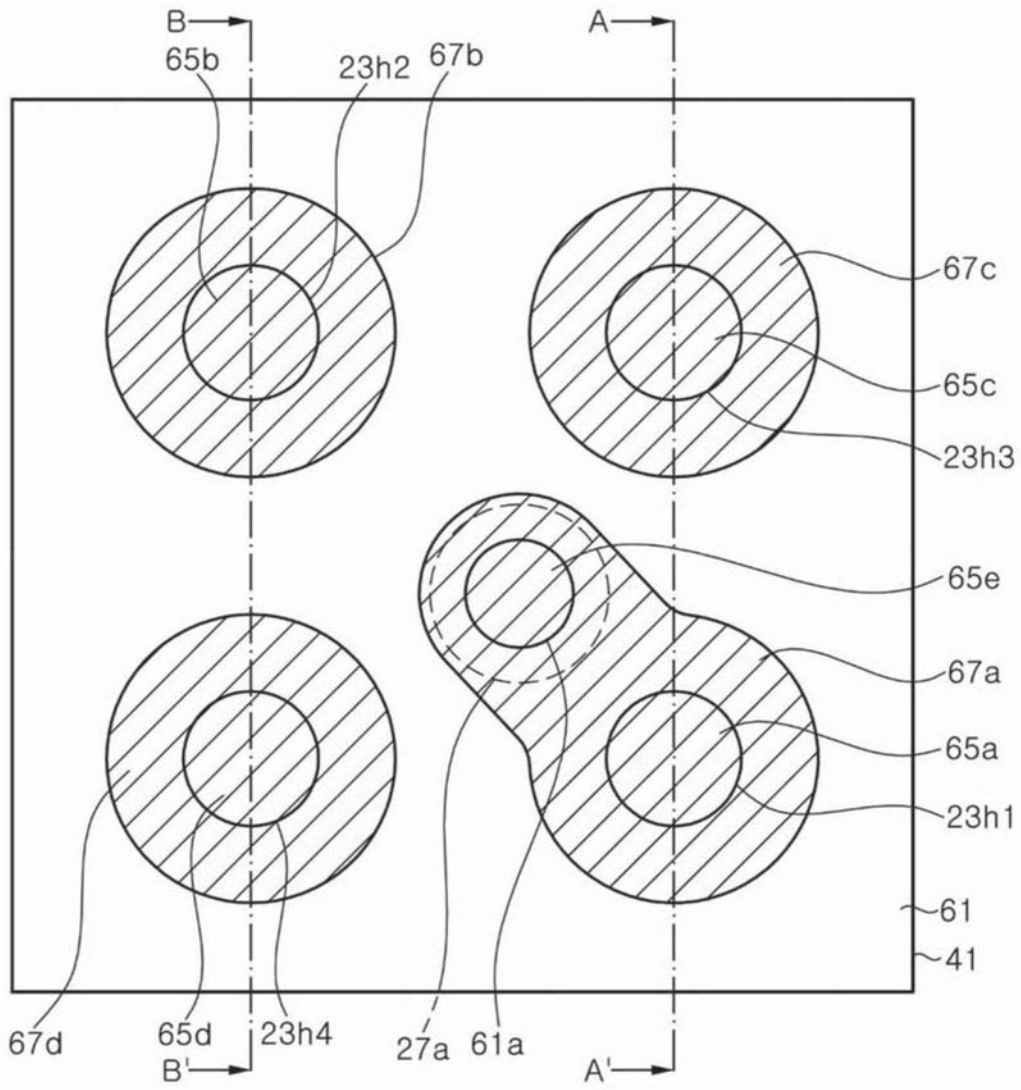


图13A

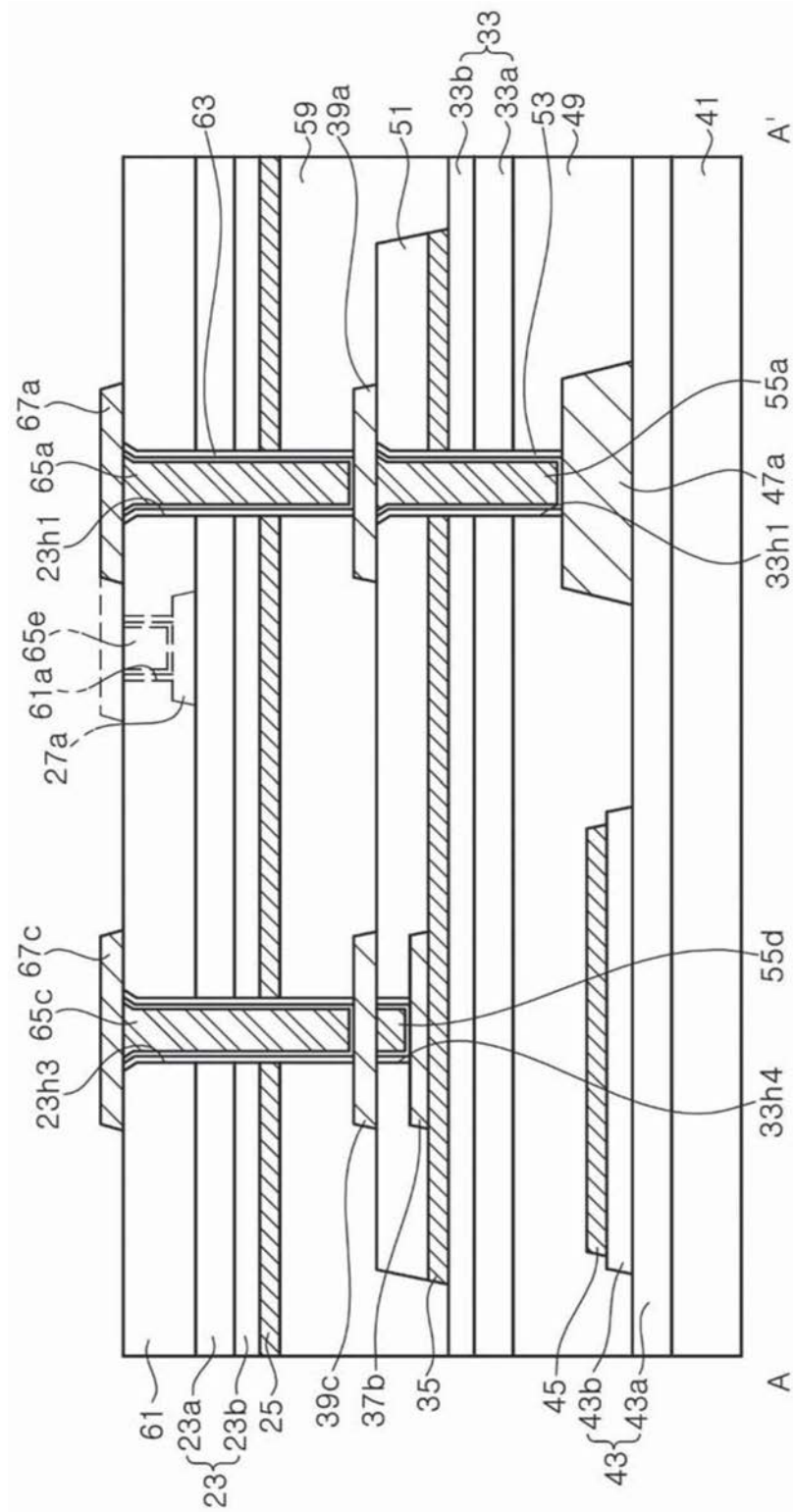


图13B

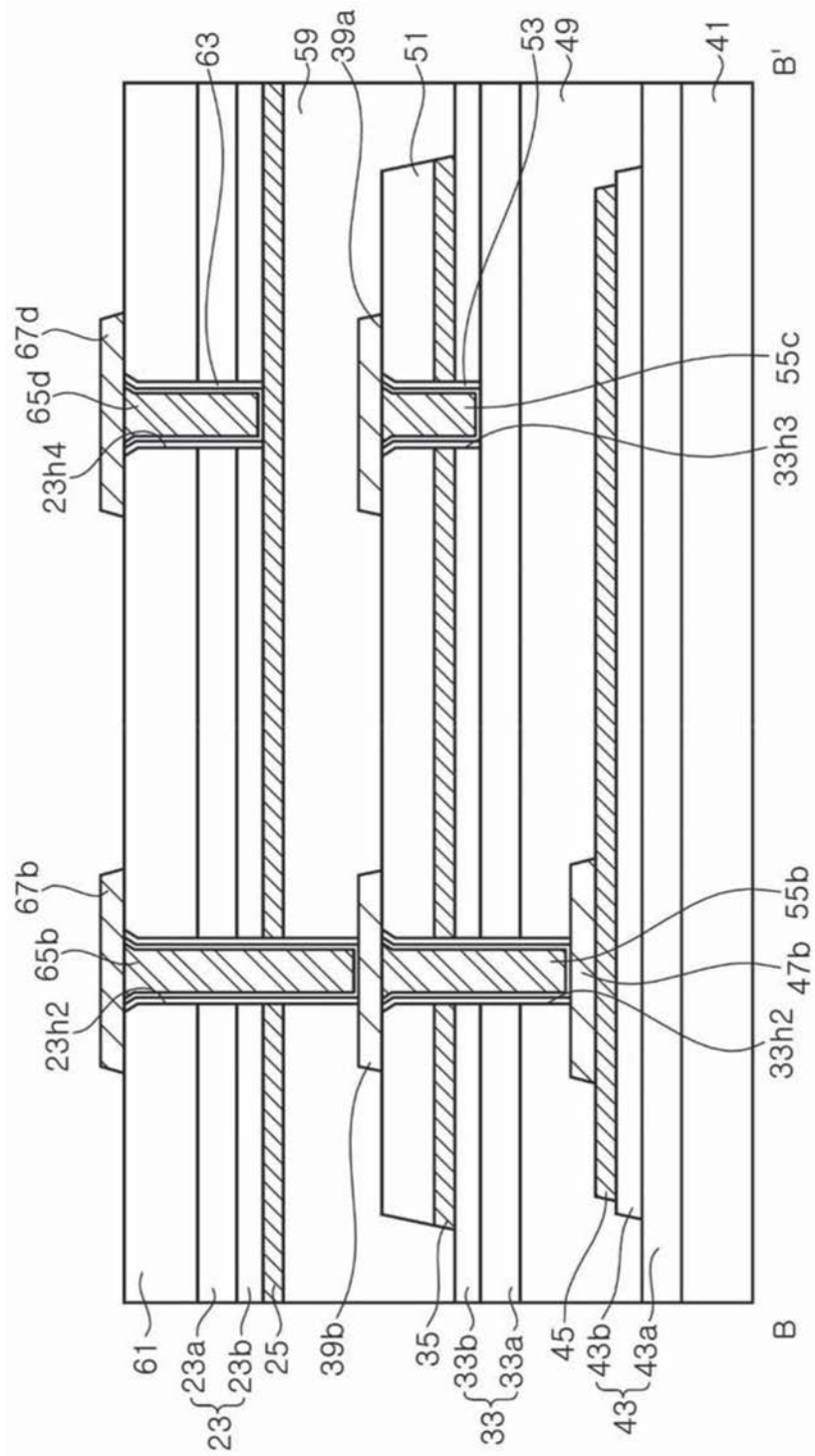


图13C



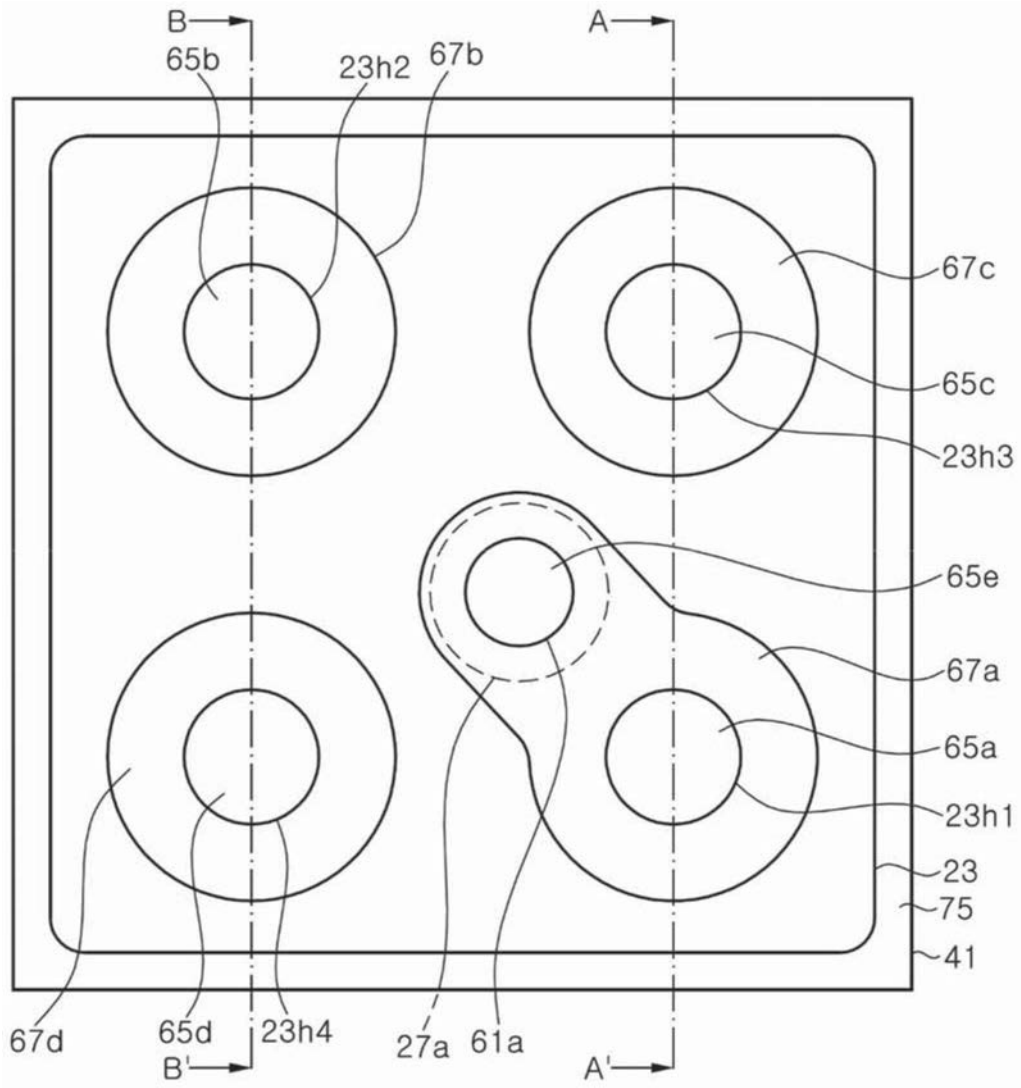


图14A

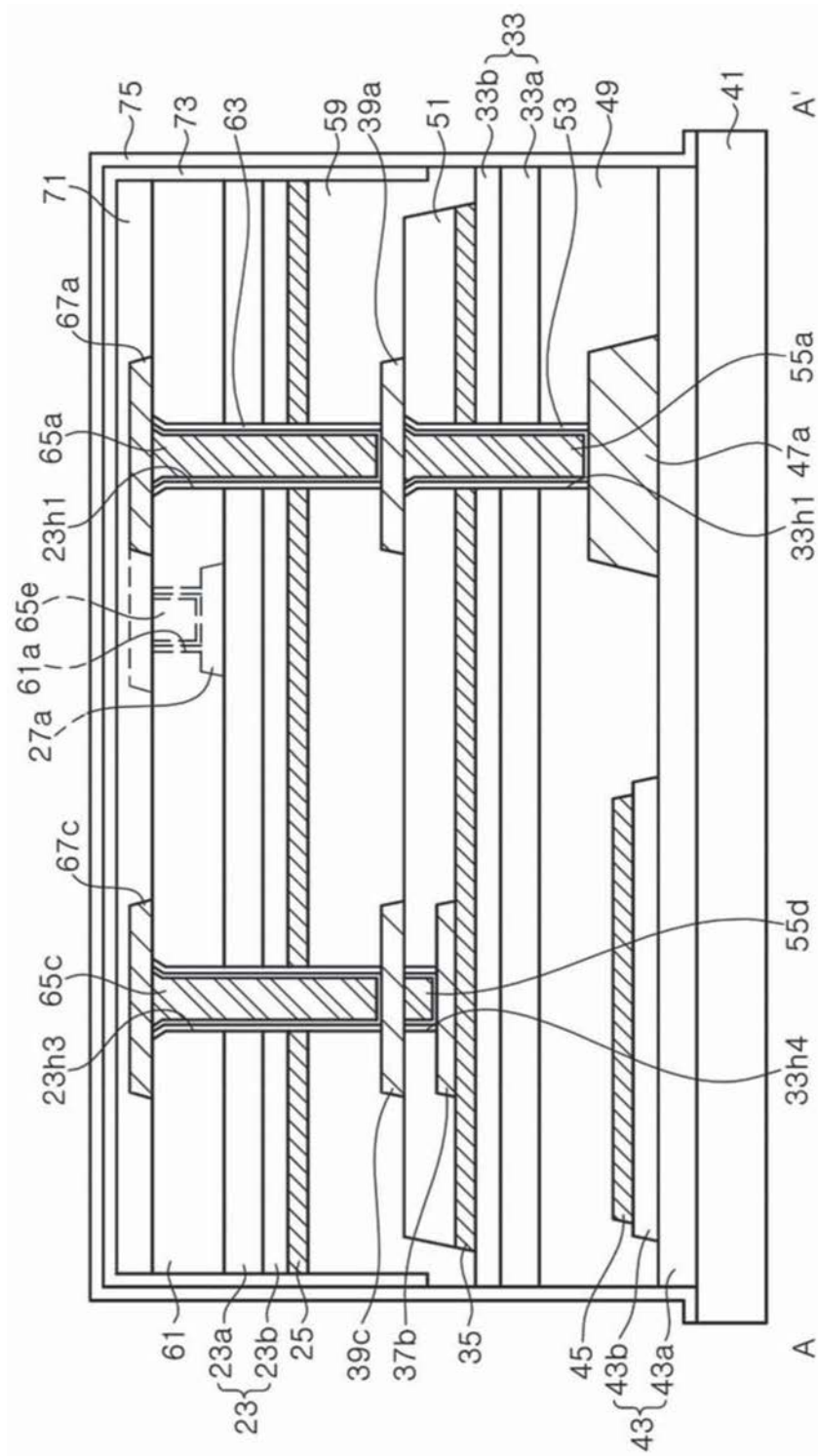


图14B

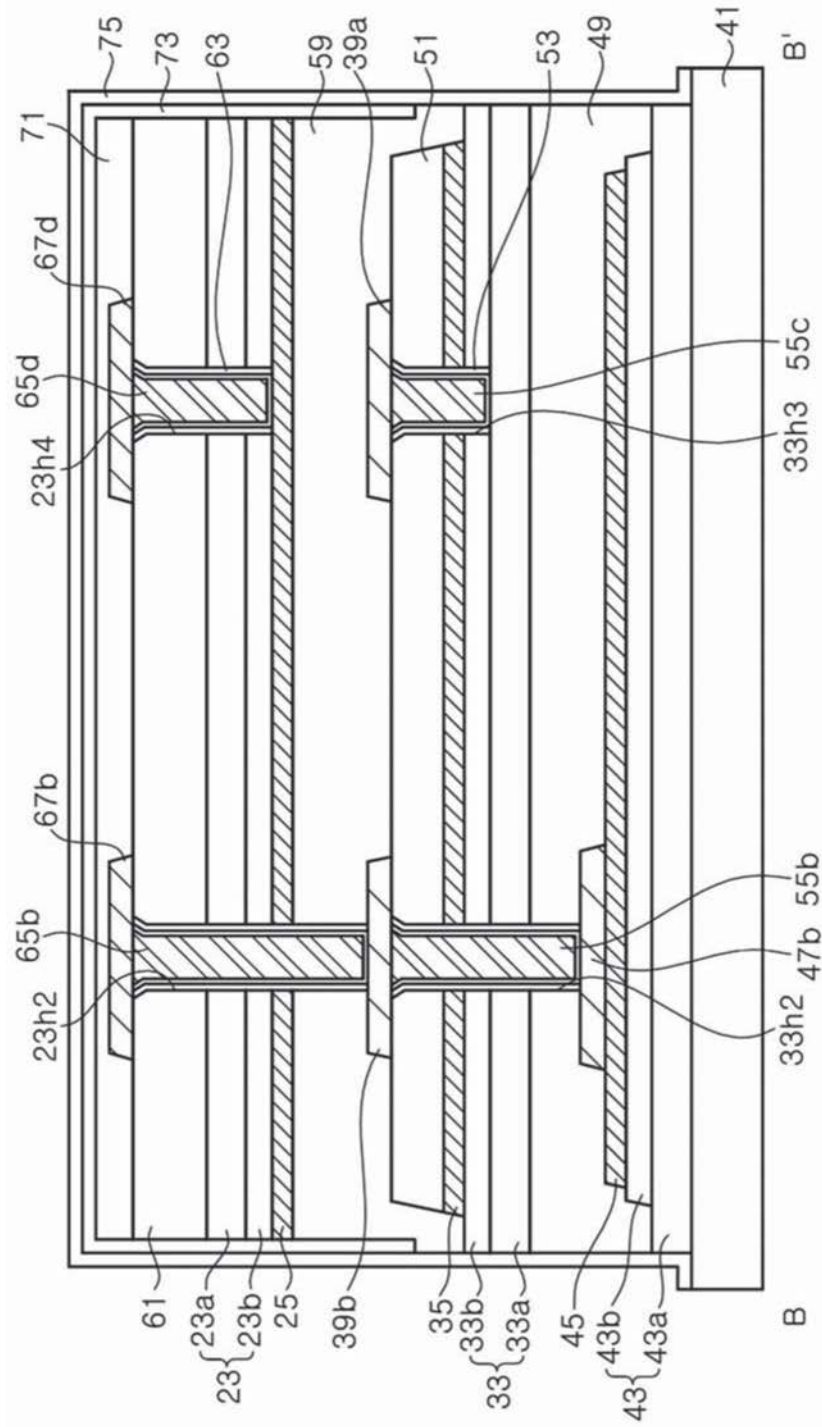


图14C

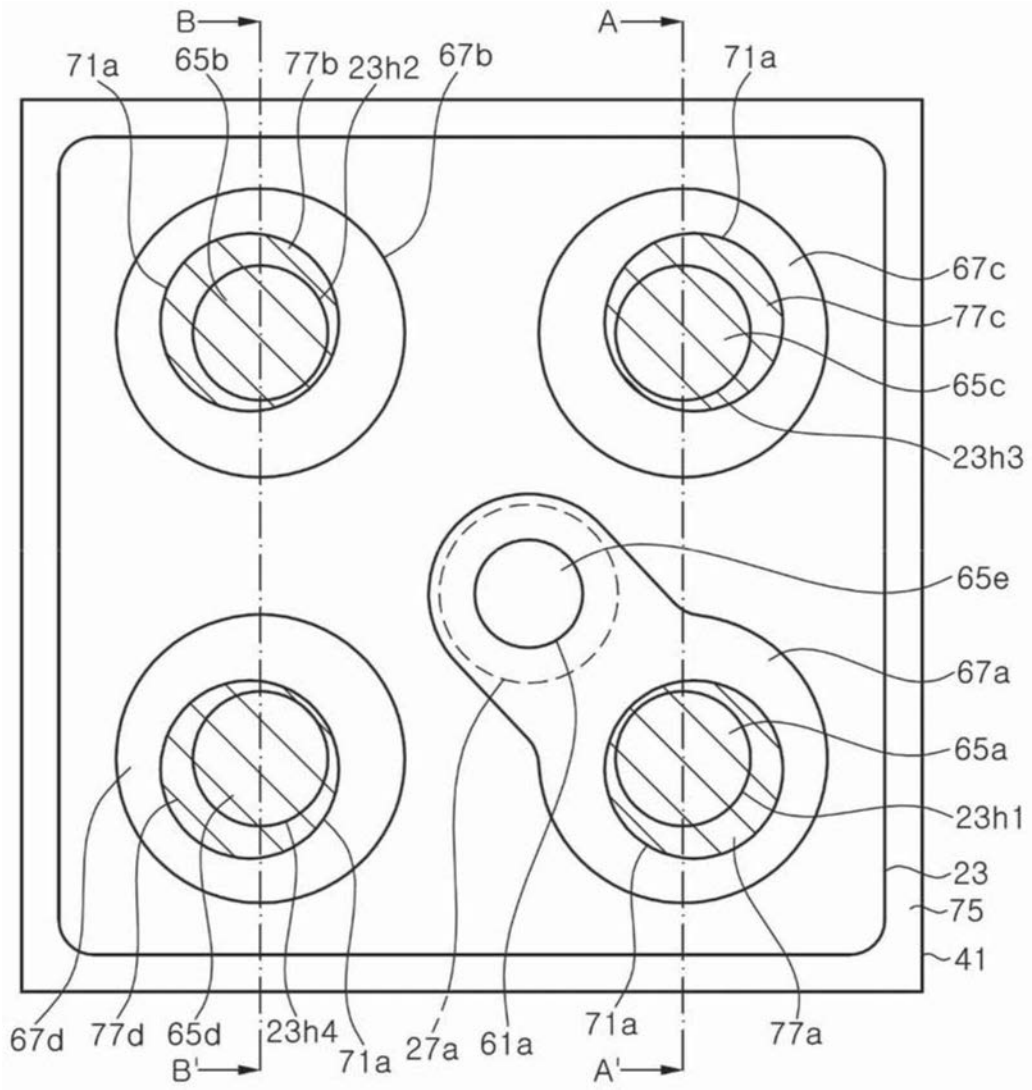


图15A

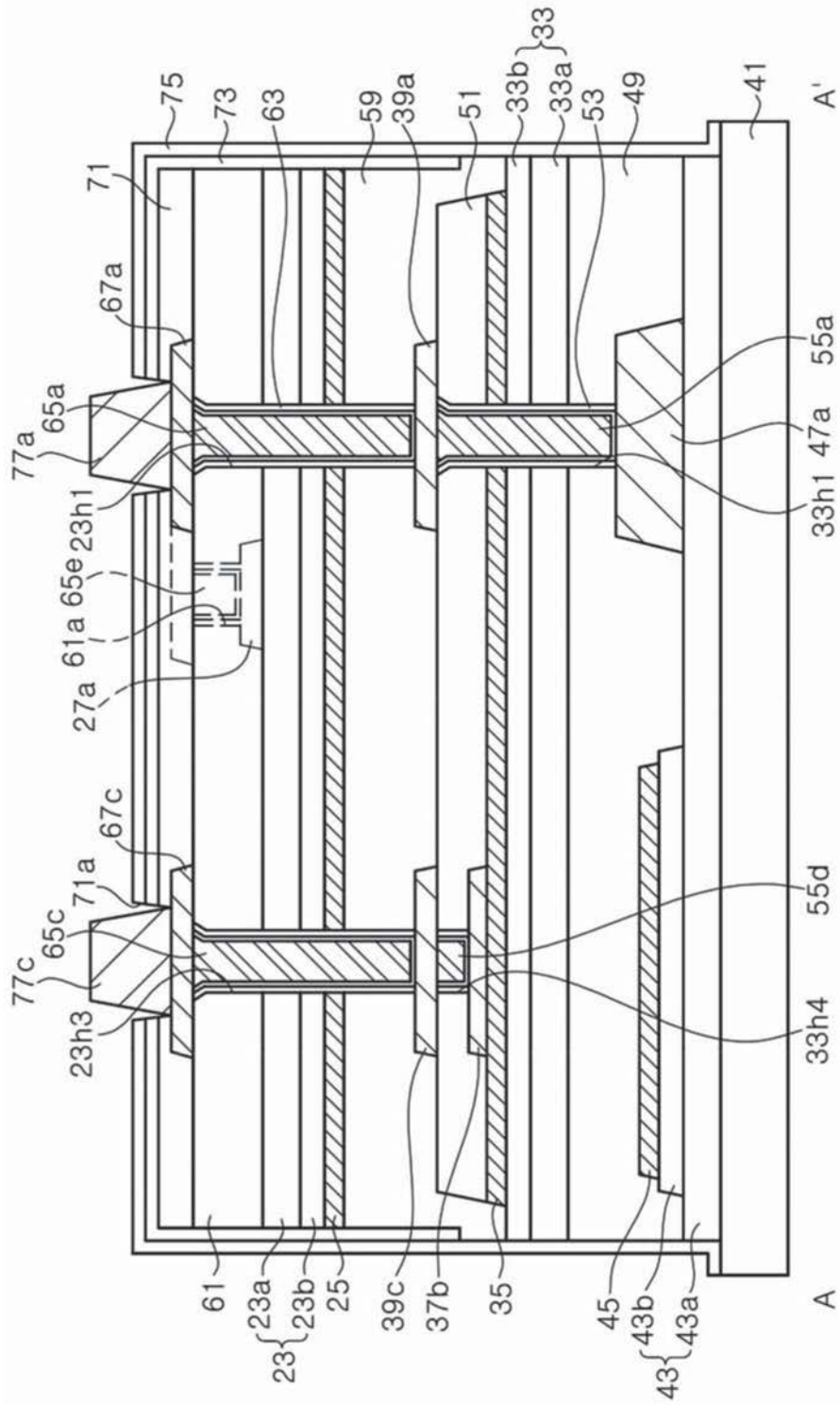


图15B

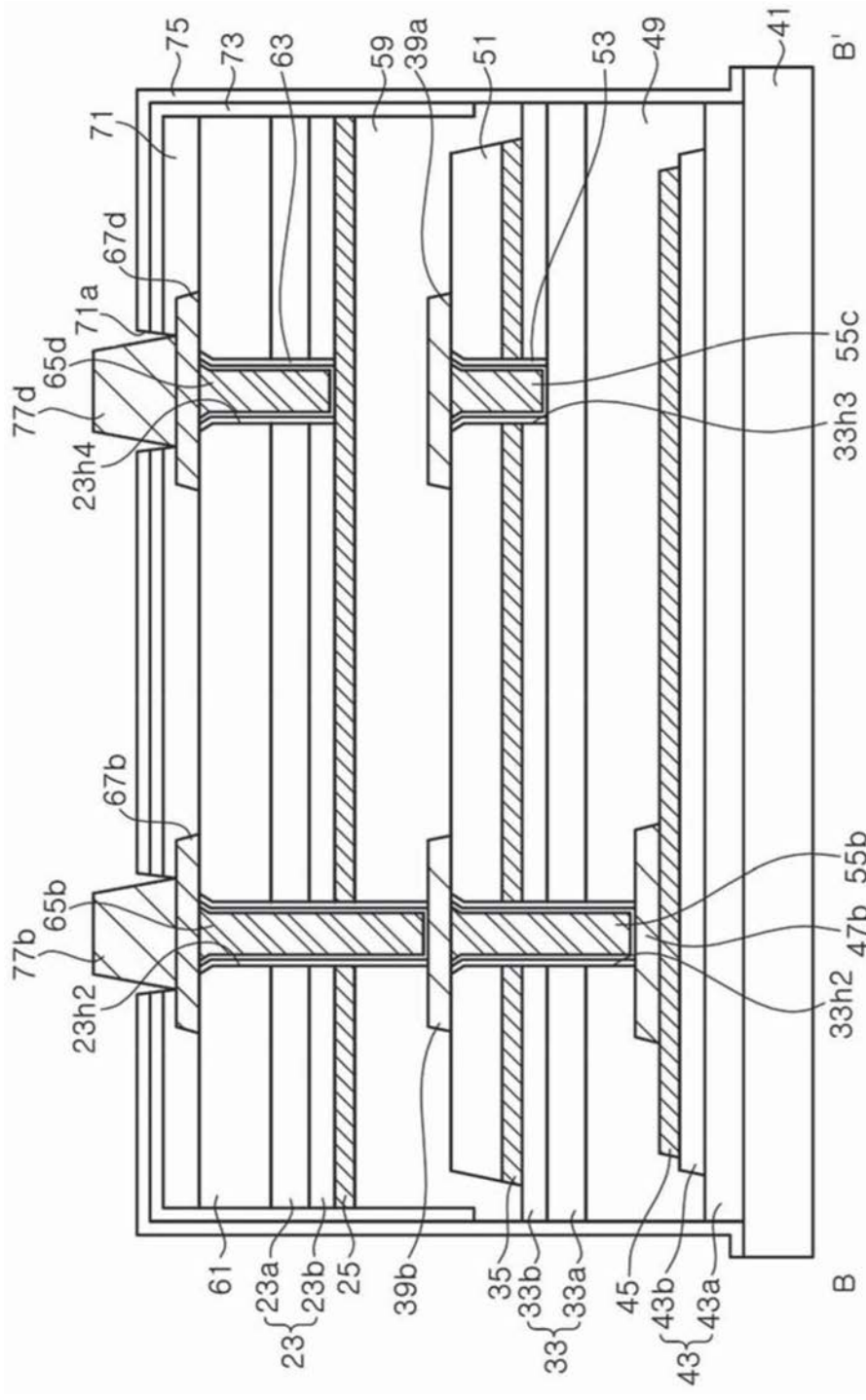


图15C

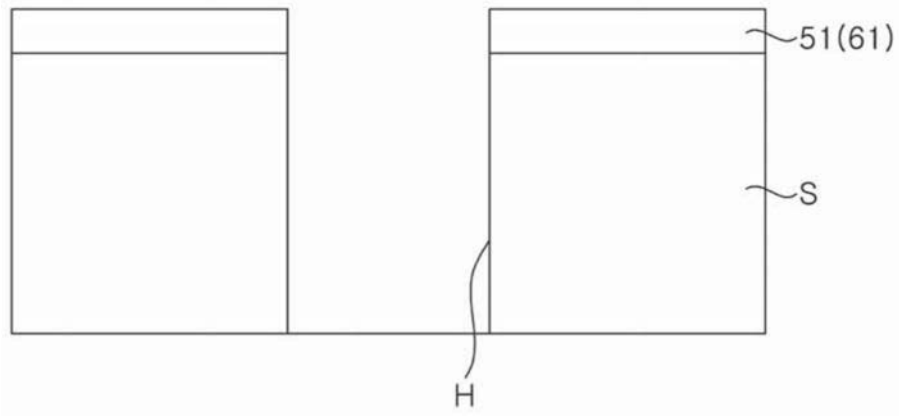


图16A

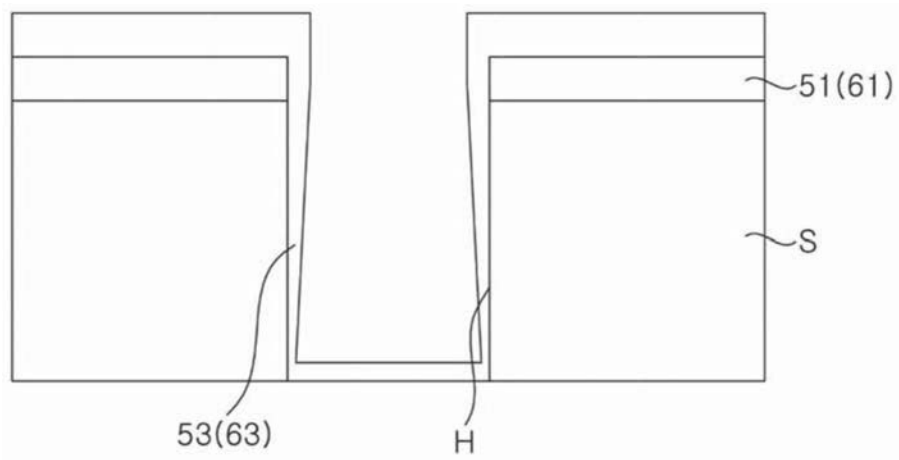


图16B

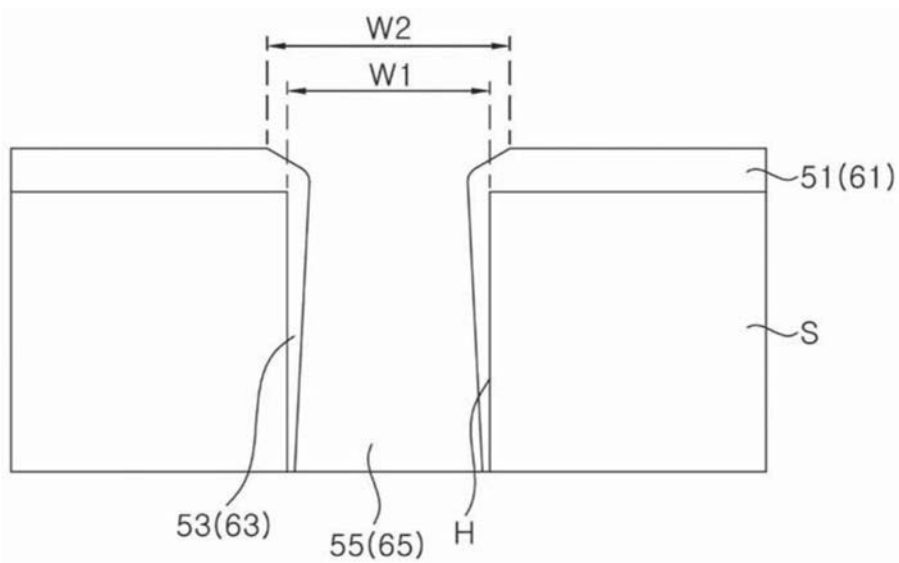


图16C

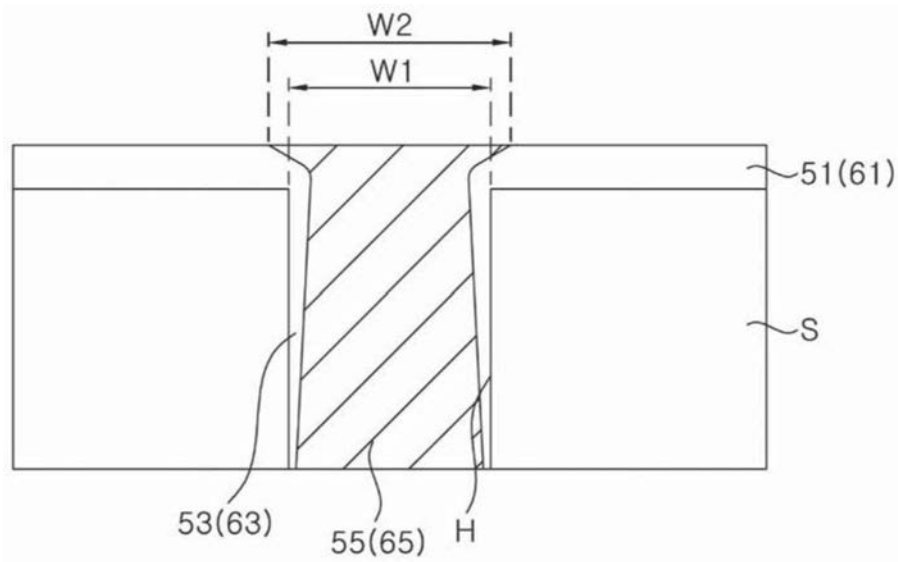


图16D

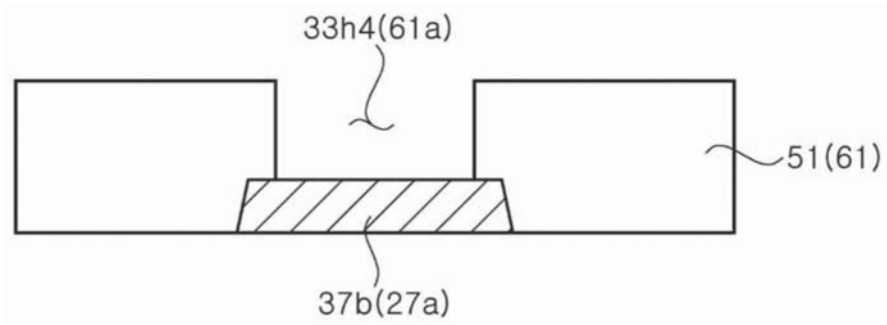


图17A

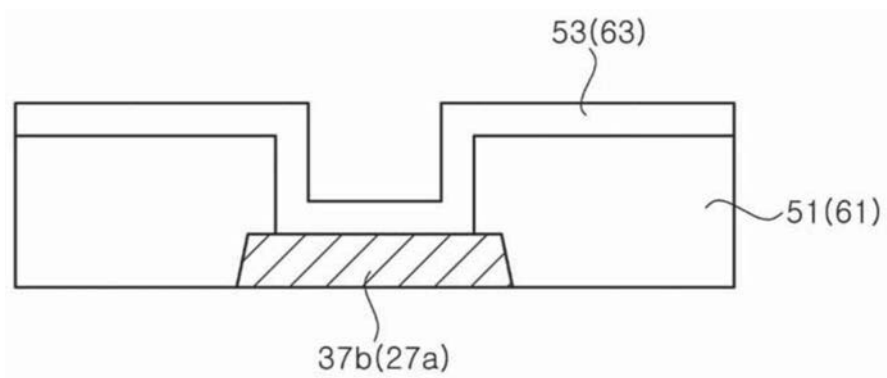


图17B



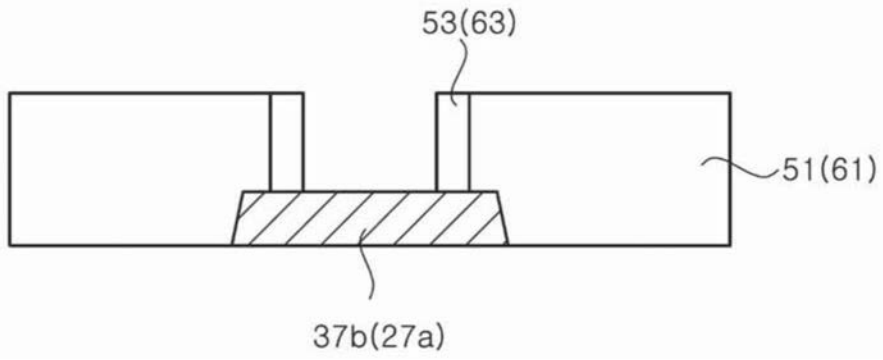


图17C

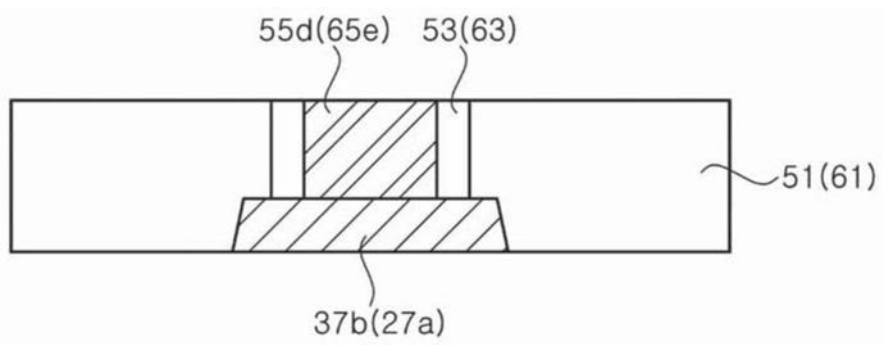


图17D

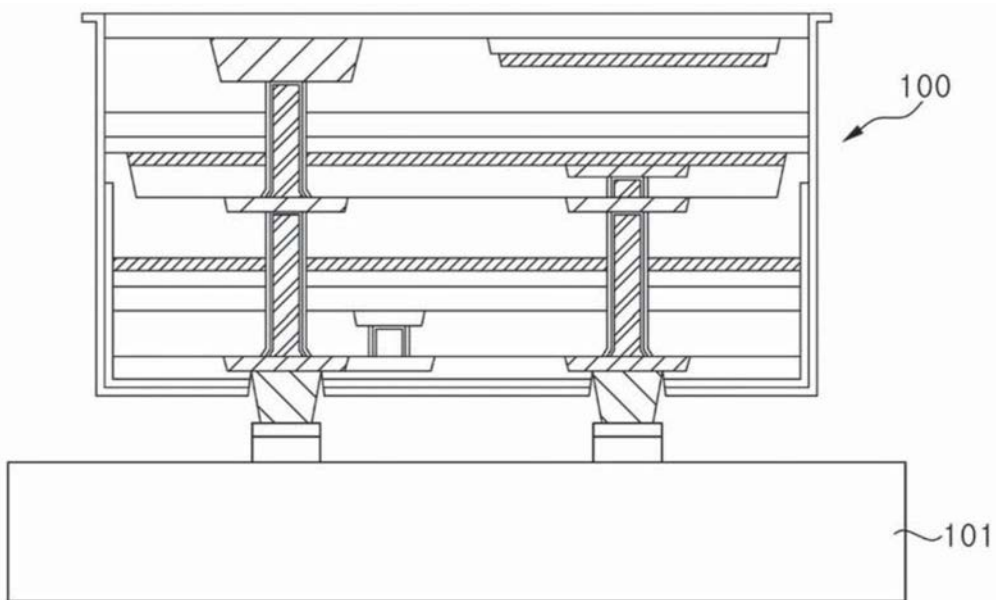


图18

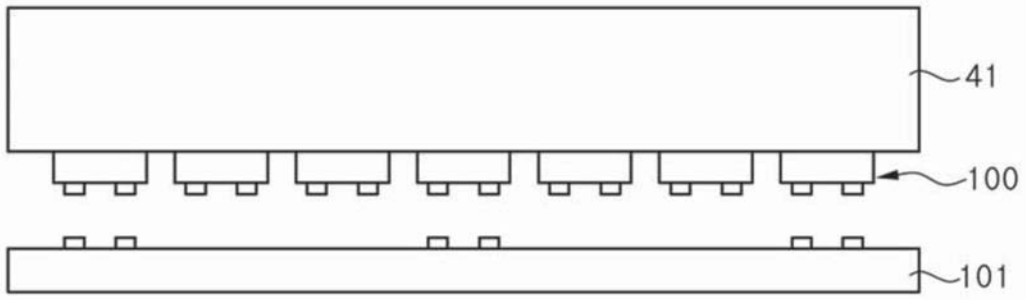


图19A

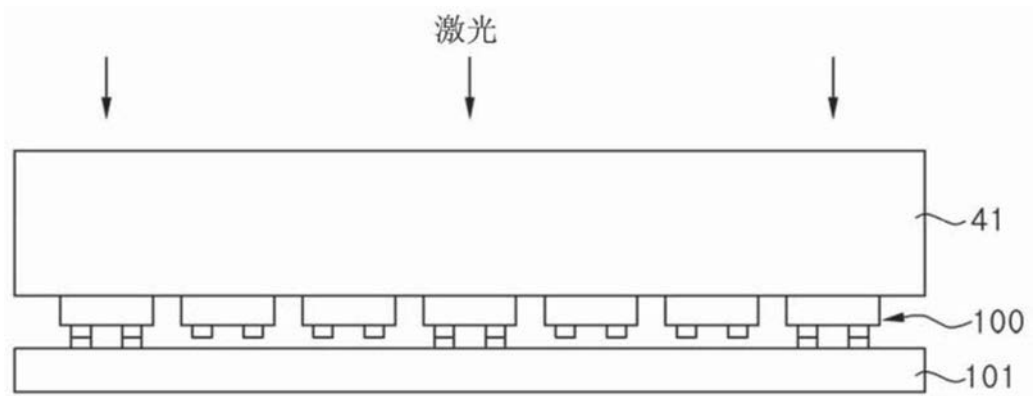


图19B

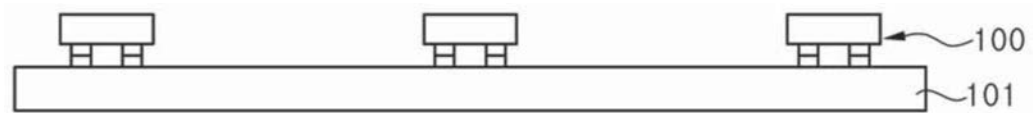


图19C

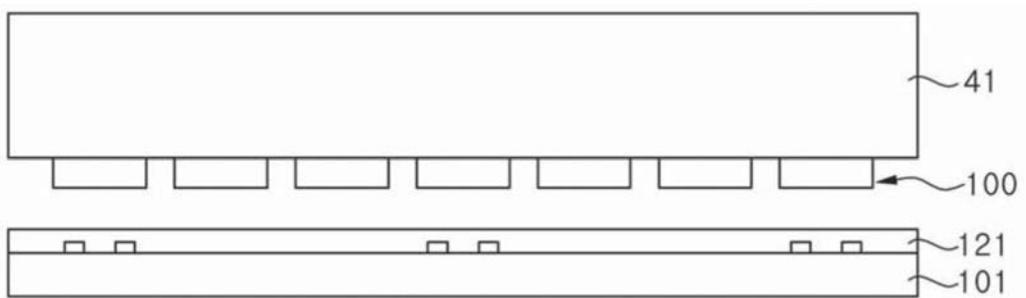


图20

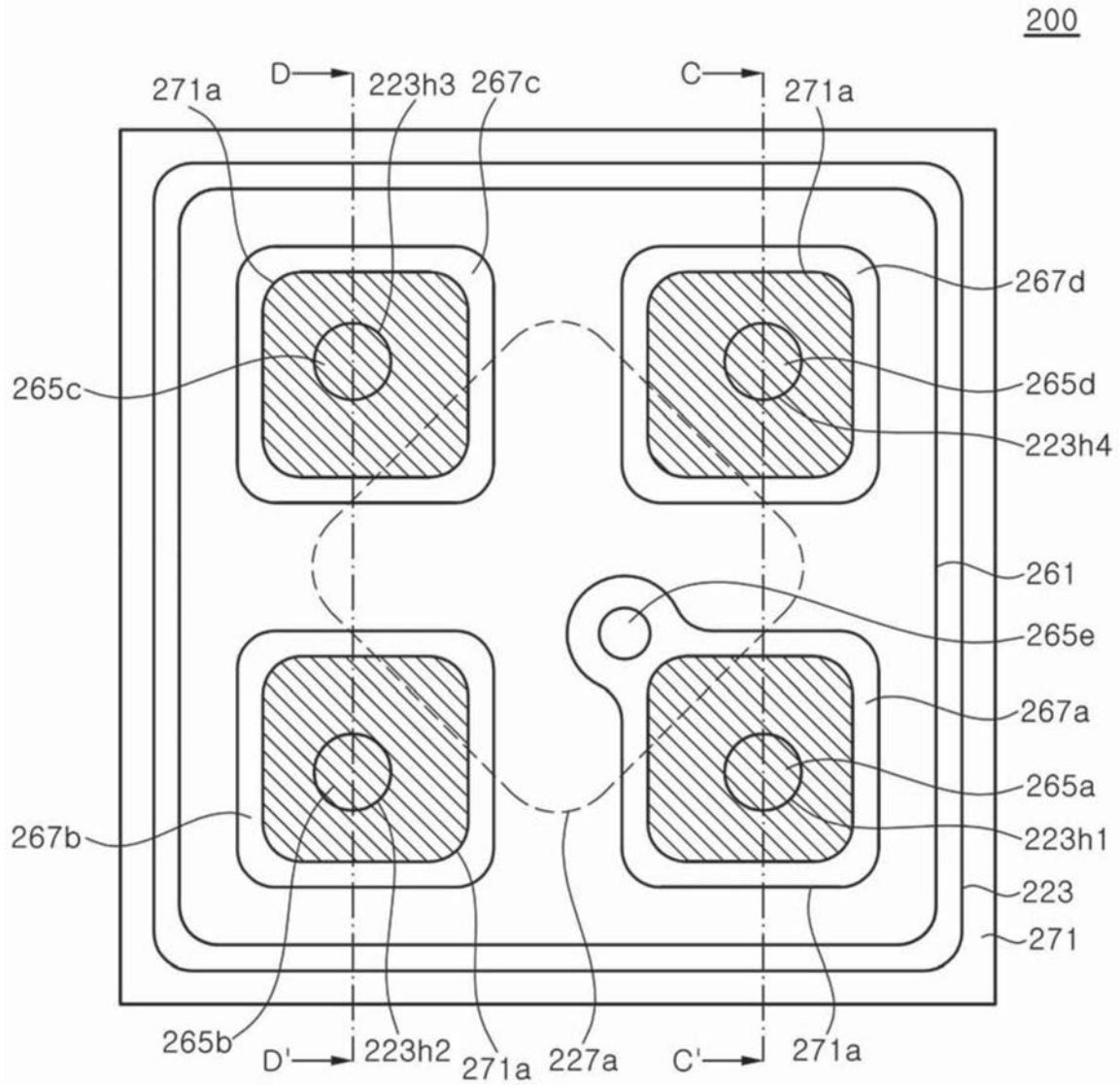


图21A

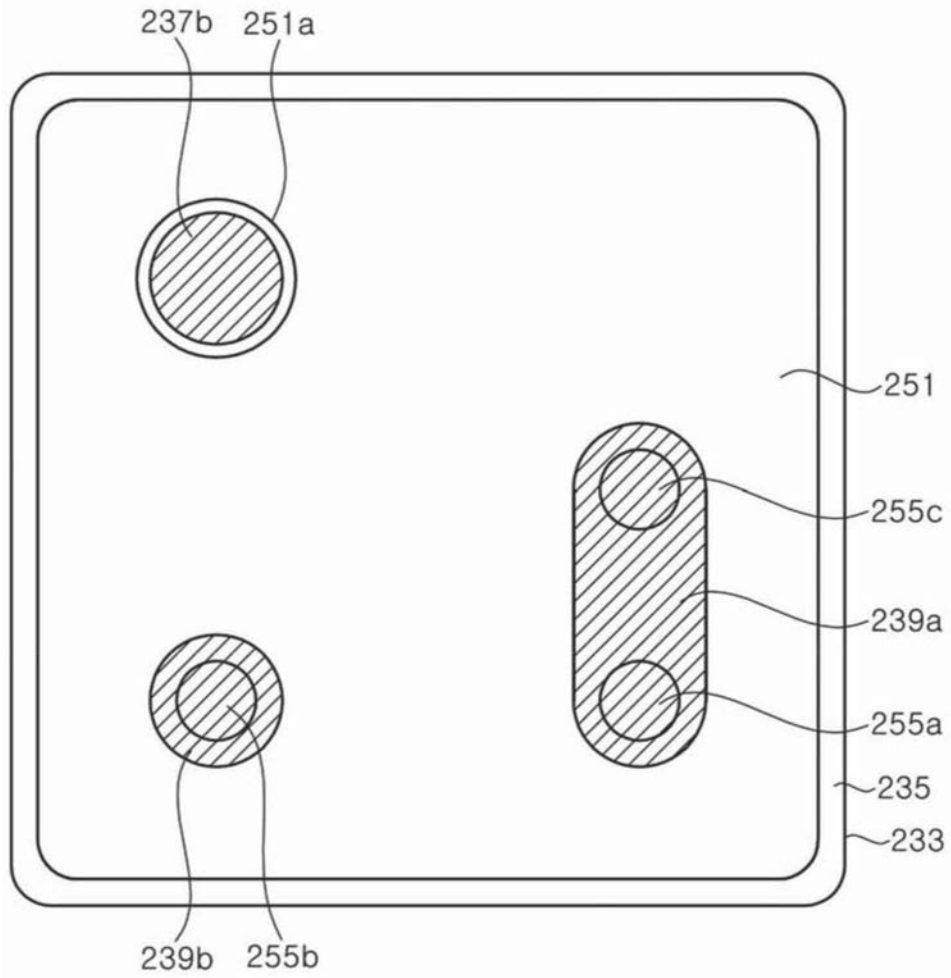


图21B

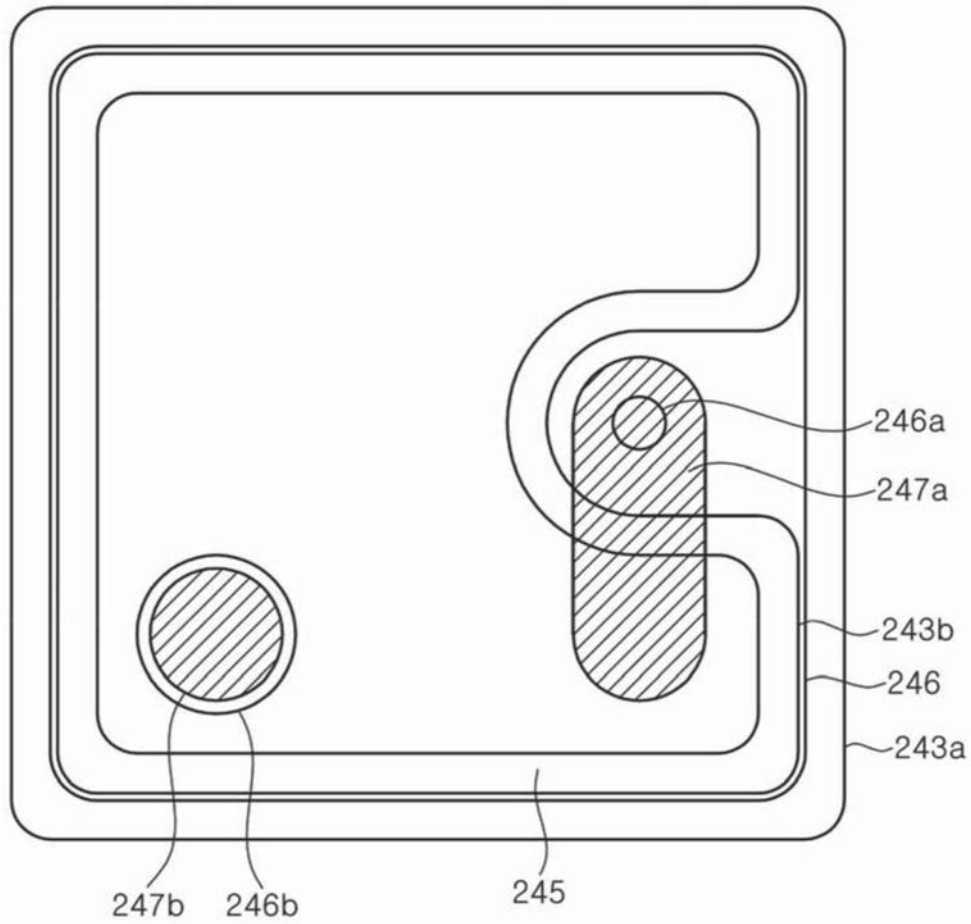


图21C

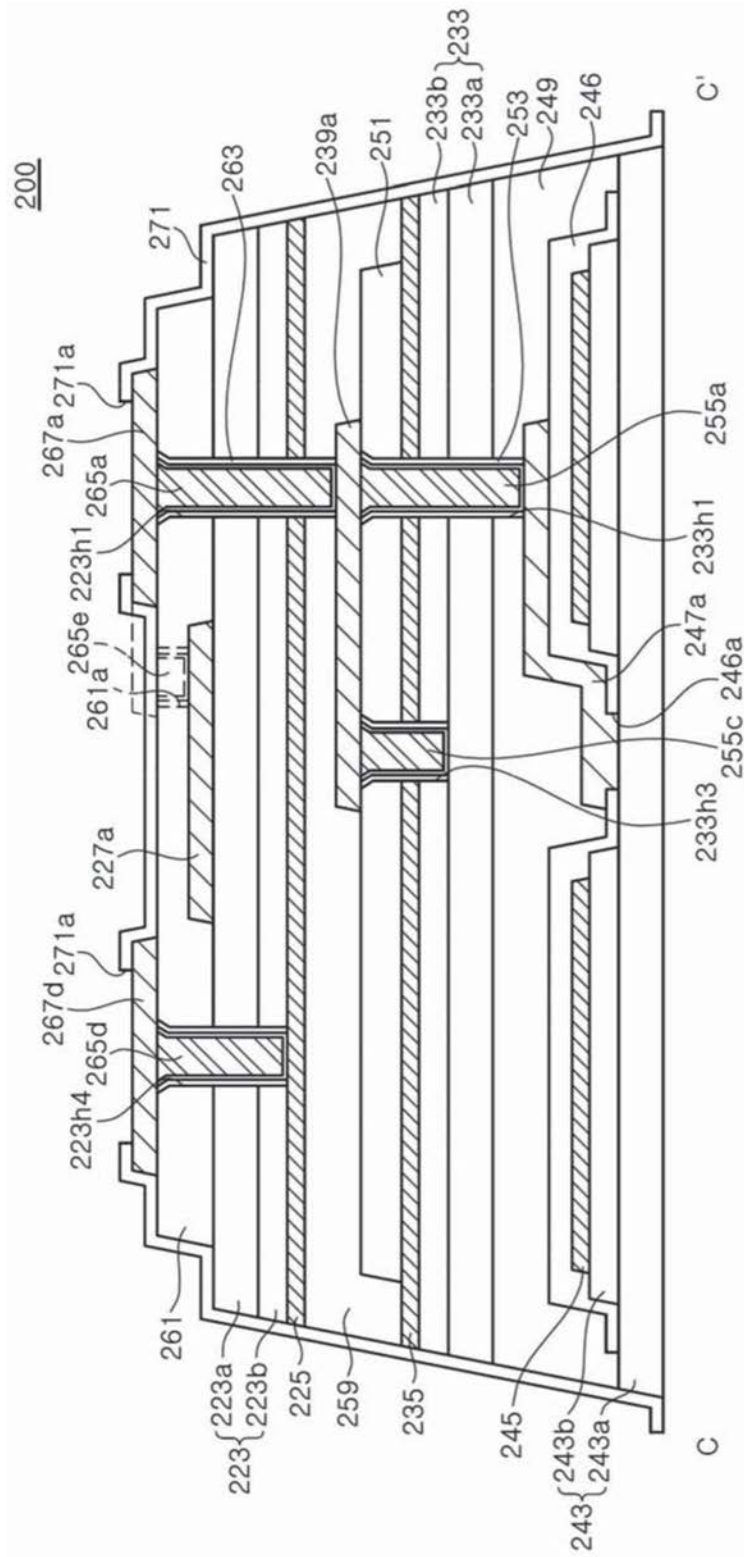


图22A

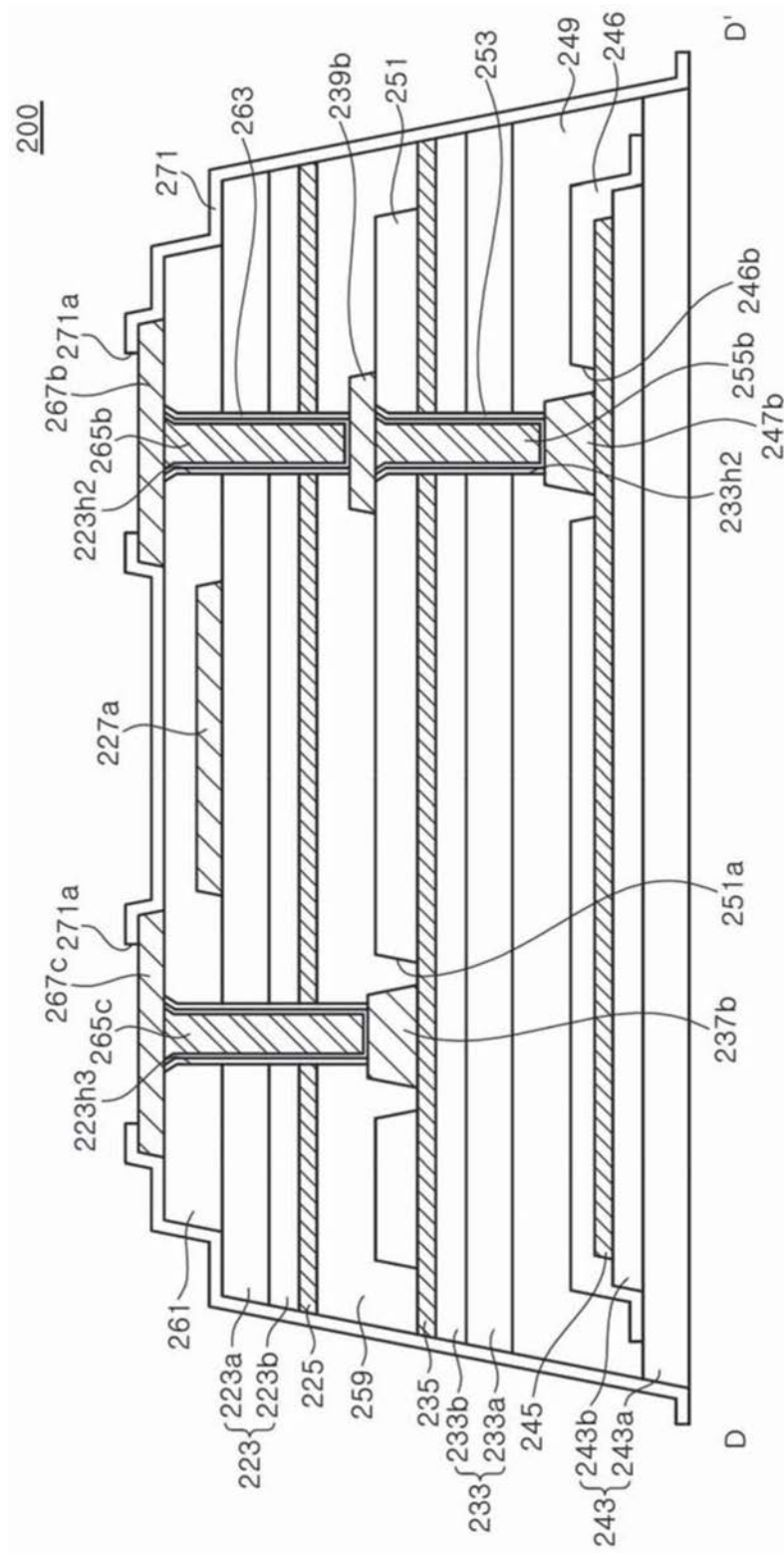


图22B