



(12) 发明专利

(10) 授权公告号 CN 101924039 B

(45) 授权公告日 2016. 05. 18

(21) 申请号 200910139433. 4

(22) 申请日 2009. 06. 15

(73) 专利权人 日月光半导体制造股份有限公司
地址 中国台湾高雄市楠梓加工区经三路 26 号

(72) 发明人 谢爵安 黄敏龙

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

代理人 陆勃

US 7432600 B2, 2008. 10. 07,

US 7235426 B2, 2007. 06. 26,

CN 101202252 A, 2008. 06. 18,

US 6753238 B2, 2004. 06. 22,

US 7776647 B2, 2010. 08. 17,

US 6338980 B1, 2002. 01. 15,

CN 101252111 A, 2008. 08. 27,

审查员 刘雪莲

(51) Int. Cl.

H01L 21/50(2006. 01)

H01L 21/56(2006. 01)

H01L 21/60(2006. 01)

H01L 21/78(2006. 01)

H01L 23/31(2006. 01)

H01L 23/482(2006. 01)

(56) 对比文件

US 2006231952 A1, 2006. 10. 19,

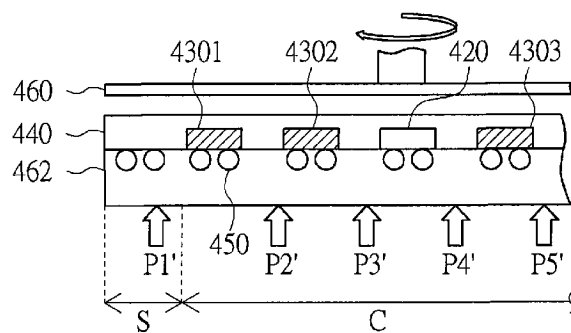
权利要求书3页 说明书5页 附图6页

(54) 发明名称

半导体封装件及其制造方法

(57) 摘要

一种半导体封装件及其制造方法, 制造方法包括下列步骤: 提供具有一黏贴层的一载具; 配置数个芯片于黏贴层上, 每一芯片的主动表面面向黏胶层; 形成一封装体覆盖这些芯片以形成一具有相对的第一及第二表面的重布芯片的封装体, 第一表面上具有一芯片区及一边缘区; 移除载具及黏贴层, 使重布芯片的封装体暴露出每一芯片的主动表面; 将数个焊球均匀地形成于芯片区及边缘区; 研磨重布芯片的封装体的第二表面, 以减少重布芯片的封装体的厚度, 这些焊球提供重布芯片的封装体一均匀的支撑力; 以及切割重布芯片的封装体, 以形成数个封装件。



1. 一种半导体封装件的制造方法,包括下列步骤:

提供具有一黏贴层的一载具;

配置数个芯片于该黏贴层上,其中每一该些芯片具有一面向该黏贴层的主动表面且包括数个接垫于该主动表面上;

形成一封胶包覆该些芯片以形成一重布芯片的封胶体,其中该重布芯片的封胶体包括一第一表面及相对的一第二表面,其中该第一表面包括一芯片区及一边缘区,该边缘区围绕该芯片区;

移除该载具及该黏贴层,使该重布芯片的封胶体暴露出每一该些芯片的该主动表面;

将数个焊球形成于该重布芯片的封胶体的该第一表面上的该芯片区及该边缘区;

研磨该重布芯片的封胶体的该第二表面,以减少该重布芯片的封胶体的厚度,其中该些焊球提供该重布芯片的封胶体一均匀的支撑力;以及

切割该重布芯片的封胶体,以形成数个封装件,其中该边缘区被切除;

其中形成该些焊球的步骤包括:

形成一第一介电层于该芯片区及该边缘区的该第一表面上,该第一介电层具有数个开口,以暴露出该些接垫;

形成一重新布线层于该芯片区、该边缘区、该第一介电层、该些暴露出的接垫及该些开口的侧壁;

形成数个焊垫于该重新布线层上;

形成一第二介电层于该重新布线层及该第一介电层上;及

形成该些焊球于该些焊垫上,

其中,配置数个芯片于该黏贴层上的该步骤之前,更包括:配置至少一对位记号组件于该黏贴层上且依据该对位记号组件配置数个芯片于该黏贴层上,

其中该些焊球包括数个信号输出输入锡球及数个支撑球,且在形成该些焊球的步骤包括:配置该些信号输出输入锡球于每一该些芯片的该主动表面上;以及配置该些支撑球于该对位记号组件的表面。

2. 如权利要求1所述的制造方法,其中该些焊球包括数个信号输出输入锡球及数个支撑球,且在形成该些焊球的步骤包括:

配置该些信号输出输入锡球于每一该些芯片的该主动表面上;以及

配置该些支撑球于该重布芯片的封胶体的该边缘区。

3. 如权利要求1所述的制造方法,其中形成该些焊球的步骤之前包括:

形成一第一介电层于该芯片、该对位记号组件及该边缘区;

形成一重新布线层于该芯片、该对位记号组件及该边缘区;

形成数个焊垫于该重新布线层上;以及

设置该些焊球于该些焊垫上。

4. 如权利要求3所述的制造方法,其中设置该些焊球于该些焊垫上的步骤中,该些焊球更设置于该对位记号组件的下方。

5. 如权利要求1所述的制造方法,其中在形成该些焊球的步骤中,该些焊球等距地形成于该重布芯片的封胶体的该芯片区及该边缘区。

6. 一种半导体封装件的制造方法,包括下列步骤:

提供具有一黏贴层的一载具；

配置至少一个对位记号组件于该黏贴层上且依据该对位记号组件配置至少一个芯片于该黏贴层上,其中该芯片具有一面向该黏贴层的主动表面且包括数个接垫于该主动表面上;

形成一封胶包覆该芯片及该对位记号组件并形成一重布芯片的封胶体,其中该重布芯片的封胶体包括一第一表面及相对的一第二表面,且该第一表面包括一芯片区及一边缘区,该边缘区围绕该芯片区,该芯片及该对位记号组件位于该芯片区;

移除该载具及该黏贴层,使该重布芯片的封胶体暴露出该芯片的主动表面及该对位记号组件;

形成一第一介电层于该芯片区及该边缘区的该第一表面上,该第一介电层具有数个开口,以暴露出该些接垫;

形成一重新布线层于该芯片区、该边缘区、该第一介电层、该些暴露出的接垫及该些开口的侧壁;

形成一第二介电层于该重新布线层及该第一介电层上;

将数个信号输出输入锡球配置于该重布芯片的封胶体的该第一表面上;

将数个支撑球配置于该对位记号组件的下方及该边缘区下方;

研磨该重布芯片的封胶体,以减少该重布芯片的封胶体的厚度,其中该些信号输出输入锡球及该些支撑球提供该重布芯片的封胶体一均匀的支撑力;以及

切割该重布芯片的封胶体,以形成数个封装件,其中该边缘区被切除。

7. 如权利要求6所述的制造方法,其中该方法更包括:

形成数个焊垫于该重新布线层上,其中该些信号输出输入锡球及该些支撑球形成于该些焊垫上。

8. 一种半导体封装件,包括:

数个芯片,每一该些芯片具有一主动表面且包括数个接垫于该主动表面上;

一封胶,包覆该些芯片,以形成一重布芯片的封胶体,其中该重布芯片的封胶体包括相对的一第一表面及一第二表面,其中该第一表面包括一芯片区;

一第一介电层,设置于该芯片区的该第一表面上,该第一介电层具有数个开口,以暴露出该些接垫;

一重新布线层,设置于该第一介电层、该些暴露出的接垫及该些开口的侧壁;

一第二介电层,设置于该重新布线层及该第一介电层;以及

数个焊球,设置于该重布芯片的封胶体的该第一表面上的该芯片区,用以提供该重布芯片的封胶体一均匀的支撑力;

其中,该半导体封装件是切割后的封装结构,其不包含切割前的一边缘区及设于该边缘区上的支撑球。

9. 如权利要求8所述的封装件,其中该些焊球包括:

数个信号输出输入锡球,配置于该些芯片的主动表面上。

10. 如权利要求8所述的封装件,其中该封装件更包括:

至少一对位记号组件,配置于该些芯片之间,该对位记号组件与邻近的芯片间的一间距等于两相邻芯片间的一间距。

11. 如权利要求10所述的封装件,其中该些焊球包括:

数个信号输出输入锡球,配置于该些芯片的主动表面上。

12. 如权利要求8所述的封装件,其中该第二介电层具有数个开口,以暴露出该重新布线层且该封装件更包括:

数个焊垫,配置于该重新布线层上,其中该些焊球设置于该些焊垫上。

半导体封装件及其制造方法

技术领域

[0001] 本发明是有关于一种半导体封装件及其工艺,且特别是有关于一种重布芯片的封装体级的封装件及其封装工艺(Chip-redistribution Encapsulant Level PackageProcess)。

背景技术

[0002] 近年来电子装置蓬勃的应用于日常生活中,业界无不致力发展微型且多功能的电子产品,以符合市场需求。目前业界推出许多不同型态的半导体封装,然而大部分的封装工艺为将重布芯片的封装体上的多个晶粒先行切割成为个别的晶粒,之后再对每一个别的晶粒进行封装以及测试。

[0003] 有别于传统以单一芯片(die)为加工标的的封装技术,重布芯片的封装体级封装(Chip-redistribution Encapsulant Level Package)是以整片重布芯片的封装体(Chip-redistribution Encapsulant)作为封装处理的对象。换言之,相较于传统的单一芯片封装,重布芯片的封装体级封装是在尚未将个别的晶粒分离之前就对重布芯片的封装体上的晶粒进行封装。如此,将简化芯片封装之后段工艺,同时可节省了封装工艺时间及成本。也就是说,在重布芯片的封装体表面的组件、线路及其相关之前段工艺完成后,即可直接对整片重布芯片的封装体进行后段工艺,接着再进行重布芯片的封装体切割(saw)的步骤,以形成多个芯片封装件(chip package)。因此,重布芯片的封装体级封装已然成为半导体封装的趋势。

[0004] 由于半导体芯片日渐趋向薄化、小型化,就目前的重布芯片的封装体级封装技术而言,往往在进行研磨工艺以降低上述半导体重布芯片的封装体的高度时会发生芯片断裂等现象,导致封装的良率大幅降低而使制造成本相对增加。请参照图1,绘示已知重布芯片的封装体发生断裂的位置示意图。重布芯片的封装体包括芯片区10及边缘区20。多个芯片及对位记号组件(G)120设置于芯片区10。在该些芯片中,除了正常的芯片100以外,边缘区20附近的芯片102以及对位记号组件(G)120附近的芯片104几乎都发生断裂现象。

[0005] 详言之,请参照图2A所绘示的重布芯片的封装体于研磨工艺受力的示意图。对于较薄的封装件来说,为了避免在植球的过程中发生翘曲(warpage)现象,工艺上是采取先植球再研磨的顺序。在进行研磨前,重布芯片的封装体表面先贴上一层研磨胶带262以避免重布芯片的封装体表面直接受力。尽管如此,当研磨治具260从重布芯片的封装体背面对封装240进行研磨时,由于焊球250已形成于芯片2301、2302、2303上,致使整个重布芯片的封装体的受力不均。如图2A所示,重布芯片的封装体的边缘区A1的受力P1以及芯片区A2中的对位记号组件220的正下方处的受力P3、P4较重布芯片的封装体的其它位置所受的力P2、P5要大。因此,边缘区A1附近的芯片2301,其两侧的受力大小不一致($P1 > P2$)。再者,对位记号组件220附近的芯片2302、2303,其两侧的受力大小也同样不一致($P3 > P2$ 且 $P4 > P5$)。导致靠近边缘区A1的芯片2301及对位记号组件220附近的芯片2302、2303产生断裂。尤其,此芯片断裂现象并无法由机台自动检出,而须由人工透过光学显微镜对每一个芯片一一地作检

查,徒增人力上的成本。

发明内容

[0006] 本发明有关于一种半导体封装件及其制造方法,经由支撑结构来提供重布芯片的封胶体一均匀的支撑力,避免在研磨过程中因芯片受力不均而发生断裂现象,使封装件在朝向薄化的趋势下能免于受到外在的损害,进而提高封装的良率。

[0007] 根据本发明的一方面,提出一种半导体封装件的制造方法,包括下列步骤:提供具有一黏贴层的一载具;配置数个芯片于黏贴层上,其中芯片具有一面向黏胶层的主动表面且包括数个接垫于主动表面上;形成一封胶包覆该些芯片以形成一重布芯片的封胶体,其中重布芯片的封胶体包括第一表面及相对的第二表面,且第一表面包括一芯片区及一边缘区,边缘区围绕芯片区;移除载具及黏贴层,使重布芯片的封胶体暴露出每一芯片的主动表面;将数个焊球均匀地形成于第一表面的芯片区及边缘区;研磨重布芯片的封胶体,以减少重布芯片的封胶体的厚度,其中该些焊球提供重布芯片的封胶体一均匀的支撑力;以及切割重布芯片的封胶体,以形成数个封装件。

[0008] 根据本发明的另一方面,提出一种半导体封装件的制造方法,包括下列步骤:提供具有一黏贴层的一载具;配置至少一个对位记号组件于黏贴层上且依据该对位记号组件配置数个芯片于黏贴层上,其中芯片具有一面向黏胶层的主动表面且包括数个接垫于主动表面上;形成一封胶包覆该些芯片及对位记号组件并形成一重布芯片的封胶体,其中重布芯片的封胶体包括一第一表面及相对的一第二表面,且第一表面包括一芯片区及一边缘区,边缘区围绕芯片区,该些芯片及对位记号组件位于芯片区;移除载具及黏贴层,使重布芯片的封胶体暴露出芯片的主动表面及对位记号组件;将数个信号输出输入锡球配置于重布芯片的封装体的第一表面上;将数个支撑球配置于对位记号组件的下方及边缘区下方;研磨重布芯片的封胶体,以减少重布芯片的封胶体的厚度,其中该些焊球提供重布芯片的封胶体一均匀的支撑力;以及切割重布芯片的封胶体,以形成数个封装件。

[0009] 根据本发明的再一方面,提出一种半导体封装件,包括:数个芯片、一封胶、以及数个焊球。每一芯片具有一主动表面且包括数个接垫于该主动表面上。封胶包覆该些芯片,以形成一重布芯片的封胶体。重布芯片的封胶体包括相对的一第一表面及一第二表面。第一表面包括一芯片区及一边缘区,且边缘区围绕芯片区。数个焊球设置于重布芯片的封胶体的第一表面上的芯片区及边缘区,用以提供重布芯片的封胶体一均匀的支撑力。

[0010] 为了让本发明的上述内容能更明显易懂,下文特举一较佳实施例,并配合所附图式,作详细说明如下:

附图说明

[0011] 图1(已知技艺)绘示重布芯片的封胶体发生断裂的位置示意图。

[0012] 图2A(已知技艺)绘示重布芯片的封胶体于研磨工艺的受力示意图。

[0013] 图2B绘示依照本发明较佳实施例的重布芯片的封胶体于研磨工艺的受力示意图。

[0014] 图3绘示依照本发明较佳实施例的半导体封装件的制造方法流程图。

[0015] 图4A至4G绘示依照本发明较佳实施例的半导体封装件的制造方法的示意图。

[0016] 图5绘示依照本发明较佳实施例的半导体封装件的示意图。

- [0017] 图6绘示依照本发明较佳实施例的一种芯片区支撑结构的示意图。
- [0018] 图7绘示依照本发明较佳实施例的一种边缘区支撑结构的示意图。
- [0019] 主要组件符号说明：
- [0020] 10、A2、C：芯片区
- [0021] 20、A1、S：边缘区
- [0022] 100、430、4301、4302、4303、530：芯片
- [0023] 102、104、2301、2302、2303：断裂的芯片
- [0024] 120、420、620：对位记号组件
- [0025] 240、440、540、640、740：封胶
- [0026] 250、450：焊球
- [0027] 260、460：研磨治具
- [0028] 262、462：研磨胶带
- [0029] 400：重布芯片的封胶体
- [0030] 400a：第一表面
- [0031] 400b：第二表面
- [0032] 410：载具
- [0033] 412：黏贴层
- [0034] 420a：表面
- [0035] 430a：主动表面
- [0036] 470：切割治具
- [0037] 500：封装件
- [0038] 504：扇出部
- [0039] 532：接垫
- [0040] 550：信号输出输入锡球
- [0041] 552、652、752：第一介电层
- [0042] 554、654、754：重新布线层
- [0043] 556、656、756：第二介电层
- [0044] 556a、656a、756a：开口
- [0045] 558、658、758：焊垫
- [0046] 600：芯片区支撑结构
- [0047] 650、750：支撑球
- [0048] 700：边缘区支撑结构

具体实施方式

[0049] 本发明主要提出一种半导体封装件及其制造方法，使重布芯片的封胶体具有支撑结构，以于背面研磨(backside grinding)工艺中提供重布芯片的封胶体一均匀的支撑力。在以下的实施例中，支撑结构可设置于重布芯片的封胶体的边缘区，亦可设置于对位记号组件的下方，以使整片重布芯片的封胶体实质上具有一致的厚度与强度。

[0050] 请参照图3，其绘示依照本发明较佳实施例的半导体封装件的制造方法流程图。

另,请同时参照图4A至4G,其绘示此制造方法的示意图。

[0051] 首先,于图3的步骤301及图4A中,提供具有一黏贴层412的一载具(carrier)410。黏贴层412的两表面皆具有黏性,其中一表面是黏贴于载具410。

[0052] 接着,于图3的步骤302及图4B中,配置至少一个对位记号组件(alignmentmarks)420于黏贴层412上,且依据对位记号组件420配置数个芯片430于黏贴层412上,以使每个芯片430都能准确地定位。由于黏贴层412的另一表面亦具有黏性,对位记号组件420的表面420a及芯片430的主动表面是面向黏贴层412且直接贴附于黏贴层412的另一表面。较佳地,对位记号组件420为一空白芯片(dummy chip)。

[0053] 如图3的步骤303及图4C所示,形成一封胶440于黏贴层412上,以包覆该些芯片430及对位记号组件420并形成一重布芯片的封胶体400,其中重布芯片的封胶体400包括一第一表面400a及相对的一第二表面400b,且第一表面400a包括一芯片区C及一边缘区S,边缘区S围绕芯片区C,该些芯片430及对位记号组件420位于芯片区C。重布芯片的封胶体400的形状可以如图1所示的圆形,亦可为椭圆形、方形、矩形等其它形状。此封胶440的形成步骤例如以点胶方式置放一封胶材料,并加热封胶材料,使其固化为封胶。

[0054] 再者,于图3的步骤304及图4D所示,从重布芯片的封胶体400的第一侧(亦即重布芯片的封胶体表面)依序移除载具410及黏贴层412(绘示于图4C),使重布芯片的封胶体400的第一侧暴露出该些芯片430的主动表面430a及对位记号组件420的表面420a。

[0055] 接着,于图4E中,将整个重布芯片的封胶体400上下翻转,以利于图3的步骤305中从重布芯片的封胶体400的第一侧将数个焊球450均匀地形成于芯片区C及边缘区S。如图4E所示,该些焊球450较佳地以等距的方式形成于芯片区C及边缘区S。另请同时参照图5、6及7,其分别绘示本发明较佳实施例的半导体封装件500、芯片区支撑结构600及边缘区支撑结构700的示意图。本发明较佳实施例的焊球包括数个信号输出输入锡球550及数个支撑球650、750,且形成焊球的步骤尚可细分为以下步骤。如图5、6及7所示,数个接垫532先配置于芯片530的主动表面,并于芯片区C形成第一介电层552、652,且于边缘区S形成第一介电层752,且使接垫532从第一介电层552暴露出来。接着,形成重新布线层554、654于芯片区C的第一介电层552、652上且形成重新布线层754于边缘区S的第一介电层752上。再者,形成数个焊垫558、658于芯片区C的重新布线层554、654上,并形成数个焊垫758于边缘区S的重新布线层754上。尔后,于芯片区C形成第二介电层556、656,并于边缘区S形成第二介电层756,且使焊垫558、658、758分别从第二介电层556、656、756的开口556a、656a、756a暴露出来。再者,配置数个信号输出输入锡球550于焊垫558,且配置数个支撑球于焊垫658、758,以使该些焊球550、650、750分别位于芯片530、对位记号组件620及边缘区S的封胶740的下方。焊球的高度,例如是240 μm ;而第二介电层的厚度,例如是6 μm 。

[0056] 此外,如图4F所示,将整个重布芯片的封胶体400再次上下回转,并且于进行研磨前,将重布芯片的封胶体表面先贴上一层研磨胶带462于重布芯片的封胶体400的第一侧,以避免重布芯片的封胶体表面直接受力而使焊球450于研磨过程受损。此研磨胶带462较佳地为一紫外光胶带(UV tape)。于图3的步骤306,从重布芯片的封胶体400的第二侧(亦即重布芯片的封胶体背面)对封胶440进行研磨,以减少重布芯片的封胶体400的厚度,其中该些焊球450提供重布芯片的封胶体400一均匀的支撑力。

[0057] 关于此点,请参照图2B,其绘示依照本发明较佳实施例的重布芯片的封胶体于背

面研磨工艺的受力示意图。当研磨治具460从重布芯片的封胶体背面对封胶440进行研磨时,不但焊球450已于步骤306形成于芯片4301、4302、4303上,更形成于重布芯片的封胶体的边缘区S及对位记号组件420的下方以分别作为边缘区的支撑结构及芯片区的支撑结构,使得整个重布芯片的封胶体能有均匀的受力。如图2B所示,重布芯片的封胶体的边缘区S的受力 $P1'$ 以及芯片区C中的对位记号组件420的正下方处的受力 $P3'$ 、 $P4'$ 与重布芯片的封胶体的其它位置所受的力 $P2'$ 、 $P5'$ 相同。因此,每个芯片4301、4302、4303的两侧的受力大小一致($P1' = P2'$; $P3' > P2'$ 且 $P4' > P5'$),可有效避免靠近边缘区S的芯片4301及对位记号组件420附近的芯片4302、4303因受力不均而产生的断裂现象。

[0058] 完成研磨后且于切割该重布芯片的封胶体的步骤前,移除研磨胶带462。最后,在图3的步骤307及图4G中,依据数个芯片430的位置,以切割治具470切割重布芯片的封胶体400,以形成数个封装件,而完成本发明较佳实施例的半导体封装件的制造方法。本发明的半导体封装件较佳地为一扇出式封装结构,如图5所示,扇出式封装结构包括一扇出部(fan-out portion)504,围绕芯片530的周围,其中,第一介电层552、重新布线层554、第二介电层556、焊垫558及焊球550更延伸设置于该扇出部554,以使较多的信号输出输入锡球550均匀地分布于封装件500上,而能扩大接触点。

[0059] 本发明上述实施例所揭露的半导体封装件及其制造方法,于重布芯片的封胶体的边缘区及对位记号组件的下方设置支撑结构,藉此提供重布芯片的封胶体一均匀的支撑力,使整片重布芯片的封胶体在背面研磨工艺中实质上具有一致的厚度与强度,而可以避免因芯片受力不均而发生断裂现象,使封装件在朝向薄化的趋势下能免于受到外在的损害,进而提高封装的良率及效率,且能节省人力成本。

[0060] 综上所述,虽然本发明已以一较佳实施例揭露如上,然其并非用以限定本发明。本发明所属技术领域中具有通常知识者,在不脱离本发明的精神和范围内,当可作各种的更动与润饰。因此,本发明的保护范围当视后附的权利要求书所界定者为准。

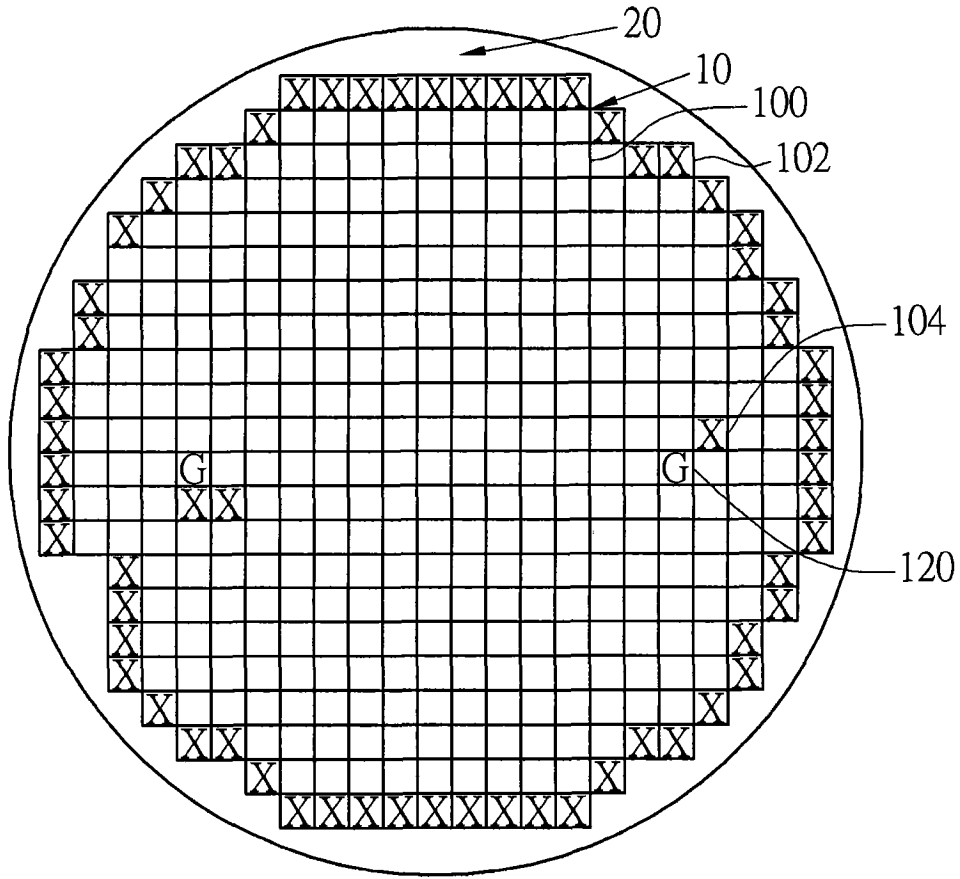


图1(现有技术)

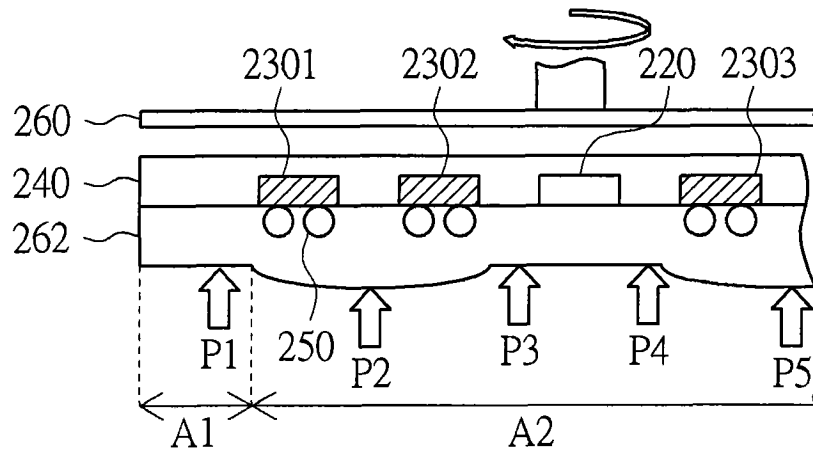


图2A(现有技术)

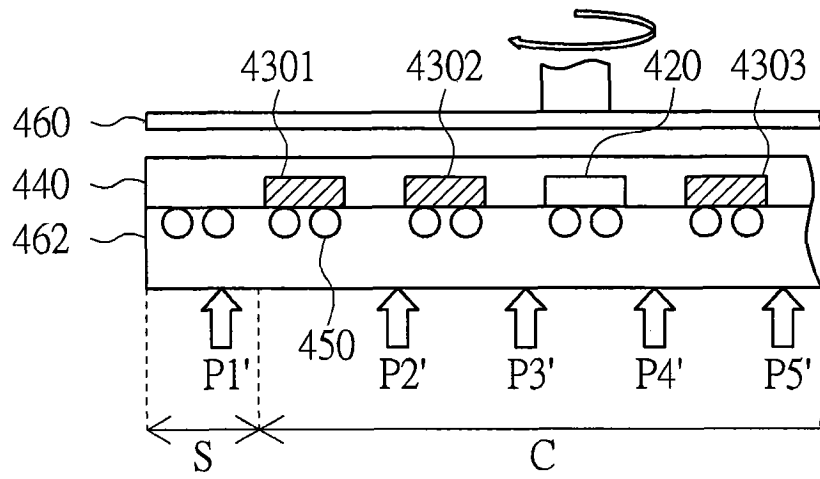


图2B(现有技术)

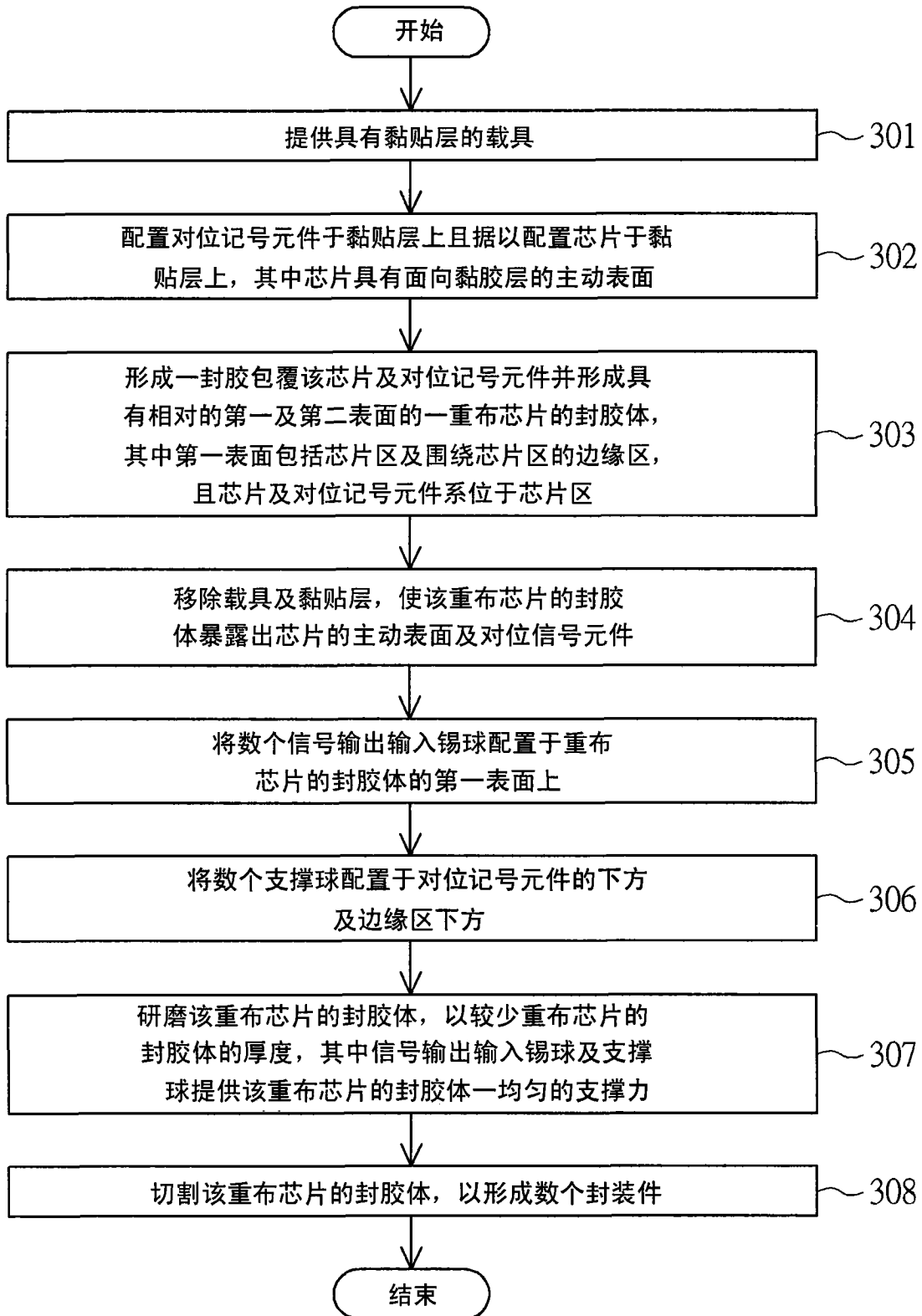


图3

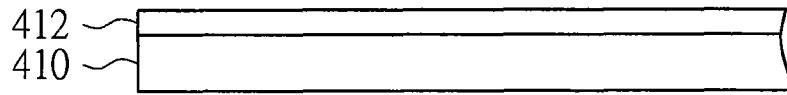


图4A

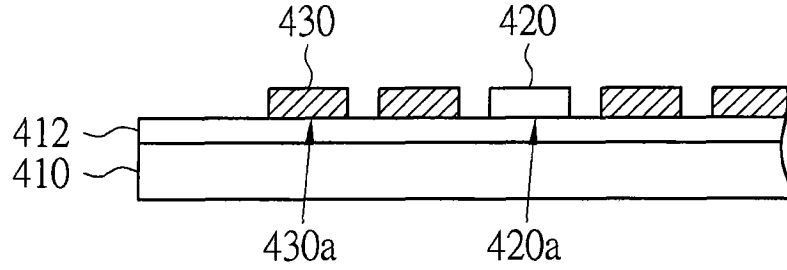


图4B

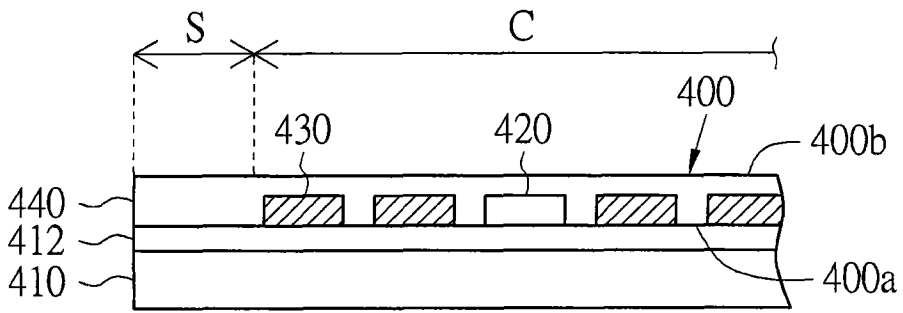


图4C

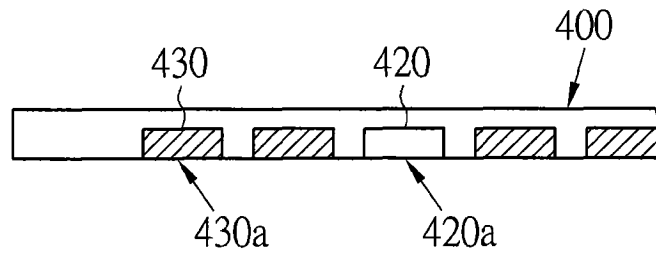


图4D

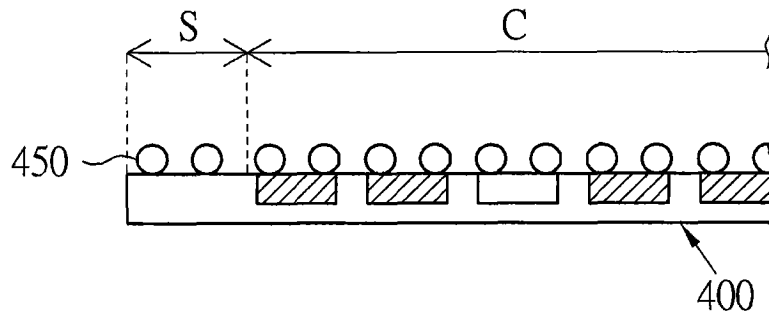


图4E

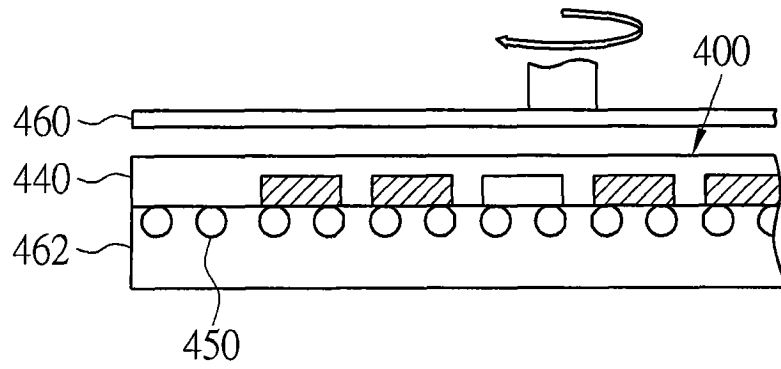


图4F

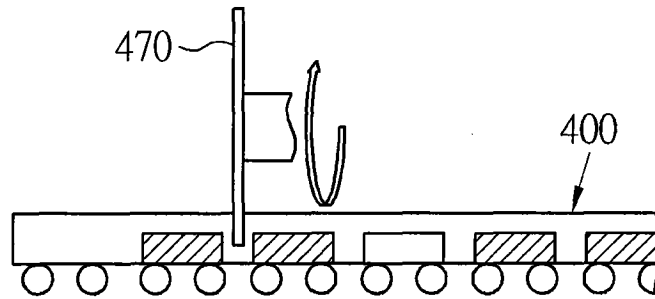


图4G

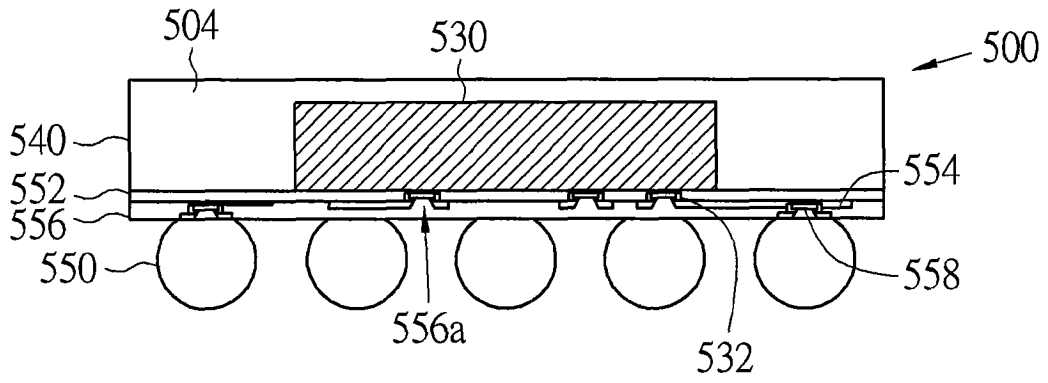


图5

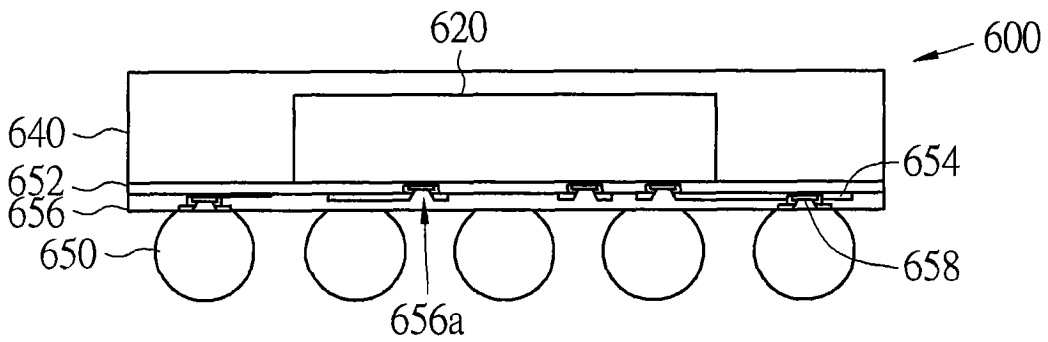


图6

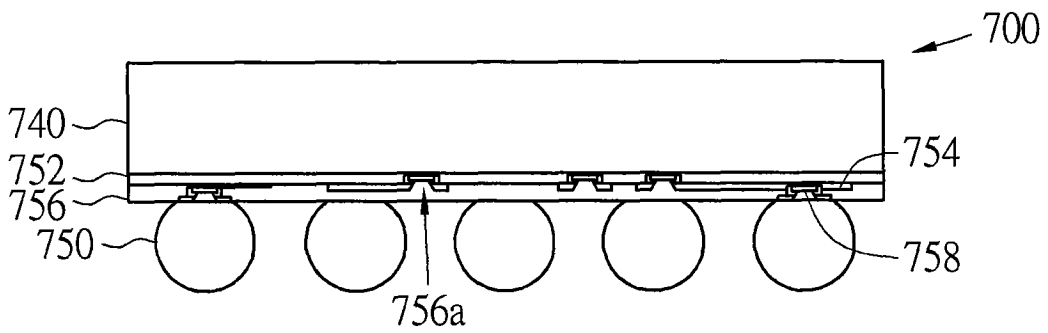


图7