

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4252537号
(P4252537)

(45) 発行日 平成21年4月8日(2009.4.8)

(24) 登録日 平成21年1月30日(2009.1.30)

(51) Int. Cl.		F I		
HO 1 L	21/8246	(2006.01)	HO 1 L	27/10 4 4 4 B
HO 1 L	27/105	(2006.01)	HO 1 L	27/10 6 5 1
HO 1 L	21/8242	(2006.01)	HO 1 L	27/10 6 8 1 F
HO 1 L	27/108	(2006.01)	HO 1 L	27/10 4 8 1
HO 1 L	27/10	(2006.01)		

請求項の数 9 (全 18 頁)

(21) 出願番号	特願2004-562848 (P2004-562848)	(73) 特許権者	308014341 富士通マイクロエレクトロニクス株式会社 東京都新宿区西新宿二丁目7番1号
(86) (22) 出願日	平成14年12月25日(2002.12.25)	(74) 代理人	100091672 弁理士 岡本 啓三
(86) 国際出願番号	PCT/JP2002/013485	(72) 発明者	佐次田 直也 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
(87) 国際公開番号	W02004/059736	審査官	柴山 将隆
(87) 国際公開日	平成16年7月15日(2004.7.15)	(56) 参考文献	特開昭63-248137 (JP, A) 特開昭61-026227 (JP, A) 特開2002-289793 (JP, A)
審査請求日	平成17年1月27日(2005.1.27)		

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の上方に第1の絶縁膜を形成する工程と、
前記第1の絶縁膜の上に下部電極と強誘電体膜又は高誘電体膜と上部電極とを有するキャパシタを形成する工程と、
前記キャパシタを被覆する第2の絶縁膜を形成する工程と、
前記第2の絶縁膜を形成した後、前記半導体基板の裏面にキャパシタにかかる応力が小さくなるように応力制御絶縁膜を形成する工程と
を有することを特徴とする半導体装置の製造方法。

【請求項2】

前記第2の絶縁膜及び前記応力制御絶縁膜は、ともに同じ圧縮応力、又は同じ引張応力を有することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】

前記第2の絶縁膜及び前記応力制御絶縁膜は、それぞれ2層以上の多層構造を有することを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】

前記第2の絶縁膜及び前記応力制御絶縁膜はシリコンを含む絶縁膜の単層又は多層構造であることを特徴とする請求項1乃至3の何れか一に記載の半導体装置の製造方法。

【請求項5】

前記第2の絶縁膜及び前記応力制御絶縁膜を化学気相成長により成膜することを特徴と

10

20

する請求項 1 乃至 4 の何れか一に記載の半導体装置の製造方法。

【請求項 6】

前記第 2 の絶縁膜及び前記応力制御絶縁膜を 400 以下の成膜温度で形成することを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】

前記第 2 の絶縁膜及び前記応力制御絶縁膜を同じ化学気相成長法及び成膜条件で成膜することを特徴とする請求項 5 又は 6 に記載の半導体装置の製造方法。

【請求項 8】

前記第 1 の絶縁膜を形成する工程の前に、前記半導体基板の上にトランジスタを形成する工程を有することを特徴とする請求項 1 乃至 7 の何れか一に記載の半導体装置の製造方法。

10

【請求項 9】

前記下部電極上に複数のキャパシタが形成されており、前記下部電極は前記複数のキャパシタについて共通となっていることを特徴とする請求項 8 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関し、より詳しくは、キャパシタを有する半導体装置の製造方法に関する。

20

【背景技術】

【0002】

電源を切っても情報を記憶することができる不揮発性メモリとして、フラッシュメモリや強誘電体メモリ (FeRAM) が知られている。

【0003】

フラッシュメモリは、絶縁ゲート型電界効果トランジスタ (IGFET) のゲート絶縁膜中に埋め込んだフローティングゲートを有し、記憶情報となる電荷をフローティングゲートに蓄積することによって情報を記憶する。情報の書込、消去にはゲート絶縁膜を通過するトンネル電流を流す必要があり、比較的高い電圧を必要とする。

【0004】

30

FeRAM は、強誘電体のヒステリシス特性を利用して情報を記憶する強誘電体キャパシタを有している。強誘電体キャパシタにおいて上部電極と下部電極の間に形成される強誘電体膜は、上部電極及び下部電極の間に印加する電圧に応じて分極を生じ、印加電圧の極性を反転すれば、自発分極の極性も反転する。この自発分極の極性、大きさを検出すれば情報を読み出すことができる。

【0005】

FeRAM は、フラッシュメモリに比べて低電圧で動作し、省電力で高速の書き込みができるという利点がある。

【0006】

FeRAM のメモリセルは、例えば文献 1 (特開 2001-60669 号公報) に記載されているように、シリコン基板に形成された MOS トランジスタと、シリコン基板及び MOS トランジスタ上に形成された第 1 の層間絶縁膜と、第 1 の層間絶縁膜上に形成された強誘電体キャパシタと、強誘電体キャパシタ及び第 1 の層間絶縁膜上に形成された第 2 の層間絶縁膜と、第 1 及び第 2 の層間絶縁膜に形成されたホール内に埋め込まれて MOS トランジスタに接続される導電性プラグと、導電性プラグと強誘電体キャパシタの上部電極を接続する第 1 の配線パターンと、第 1 の配線パターン及び第 2 の層間絶縁膜の上に形成された第 3 の層間絶縁膜と、第 3 の層間絶縁膜上に形成された第 2 の配線パターンとを有している。

40

【0007】

ところで、第 1 の配線パターンをアルミニウムから形成する場合には、第 1 の配線パタ

50

ーンの引張応力によって強誘電体キャパシタの残留分極特性が劣化する。これを改善するため、強誘電体キャパシタを構成する強誘電体膜のキュリー点を超える温度でアルミニウム膜を加熱して引張応力を緩和した後に、アルミニウム膜をパターンニングして配線パターンを形成することが、文献2（特開2001-36025号公報）に記載されている。

【0008】

また、強誘電体キャパシタに対して引張応力となるように層間絶縁膜を形成することが文献3（特開平11-330390号公報）に記載されている。

【0009】

さらに、キャパシタを形成する前に基板表面に形成したSiN膜の組成及び膜厚と同じ組成及び膜厚を有するSiN膜を基板の裏面に形成することにより、基板の反りを抑える方法が文献4（特開平6-188249号公報）に記載されている。

10

【0010】

文献1によれば、強誘電体キャパシタを覆う層間絶縁膜は、圧縮（compressive）応力が強く、自らが膨張しようとする方向の力が働く。従って、強誘電体キャパシタの上に層間絶縁膜を複数重ねて形成する場合、成膜毎に、強誘電体キャパシタには収縮力が加わることになり、強誘電体キャパシタを劣化させる。

【0011】

また、文献2によれば、第1の配線パターン同士の隙間には依然として層間絶縁膜が存在するので、第1の配線パターンの応力の如何に関わらず、層間絶縁膜の圧縮応力が強誘電体キャパシタを劣化させるという問題は残っている。

20

【0012】

また、文献3によれば、引張応力を有する層間絶縁膜は水分が多く、水分により強誘電体キャパシタを劣化させてしまうという別の問題が生じてしまう。

【0013】

さらに、文献4の方法では、ウエハ内でキャパシタにかかる応力のばらつきが大きく、均一な応力調整が難しいことが本願発明者の調査で分かった。

【発明の開示】

【0014】

本発明の目的は、層間絶縁膜に覆われるキャパシタの特性を良好に、かつ均一に維持し、或いは向上させることができる半導体装置の製造方法を提供することにある。

30

【0015】

上記した課題は、半導体基板の上方に第1の絶縁膜を形成する工程と、前記第1の絶縁膜の上に下部電極と強誘電体膜又は高誘電体膜と上部電極とを有するキャパシタを形成する工程と、前記キャパシタを被覆する第2の絶縁膜を形成する工程と、前記第2の絶縁膜を形成した後、前記半導体基板の裏面にキャパシタにかかる応力が小さくなるように応力制御絶縁膜を形成する工程とを有することを特徴とする半導体装置の製造方法によって解決される。

【0016】

本発明によれば、キャパシタを被覆する第2の絶縁膜を形成した後に、基板の裏面に応力制御絶縁膜を成膜している。例えば、第2の絶縁膜と同じ圧縮応力、又は同じ引張応力を有するように応力制御絶縁膜を形成する。これにより、第2の絶縁膜によって生じる応力が緩和されるとともに、均一な応力調整が可能となり、その結果キャパシタの特性を良好に、かつ均一に維持でき、或いはその向上を図ることができる。本願発明者の実験によれば、本願発明を、強誘電体のキャパシタ絶縁膜を備えたFeRAMの製造方法に適用したとき、スイッチングチャージの特性及びそのばらつきの向上を図ることができた。

40

【0017】

さらに、ウエハ全体として応力を低減することができるので、プレーナ構造のFeRAMに顕著に生じていた所謂端劣化を防止することができる。端劣化とは、複数のキャパシタに共通する下部電極上の端部のキャパシタの誘電体膜の側部に応力が集中することによってキャパシタ特性が劣化しやすくなるという現象をいう。これは、TEOSを原料とし

50

て形成される絶縁膜をキャパシタ上に形成した場合に起こることがある。

【0018】

また、本願発明では、特に、第2の絶縁膜と応力制御絶縁膜とに同じ圧縮応力を付与することができるが、この場合、水分含有量の少ない、良質な絶縁膜でキャパシタを被覆することができるため、好ましい。

【0019】

また、半導体基板の裏面に形成した応力制御絶縁膜は、不要であれば除去することができる。この場合、第2の絶縁膜を貫通するホールを通してキャパシタの上部電極と接続する配線を第2の絶縁膜上に形成する工程よりも後に、応力制御絶縁膜を除去するとよい。これは、エッチングによりキャパシタの上部電極の上方の第2の絶縁膜に形成したホールを通して、キャパシタの誘電体膜の膜質を改善するために、高温でアニールする工程が行われるが、このアニールが終了した後ではそれ以上の高温の熱処理工程はなく、かつ第2の絶縁膜上に配線を形成した後では、応力制御絶縁膜を除去しても一旦調整した応力の変化が少ないからである。

10

【発明を実施するための最良の形態】

【0020】

以下に、本発明の実施形態を図面に基づいて説明する。

【0021】

図1～図11は、本発明の実施形態に係るプレーナ構造のFeRAMの製造工程を示す断面図である。

20

【0022】

図1に示す構造を形成するまでの工程について説明する。

【0023】

まず、図1に示すように、n型又はp型のシリコン(半導体)基板1表面に素子分離絶縁膜2をLOCOS(Local Oxidation of Silicon)法により形成する。素子分離絶縁膜2としては、LOCOS法により形成される構造の他に、STI(Shallow Trench Isolation)構造を採用してもよい。

【0024】

そのような素子分離絶縁膜2を形成した後に、シリコン基板1のメモリセル領域Aと周辺回路領域Bにおける所定の活性領域(トランジスタ形成領域)にp型不純物、n型不純物を選択的に導入して、pウェル3a及びnウェル3bを形成する。なお、周辺回路領域BではCMOSを形成するためにnウェル3bのみならず、pウェル(不図示)も形成される。

30

【0025】

その後、シリコン基板1の活性領域表面を熱酸化して、ゲート絶縁膜4となるシリコン酸化膜を形成する。

【0026】

次に、シリコン基板1の上側全面に非晶質又は多結晶のシリコン膜を形成し、次いで、不純物のイオン注入によりシリコン膜を低抵抗化する。その後、シリコン膜をフォトリソグラフィ法により所定の形状にパターンニングして、ゲート電極5a、5b、5c及び配線5dを形成する。

40

【0027】

メモリセル領域Aでは、1つのpウェル3a上には2つのゲート電極5a、5bがほぼ平行に間隔をおいて配置され、図の紙面に垂直な方向に延びている。それらのゲート電極5a、5bはワード線WLの一部を形成している。

【0028】

次に、メモリセル領域Aにおいて、ゲート電極5a、5bの両側のpウェル3a内にn型不純物をイオン注入して、nチャンネルMOSトランジスタのソース/ドレインとなる3つのn型不純物拡散領域6aを形成する。これと同時に、周辺回路領域Bのpウェル(不図示)にもn型不純物拡散領域を形成する。

50

【 0 0 2 9 】

続いて、周辺回路領域 B において、n ウェル 3 b のうちゲート電極 5 c の両側に p 型不純物をイオン注入して、p チャネル MOS トランジスタのソース/ドレインとなる p 型不純物拡散領域 6 b を形成する。

【 0 0 3 0 】

続いて、シリコン基板 1 の全面に絶縁膜を形成した後、その絶縁膜をエッチバックしてゲート電極 5 a ~ 5 c の両側部分にのみ側壁絶縁膜 7 として残す。その絶縁膜として、たとえば C V D (Chemical Vapor Deposition) 法により酸化シリコン (SiO_2) を形成する。

【 0 0 3 1 】

さらに、ゲート電極 5 a ~ 5 c と側壁絶縁膜 7 をマスクに使用して、p ウェル 3 a 内に再び n 型不純物イオンを注入することにより、n 型不純物拡散領域 6 a を L D D 構造にし、更に n ウェル 3 b 内に再び p 型不純物イオンを注入することにより p 型不純物拡散領域 6 b も L D D 構造とする。

10

【 0 0 3 2 】

なお、n 型不純物と p 型不純物の打ち分けは、レジストパターンを使用して行われる。

【 0 0 3 3 】

以上のように、メモリセル領域 A では、p ウェル 3 a とゲート電極 5 a , 5 b とその両側の n 型不純物拡散領域 6 a 等によって n 型 MOS F E T が構成され、また、周辺回路領域 B では、n ウェル 3 b とゲート電極 5 c とその両側の p 型不純物拡散領域 6 b 等によって p 型 MOS F E T が構成される。

20

【 0 0 3 4 】

次に、全面に高融点金属膜、例えば、Ti、Co の膜を形成した後に、この高融点金属膜を加熱して n 型不純物拡散領域 6 a 、 p 型不純物拡散領域 6 b の表面にそれぞれ高融点金属シリサイド層 8 a , 8 b を形成する。その後、ウェットエッチにより未反応の高融点金属膜を除去する。

【 0 0 3 5 】

次に、プラズマ C V D 法により、シリコン基板 1 の全面にカバー膜 9 として酸化シリコン (SiON) 膜を約 2 0 0 n m の厚さに形成する。さらに、T E O S ガスを用いるプラズマ C V D 法により、第 1 の層間絶縁膜 1 0 として二酸化シリコン (SiO_2) をカバー膜 9 上に約 1 . 0 μm の厚さに成長する。なお、T E O S ガスを用いるプラズマ C V D 法により形成される絶縁膜を、以下に、P E - T E O S 膜ともいう。

30

【 0 0 3 6 】

続いて、第 1 の層間絶縁膜 1 0 上面を化学的機械研磨 (C M P ; Chemical Mechanical Polishing) 法により研磨して平坦化する。

【 0 0 3 7 】

次に、図 2 (a) に示す構造を形成するまでの工程を説明する。

【 0 0 3 8 】

まず、アンモニア (NH_3) ガスのプラズマにより、平坦化された第 1 の層間絶縁膜 1 0 表面を改質する。なお、 NH_3 ガスのプラズマにより絶縁膜の表面を改質する処理を、以下に NH_3 プラズマ処理ともいう。

40

【 0 0 3 9 】

この工程における NH_3 プラズマ処理の条件として、例えば、チャンバ内に導入される NH_3 のガス流量を 3 5 0 sccm、チャンバ内の圧力を 1 Torr、基板温度を 4 0 0 、基板に供給される 1 3 . 5 6 MHz の高周波電源のパワーを 1 0 0 W、プラズマ発生領域に供給される 3 5 0 kHz の高周波電源のパワーを 5 5 W、電極・第 1 の層間絶縁膜間の距離を 3 5 0 mil s、プラズマ照射時間を 6 0 秒に設定する。

【 0 0 4 0 】

その後、図 2 (b) に示すように、第 1 の層間絶縁膜 1 0 の上に自己配向性を有する物質からなる中間層 (自己配向層) 1 1 を形成する。中間層 1 1 は例えば次のような工程により形成される。

50

【 0 0 4 1 】

まず、DCスパッタ法によって厚さ20nmのチタン(Ti)膜を第1の層間絶縁膜10上に形成し、続いて、RTA(rapid thermal annealing)によりTi膜を酸化して酸化チタン(TiO_x)膜を形成し、この TiO_x 膜を中間層11とする。

【 0 0 4 2 】

Ti膜の酸化条件として、例えば、基板温度を700、酸化時間を60秒間、酸化雰囲気中の酸素(O_2)とアルゴン(Ar)をそれぞれ1%、99%に設定する。なお、Ti膜は酸化されずにそのままの状態でも中間層11として使用されてもよい。

【 0 0 4 3 】

この中間層11は、この後に形成される第1の導電膜の配向強度を高める要素と、さらに第1の導電膜の上に成膜されるPZT系強誘電体膜中のPbが下層へ拡散するのをブロックする働きがある。また、中間層11は、次に形成される第1の導電膜12と第1の層間絶縁膜10との密着性を向上する働きもある。

10

【 0 0 4 4 】

中間層11を構成する自己配向性を有する物質としては、Tiの他に、アルミニウム(Al)、シリコン(Si)、銅(Cu)、タンタル(Ta)、窒化タンタル(TaN)、イリジウム(Ir)、酸化イリジウム(IrO_x)、プラチナ(Pt)などがある。以下の実施形態においても、中間層はこれらのいずれかの材料から選択される。

【 0 0 4 5 】

次に、図3(a)に示す構造を形成するまでの工程を説明する。

20

【 0 0 4 6 】

まず、中間層11上に、第1の導電膜12としてPt膜をスパッタ法で175nmの厚さに成膜する。Pt膜の成膜条件として、Arガス圧を0.6Pa、DCパワーを1kW、基板温度を100に設定する。ターゲットはプラチナである。

【 0 0 4 7 】

なお、第1の導電膜12として、イリジウム、ルテニウム、酸化ルテニウム、酸化ルテニウムストロンチウム($SrRuO_3$)等の膜を形成しても良い。本実施形態及び以下の実施形態において、第1の導電膜は自己配向性を有する物質から構成する。

【 0 0 4 8 】

次に、スパッタリング法により、 $PZT((Pb(Zr_{1-x}Ti_x)O_3))$ にランタン(La)が添加されたPLZT(lead lanthanum zirconate titanate; $(Pb_{1-3x/2}La_x)(Zr_{1-y}Ti_y)O_3$)膜を第1の導電膜12の上に100~300nm、例えば240nmの厚さに形成し、これを強誘電体膜13として使用する。なお、PLZT膜にはカルシウム(Ca)とストロンチウム(Sr)を添加することもある。

30

【 0 0 4 9 】

続いて、酸素雰囲気中にシリコン基板1を置き、RTAによってPLZT膜を結晶化する。その結晶化の条件として、例えば、基板温度を585、処理時間を20秒間、昇温速度を125/secに設定し、酸素雰囲気に導入される O_2 とArの割合を2.5%と97.5%とする。

【 0 0 5 0 】

強誘電体膜13の形成方法としては、上記したスパッタ法の他にスピンオン法、ゾルゲル法、MOD(Metal Organic Deposition)法、MOCVD法がある。また、強誘電体膜13の材料としてはPLZTの他に、PZT、 $SrBi_2(Ta_xNb_{1-x})_2O_9$ (但し、 $0 < x < 1$)、 $Bi_4Ti_2O_{12}$ などがある。なお、DRAMを形成する場合には、上記の強誘電体材料に代えて($BaSr$) TiO_3 (BST)、チタン酸ストロンチウム(STO)等の高誘電体材料を使用すればよい。

40

【 0 0 5 1 】

次に、図3(b)に示すように、強誘電体膜13上に第2の導電膜14を形成する。第2の導電膜14は、以下の2ステップによって形成される。

【 0 0 5 2 】

50

まず、強誘電体膜 1 3 上に、第 2 の導電膜 1 4 の下側導電層 1 4 a として酸化イリジウム (IrO_x) 膜をスパッタリング法により 20 ~ 75 nm、例えば 50 nm の厚さに形成する。その後、酸素雰囲気内で R T A により強誘電体膜 1 3 の結晶化と下側導電層 1 4 a へのアニール処理とを行う。R T A の条件として、基板温度を 725 、処理時間を 1 分間とするとともに、酸素雰囲気に導入される O_2 と Ar の割合をそれぞれ 1 % と 99 % とする。

【 0 0 5 3 】

続いて、第 2 の導電膜 1 4 の上側導電層 1 4 b として酸化イリジウム (IrO_x) 膜を下側導電層 1 4 a 上にスパッタリング法により 100 ~ 300 nm、例えば 200 nm の厚さに形成する。

【 0 0 5 4 】

なお、第 2 の導電膜 1 4 の上側導電層 1 4 b として、プラチナ膜又は酸化ルテニウムストロンチウム (S R O) 膜をスパッタ法により形成してもよい。

【 0 0 5 5 】

次に、図 4 (a) に示す構造を形成するまでの工程を説明する。

【 0 0 5 6 】

まず、上部電極平面形状のレジストパターン (不図示) を第 2 の導電膜 1 4 上に形成した後、そのレジストパターンをマスクに使用して第 2 の導電膜 1 4 をエッチングし、残された第 2 の導電膜 1 4 のパターンをキャパシタの上部電極 1 4 c として使用する。

【 0 0 5 7 】

そして、そのレジストパターンを除去した後に、650 、60 分間の条件で、強誘電体膜 1 3 を酸素雰囲気中でアニールする。このアニールは、第 2 の導電膜 1 4 の上側導電層 1 4 b のスパッタリング時及び第 2 の導電膜 1 4 のエッチング時に強誘電体膜 1 3 に入ったダメージを元に回復させるために行われる。

【 0 0 5 8 】

続いて、メモリセル領域 A においてキャパシタ上部電極 1 4 c 及びその周辺にレジストパターン (不図示) を形成した状態で、強誘電体 1 3 をエッチングし、これにより上部電極 1 4 c の下に残った強誘電体膜 1 3 をキャパシタの誘電体膜 1 3 a として使用する。

【 0 0 5 9 】

そして、レジストパターン (不図示) を除去した状態で強誘電体膜 1 3 を窒素酸素雰囲気中でアニールする。例えばこのアニールは、強誘電体膜 1 3 及びその下の膜に吸収された水分等を脱ガスするために行われる。

【 0 0 6 0 】

次に、図 4 (b) に示すように、上部電極 1 4 c、誘電体膜 1 3 a 及び第 1 の導電膜 1 2 の上に、第 1 のエンキャップ層 1 5 として Al_2O_3 膜をスパッタリング法により 50 nm の厚さに常温下で形成する。この第 1 のエンキャップ層 1 5 は、還元され易い誘電体膜 1 3 a を水素から保護して、水素がその内部に入ることをブロックするために形成される。

【 0 0 6 1 】

なお、第 1 のエンキャップ層 1 5 として、P Z T 膜、P L Z T 膜または酸化チタンを成膜してもよい。エンキャップ層としての Al_2O_3 膜、P Z T 膜、P L Z T 膜または酸化チタン膜は、M O C V D にて成膜しても良く、またスパッタリングと M O C V D といった 2 つの方法により形成した積層膜にしても良い。第 1 のエンキャップ層 1 5 が積層膜の場合は、キャパシタの劣化を考慮して、スパッタリングで Al_2O_3 膜を先に形成することが好ましい。

【 0 0 6 2 】

その後に、酸素雰囲気中で 550 、60 分間の条件で、第 1 のエンキャップ層 1 5 を熱処理してその膜質を改善する。

【 0 0 6 3 】

次に、第 1 のエンキャップ層 1 5 の上にレジスト (不図示) を塗布し、これを露光、現像して上部電極 1 4 c 及び誘電体膜 1 3 a の上と、その周辺に下部電極平面形状に残す。そして、レジスト膜をマスクに使用して、第 1 のエンキャップ層 1 5、第 1 の導電膜 1 2

10

20

30

40

50

及び中間層 11 をエッチングし、これにより残った第 1 の導電膜 12 のパターンをキャパシタの下部電極 11 a として使用する。なお、中間層 11 も下部電極 11 a を構成する。エンキャップ層 15、第 1 の導電膜 12 及び中間層 11 のエッチングは、塩素、臭素などのハロゲン元素を用いたドライエッチングにより行われる。

【0064】

レジストを除去した後に、上部電極 14 c、誘電体膜 13 a 等を酸素雰囲気中で 350、30 分間の条件でアニールする。これは、後工程で形成される膜のはがれ防止を目的としている。

【0065】

これにより、図 5 (a) に示すように、第 1 の層間絶縁膜 10 の上には、下部電極 11 a (第 1 の導電膜 12 / 中間層 11)、誘電体膜 13 a、上部電極 14 c (第 2 の導電膜) からなるキャパシタ Q が形成されることになる。

【0066】

次に、図 5 (b) に示す構造を形成するまでの工程を説明する。

【0067】

まず、第 2 のエンキャップ層 15 a として Al_2O_3 膜をスパッタリング法により 20 nm の厚さに成膜して、キャパシタ Q 及び第 1 の層間絶縁膜 10 を覆う。第 2 のエンキャップ層 15 a として、第 1 のエンキャップ層 15 で採用される他の材料を用いてもよい。続いて、酸素雰囲気中で 650、60 分間の条件で、強誘電体膜 13 a をアニールしてダメージから回復させる。

【0068】

続いて、エンキャップ層 15 a の上に、第 2 の層間絶縁膜 16 として膜厚 1500 nm の SiO_2 膜を CVD 法により成膜する。第 2 の層間絶縁膜 16 の成長は、成膜ガスとしてシラン (SiH_4) やポリシラン化合物 (Si_2F_6 , Si_3F_8 , Si_2F_3Cl 等) および SiF_4 を用いても良いし、TEOS を用いても良い。成膜方法である CVD 法は、プラズマ励起 (ECR 法: Electron cyclotron Resonance、ICP 法: Inductively Coupled Plasma、HDP: High Density Plasma、EMS: Electron Magneto-Sonic) や、熱励起、レーザー光による励起方式でも良い。プラズマ CVD 法を用いた第 2 の層間絶縁膜 16 の成膜条件の一例を以下に示す。

【0069】

TEOS ガス流量・・・460 sccm
 He (TEOS のキャリアガス) 流量・・・480 sccm
 O_2 流量・・・700 sccm
 圧力・・・9.0 Torr
 高周波電源の周波数・・・13.56 MHz
 高周波電源のパワー・・・400 W
 成膜温度・・・390

次に、図 6 (a) に示すように、第 2 の層間絶縁膜 16 の成膜方法及び条件と同じ成膜方法及び条件で、シリコン基板 1 の裏面に膜厚 1500 nm の SiO_2 膜からなる応力制御絶縁膜 30 を成膜する。

【0070】

その後、図 6 (b) に示すように、第 2 の層間絶縁膜 16 上面を CMP 法により平坦化する。第 2 の層間絶縁膜 16 の表面の平坦化は、上部電極 14 c の上面から 400 nm の厚さとなるまで行われる。この CMP 法による平坦化の際に使用されるスラリー中の水分や、その後の洗浄時に使用される洗浄液中の水分は、第 2 の層間絶縁膜 16 表面に付着したりその内部に吸収される。

【0071】

そこで、真空チャンバ (不図示) 中で温度 390 で第 2 の層間絶縁膜 16 を加熱することにより、その表面および内部の水分を外部に放出させる。このような脱水処理の後に、第 2 の層間絶縁膜 16 を加熱しながら N_2O プラズマに曝して脱水とともに膜質を改善する。これにより、後工程での加熱と水によるキャパシタの劣化が防止される。そのような

10

20

30

40

50

脱水処理とプラズマ処理は同じチャンバ（不図示）内において行ってもよい。そのチャンバ内には、シリコン基板 1 を載せる支持電極とこれに対向する対向電極が配置され、対向電極には高周波電源が接続可能な状態となっている。そして、チャンバ内に N_2O ガスを導入した状態で、対向電極に高周波電源を印加し、電極間に N_2O プラズマを発生させて絶縁膜の N_2O プラズマ処理を行う。その N_2O プラズマ処理によれば、絶縁膜の少なくとも表面には窒素が含まれる。そのような方法は以下の工程において採用されてもよい。脱水処理に続くプラズマ処理の際には N_2O プラズマを使用することが好ましいが、 NO プラズマ、 N_2 プラズマ等を使用してもよく、このことについては後述する工程でも同様である。なお、脱水処理の基板温度とプラズマ処理の基板温度はほぼ同じとなる。

【 0 0 7 2 】

10

次に、図 7 (a) に示すように、レジストパターン（不図示）を用いるフォトリソグラフィ法により第 1 の層間絶縁膜 1 0、第 2 のエンキャップ層 1 5 a、第 2 の層間絶縁膜 1 6 及びカバー膜 9 をエッチングして、メモリセル領域 A の不純物拡散層 6 a の上にそれぞれコンタクトホール 1 6 a ~ 1 6 c を形成すると同時に、周辺回路領域 B の不純物拡散層 6 b の上にコンタクトホール 1 6 d , 1 6 e を形成し、また、素子分離絶縁層 2 上の配線 5 d 上にコンタクトホール 1 6 f を形成する。

【 0 0 7 3 】

第 2 の層間絶縁膜 1 6、第 2 のエンキャップ層 1 5 a、第 1 の層間絶縁膜 1 0、カバー膜 9 は、CF 系ガス、例えば CHF_3 に CF_4 、Ar を加えた混合ガスを用いてエッチングされる。

【 0 0 7 4 】

20

次に、図 7 (b) に示すように、第 2 の層間絶縁膜 1 6 の上とコンタクトホール 1 6 a ~ 1 6 f の内面を前処理するために、RF（高周波）エッチングを行った後、それらの上にスパッタリング法によりチタン (Ti) 膜を 2 0 n m、窒化チタン (TiN) 膜を 5 0 n m 連続で成膜し、これらの膜をグルー層 1 7 とする。さらに、六フッ化タングステンガス (WF_6)、アルゴン、水素の混合ガスを使用する CVD 法により、グルー層 1 7 の上にタングステン (W) 膜 1 8 を形成する。なお、タングステン膜 1 8 の成長初期にはシラン (SiH_4) ガスも使用する。タングステン膜 1 8 は、各コンタクトホール 1 6 a ~ 1 6 f を完全に埋め込む厚さ、例えばグルー層 1 7 の最上面上で 5 0 0 n m 程度とする。

【 0 0 7 5 】

続いて、図 8 (a) に示すように、第 2 の層間絶縁膜 1 6 上面上のタングステン膜 1 8 とグルー層 1 7 を CMP 法により除去し、各コンタクトホール 1 6 a ~ 1 6 f 内にのみ残す。これにより、コンタクトホール 1 6 a ~ 1 6 f 内のそれぞれのタングステン膜 1 8 とグルー層 1 7 を導電性プラグ 1 7 a ~ 1 7 f として使用する。

30

【 0 0 7 6 】

その後、コンタクトホール 1 6 a ~ 1 6 f 形成後の洗浄処理、CMP 後の洗浄処理等の工程で第 2 の層間絶縁膜 1 6 表面に付着したり、その内部に浸透したりした水分を除去するために、再び、真空チャンバ中で 3 9 0 の温度で第 2 の層間絶縁膜 1 6 を加熱して水を外部に放出させる。このような脱水処理の後に、第 2 の層間絶縁膜 1 6 を加熱しながら N_2O プラズマに曝して、膜質を改善するアニールを、例えば 2 分間行う。

【 0 0 7 7 】

40

次に、図 8 (b) に示すように、第 2 の層間絶縁膜 1 6 上と導電性プラグ 1 7 a ~ 1 7 f 上にタングステンの酸化防止膜 1 9 としてプラズマ CVD 法により $SiON$ 膜を約 1 0 0 n m の厚さに成膜する。

【 0 0 7 8 】

次に、図 9 (a) に示すように、レジストパターン（不図示）をマスクに使用して上部電極 1 4 c 上の第 2 の層間絶縁膜 1 6 及びエンキャップ層 1 5 , 1 5 a をエッチングしてホール 1 6 g を形成する。同時に、ワード線 WL の延在方向で上部電極 1 4 c からはみ出している下部電極 1 1 a 上にもホールを形成する。なお、図 9 (a) では下部電極 1 1 a 上のホールを図示していないが、図 1 2 中、符号 2 0 g で示す。

【 0 0 7 9 】

50

そのエッチングは、CF系ガス、例えば CHF_3 に CF_4 とArを加えた混合ガスを用いてエッチングされる。その後、レジストパターンは除去される。

【0080】

その後、図9(a)に示した状態で、酸素雰囲気中、550、60分間のアニールを行い、ホール16gを通して誘電体膜13aの膜質を改善する。この場合、酸化され易いたングステンからなる導電性プラグ17a~17fは、酸化防止膜19で覆われているため、酸化されない。

【0081】

次に、図9(b)に示すように、第2の層間絶縁膜16上と導電性プラグ17a~17f上にあった酸化防止膜19をエッチバック法によりエッチングし、導電性プラグ17a~17fを露出させる。その場合、導電性プラグ17a~17fの上端は、第2の層間絶縁膜16から上に露出する。

【0082】

続いて、導電性プラグ17a~17f及び上部電極14cが露出した状態で、RFエッチング法によりそれらの表面を約10nmエッチング(SiO_2 換算)して清浄面を露出させる。

【0083】

その後、第2の層間絶縁膜16、導電性プラグ17a~17f上に、アルミニウムを含む4層構造の導電膜をスパッタ法により形成する。その導電膜は、下から順に、膜厚150nmの窒化チタン膜、膜厚550nmの銅含有(0.5%)アルミニウム膜、膜厚5nmのチタン膜、膜厚150nmの窒化チタン膜である。

【0084】

ついで、図10に示すように、その導電膜をフォトリソグラフィ法によりパターンングすることにより第1~第5の配線20a, 20c, 20d~20fと導電性パッド20bを形成する。なお、このとき同時に、ホール20g内にも下部電極11aと接続する配線を形成する。

【0085】

メモリセル領域Aにおいて、第1の配線20aは、pウェル3aの一方にある上部電極14cにホール16gを通して接続され、かつ上部電極14cに最も近いpウェル3a上の導電性プラグ17aに接続される。第2の配線20cは、pウェル3aの他側方にある上部電極14aにホール16gを通して接続され、かつ上部電極14cに最も近いpウェル3a上の導電性プラグ17cに接続される。導電性パッド20bは、pウェル3aの中央の上に形成された導電性パッド17bの上に島状に形成される。第3~第5の配線20d~20fは、周辺回路領域Bにおける導電性プラグ17d~17fに接続される。

【0086】

この工程により形成された配線20a, 20cと、導電性パッド20bと、キャパシタ及びトランジスタの平面的な配置関係を示すと、図12のようになる。図10は、図12のI-I線に沿う断面図に相当する。図12に示すように、連続して帯状に延びた下部電極11a上に誘電体膜13aも連続して帯状に延び、上部電極14cは一つの誘電体膜13a上に間隔を置いて複数形成されている。他の符号で示すものは、図1乃至図10中の同じ符号で示すものと同じである。

【0087】

次に、図11に示す構造を形成するまでの工程を説明する。

【0088】

まず、第1~第5の配線20a, 20c, 20d~20fと導電性パッド20bの上に第3の層間絶縁膜21を形成した後に、第3の層間絶縁膜21の上面をCMPにより平坦化する。

【0089】

ついで、マスク(不図示)を使用して第3の層間絶縁膜21にビアホール22a, 22bを形成する。ビアホール22a, 22bは、メモリセル領域Aのpウェル3aの上の導

10

20

30

40

50

電性パッド 20 b の上や、周辺回路領域 B の配線 20 e の上、その他の位置に形成される。

【0090】

さらに、ビアホール 22 a , 22 b 内に、TiN層とW層からなるビア 23 a , 23 b を形成する。それらのビア 23 a , 23 b は、ビアホール 22 a , 22 b 内と第3の層間絶縁膜 21 上にTiN層とW層をスパッタ法とCVD法により形成した後に、第3の層間絶縁膜 21 上からTiN層とW層をCMPにより除去し、これによりビアホール 22 a , 22 b 内にビア 23 a , 23 b を残すことによって形成される。

【0091】

続いて、第3の層間絶縁膜 21 上に二層目の配線 24 a ~ 24 e を形成した後に、第3の層間絶縁膜 21 及び二層目の配線 24 a ~ 24 e の上に第4の層間絶縁膜 25 を形成する。さらに、第4の層間絶縁膜 25 を平坦化した後に、第4の層間絶縁膜 25 上に、アルミニウムよりなる導電パターン 26 を形成する。その後、第4の層間絶縁膜 25 及び導電パターン 26 の上に、酸化シリコンよりなる第1のカバー絶縁膜 27 と窒化シリコンよりなる第2のカバー絶縁膜 28 を順に形成する。

【0092】

その後、表面に樹脂等により保護膜（不図示）を形成する。なお、基板の厚さを調整する必要がある場合、保護膜を形成した後、バックグラインダ処理により基板裏面を削る。以上によりFeRAMの基本的な構造が形成される。

【0093】

なお、応力制御絶縁膜 30 はそのまま残してチップ化してもよいし、図10の配線 20 a 等や導電性パッド 20 b を形成する工程の後であって、バックグラインダ処理により基板裏面を削る工程の前までのどの工程でも、バックグラインダ処理などにより除去することができる。応力制御絶縁膜 30 を除去した場合でも、キャパシタの誘電体膜の膜質改善のためのアニールが終了した後は以降の工程でそれ以上の高温で熱処理する工程はなく、かつ配線 20 a 等を形成した後であれば、以降の工程であまり大きな応力がかかる工程はないため、基板に対して小さい応力を維持できるからである。

【0094】

上記した実施形態により形成されたキャパシタQは、その特性が従来よりも改善された。

【0095】

そこで、上記した実施形態により形成されたキャパシタQの特性を調査した結果について、以下に詳細に説明する。なお、以下に述べる層間絶縁膜及び応力制御絶縁膜は原則的に酸化シリコン膜である。場合により、他の種類の絶縁膜、例えば窒化シリコン膜、酸化シリコン膜、アルミナ膜などを用いてもよい。

【0096】

まず、上記した工程によって表面(S) 裏面(R)という順序で第2の層間絶縁膜 16 及び応力制御絶縁膜 30 を形成した本実施形態に係るFeRAMを用意する。さらに、比較試料として、表面(S)のみに層間絶縁膜を形成したFeRAMと、表面(S) 裏面(R) 表面(S)という順序で薄い層間絶縁膜、厚い応力制御絶縁膜、及び厚い層間絶縁膜を形成したFeRAMと、裏面(R) 表面(S)という順序で応力制御絶縁膜及び層間絶縁膜を形成したFeRAMとを用意する。

【0097】

比較試料の層間絶縁膜及び応力制御絶縁膜の成膜方法及び成膜条件は、上記した本実施形態の第2の層間絶縁膜 16 及び応力制御絶縁膜 30 の成膜方法及び成膜条件と同じとする。但し、表面(S) 裏面(R) 表面(S)の試料では、表面に薄い層間絶縁膜と厚い層間絶縁膜を2層成膜しているが、2層の層間絶縁膜の膜厚を他の試料の一層の層間絶縁膜の膜厚と同じとした。

【0098】

図13は、上記各FeRAMについてキャパシタQのスイッチングチャージ(Q_{sw})分

10

20

30

40

50

布を調査した結果を示すグラフである。図 13 の縦軸は累積発生率 (%) を示し、横軸は線型目盛りで表したスイッチングチャージ (Q_{sw}) ($\mu C / cm^2$) を示す。

【0099】

図中、印は、表面(S)のみに層間絶縁膜を形成した FeRAM に係る特性を示し、印は、上記した工程によって表面(S) 裏面(R)という順序で層間絶縁膜及び応力制御絶縁膜を形成した本実施形態の FeRAM に係る特性を示し、印は、表面(S) 裏面(R)

表面(S)という順序で層間絶縁膜、応力制御絶縁膜、及び層間絶縁膜を形成した FeRAM に係る特性を示し、印は、裏面(R) 表面(S)という順序で応力制御絶縁膜及び層間絶縁膜を形成した FeRAM に係る特性を示す。

【0100】

図 13 によれば、表面(S) 裏面(R)という順序で成膜した本実施形態の FeRAM (印) の場合、表面のみに成膜した FeRAM (印) の場合と比べて、 $1 \mu C / cm^2$ 以上スイッチングチャージ (Q_{sw}) 特性が向上するとともに、ばらつきも 13% から 9.97% に改善した。

【0101】

また、裏面(R) 表面(S)という順序で成膜した FeRAM (印) の場合、スイッチングチャージ (Q_{sw}) の分布が低い方に広がり、ばらつきが 36% と悪化した。

【0102】

以上のように、本実施形態の半導体装置の製造方法によれば、キャパシタを被覆する第 2 の層間絶縁膜 16 を形成した後に、シリコン基板 1 の裏面に応力制御絶縁膜 30 を成膜しているため、第 2 の層間絶縁膜 16 の応力を緩和することができるとともに、均一な応力の調整を行うことができる。その結果、スイッチングチャージをはじめとするキャパシタの特性を良好に、かつ均一に維持でき、或いはその向上を図ることができる。

【0103】

さらに、ウエハ全体として応力を低減することができるので、プレーナ構造の FeRAM に顕著に生じていた所謂端劣化を防止することができた。端劣化とは、複数のキャパシタに共通する下部電極 11a 上の端部のキャパシタの誘電体膜 13a の側部に応力が集中することによってキャパシタ特性が劣化しやすくなる現象をいう。これは、TEOS を原料として形成される絶縁膜をキャパシタ上に形成した場合に起こることがある。

【0104】

また、第 2 の層間絶縁膜 16 の応力と同じタイプの応力を応力制御絶縁膜 30 に付与すればよいため、膜中の水分含有量により相互に逆の応力となるように膜応力を調整する必要がなく、第 2 の層間絶縁膜 16 及び応力制御絶縁膜 30 としてともに、水分含有量の少ない、例えば圧縮応力を有する良質な絶縁膜を用いることができる。

【0105】

以上、実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。

【0106】

例えば、上記の実施形態では、キャパシタ Q の上部からキャパシタ Q の下部電極 11a と下部電極 11a 下のトランジスタとの接続をとることを特徴とするプレーナ構造の FeRAM に関して説明したが、キャパシタの下部電極 11a 直下から導電性プラグを介して直接下部電極 11a 下のトランジスタとの接続をとることを特徴とするスタック構造の FeRAM にも適用可能である。

【0107】

また、第 2 の層間絶縁膜 16 及び応力制御絶縁膜 30 の成膜方法及び成膜条件は、積層構造や使用材料、その他を考慮して適宜選択できる。

【0108】

また、上記の実施形態では、キャパシタ直上の第 2 の層間絶縁膜 16 の応力の影響が最も大きいので、主としてキャパシタ直上の第 2 の層間絶縁膜 16 に対して、その応力を相

10

20

30

40

50

殺するように、応力制御絶縁膜 30 の成膜方法及び成膜条件を第 2 の層間絶縁膜 16 の成膜方法及び成膜条件と同じにしている。しかし、実際には、配線層 20 a 等や導電性パッド 20 b、第 3 及び第 4 の層間絶縁膜 21、25 の応力の影響があるので、応力制御絶縁膜 30 の成膜方法及び成膜条件は、第 2 の層間絶縁膜 16 の成膜方法及び成膜条件と同じにする必要はなく、最終的にキャパシタにかかる応力が小さくなるように適宜選択することができる。

【0109】

また、第 2 の層間絶縁膜 16 及び応力制御絶縁膜 30 をそれぞれ SiO_2 膜単層で構成しているが、それぞれ SiO_2 膜の代わりに、シリコン窒化膜、アルミナ膜等の単層で構成することも可能である。

10

【0110】

また、第 2 の層間絶縁膜 16 及び応力制御絶縁膜 30 をそれぞれ単層で構成しているが、それぞれ同じ種類の絶縁膜又は異なる種類の絶縁膜からなる 2 層以上の多層構造で構成することも可能である。

【0111】

また、第 2 の層間絶縁膜 16 及び応力制御絶縁膜 30 を成膜温度 390 条件の化学的気相成長方法で形成しているが、400 以下であって、成膜可能な成膜温度条件の化学的気相成長方法で形成することが可能である。

【0112】

以上述べたように本発明によれば、キャパシタを被覆する第 2 の絶縁膜を形成した後に、基板の裏面に応力制御絶縁膜を成膜している。これにより、第 2 の絶縁膜によって生じる応力が緩和されるとともに、均一な応力調整が可能となり、その結果キャパシタの特性を良好に、かつ均一に維持でき、或いはその向上を図ることができる。

20

【0113】

さらに、ウエハ全体として応力を低減することができるので、プレーナ構造の FeRAM に顕著に生じていた所謂端劣化を防止することができる。

【0114】

以上、本発明の特徴をまとめると以下の通り列挙される。

付記 1 . 半導体基板の上方に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に下部電極と誘電体膜と上部電極とを有するキャパシタを形成する工程と、

30

前記キャパシタを被覆する第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜を形成した後、前記半導体基板の裏面に応力制御絶縁膜を形成する工程と

を有することを特徴とする半導体装置の製造方法。

付記 2 . 前記第 2 の絶縁膜及び前記応力制御絶縁膜は、ともに同じ圧縮応力、又は同じ引張応力を有することを特徴とする付記 1 記載の半導体装置の製造方法。

付記 3 . 前記第 2 の絶縁膜及び応力制御絶縁膜は、それぞれ 2 層以上の多層構造を有することを特徴とする付記 1 又は 2 記載の半導体装置の製造方法。

付記 4 . 前記第 2 の絶縁膜及び応力制御絶縁膜はシリコンを含む絶縁膜の単層又は多層構造であることを特徴とする付記 1 乃至 3 の何れか一に記載の半導体装置の製造方法。

40

付記 5 . 前記第 2 の絶縁膜及び応力制御絶縁膜を化学気相成長法により成膜することを特徴とする付記 1 乃至 4 の何れか一に記載の半導体装置の製造方法。

付記 6 . 前記第 2 の絶縁膜及び応力制御絶縁膜を 400 以下の成膜温度で形成することを特徴とする付記 5 記載の半導体装置の製造方法。

付記 7 . 前記第 2 の絶縁膜及び応力制御絶縁膜を同じ化学気相成長法及び成膜条件で成膜することを特徴とする付記 5 又は 6 に記載の半導体装置の製造方法。

付記 8 . 前記キャパシタの誘電体膜の材料は強誘電体であることを特徴とする付記 1 乃至 7 の何れか一に記載の半導体装置の製造方法。

付記 9 . 前記第 1 の絶縁膜を形成する工程の前に、前記半導体基板の上にトランジスタを

50

形成する工程を有することを特徴とする付記 1 乃至 8 の何れかーに記載の半導体装置の製造方法。

付記 10 . 前記下部電極上に複数のキャパシタが形成されており、前記下部電極は前記複数のキャパシタについて共通となっていることを特徴とする付記 9 記載の半導体装置の製造方法。

付記 11 . 前記キャパシタの下部電極は前記誘電体膜及び上部電極で覆われていないコンタクト領域を有し、前記第 2 の絶縁膜を形成した後に、前記トランジスタの上方に前記第 1 及び第 2 の絶縁膜を貫通する第 1 のホールを形成する工程と、

前記コンタクト領域の上方に前記第 2 の絶縁膜を貫通する第 2 のホールを形成する工程と、

前記キャパシタの上部電極の上方に前記第 2 の絶縁膜を貫通する第 3 のホールを形成する工程と、

前記第 1 及び第 2 のホールを介して前記下部電極と前記トランジスタとを接続する配線を前記第 2 の絶縁膜上に形成する工程と、

前記第 3 のホールを介して前記上部電極と前記トランジスタとを接続する配線を前記第 2 の絶縁膜上に形成する工程と

を有することを特徴とする付記 9 又は 10 記載の半導体装置の製造方法。

付記 12 . 前記キャパシタの下部電極直下の第 1 の絶縁膜を貫通するホールを介して前記下部電極と前記トランジスタとが接続されており、前記第 2 の絶縁膜を形成した後に、前記キャパシタの上部電極の上方に前記第 2 の絶縁膜を貫通する第 4 のホールを形成する工程と、前記第 4 のホールを介して前記上部電極と接続する配線を前記第 2 の絶縁膜上に形成する工程とを有することを特徴とする付記 9 又は 10 の何れかーに記載の半導体装置の製造方法。

付記 13 . 前記キャパシタを形成する工程の後に、前記キャパシタをアニールする工程を有することを特徴とする付記 11 又は 12 記載の半導体装置の製造方法。

付記 14 . 前記キャパシタをアニールする工程は、前記キャパシタの上部電極の上方に前記第 2 の絶縁膜を貫通する第 3 又は第 4 のホールを形成する工程の後であって、該第 3 又は第 4 のホールを通して酸素雰囲気中で行われることを特徴とする付記 13 記載の半導体装置の製造方法。

付記 15 . 前記配線を形成する工程よりも後に、前記応力制御絶縁膜を除去する工程を有することを特徴とする付記 11 乃至 14 の何れかーに記載の半導体装置の製造方法。

【図面の簡単な説明】

【0115】

【図 1】 本発明の実施形態に係る半導体装置の製造工程を示す断面図（その 1）である。

【図 2】 (a)、(b) は、本発明の実施形態に係る半導体装置の製造工程を示す断面図（その 2）である。

【図 3】 (a)、(b) は、本発明の実施形態に係る半導体装置の製造工程を示す断面図（その 3）である。

【図 4】 (a)、(b) は、本発明の実施形態に係る半導体装置の製造工程を示す断面図（その 4）である。

【図 5】 (a)、(b) は、本発明の実施形態に係る半導体装置の製造工程を示す断面図（その 5）である。

【図 6】 (a)、(b) は、本発明の実施形態に係る半導体装置の製造工程を示す断面図（その 6）である。

【図 7】 (a)、(b) は、本発明の実施形態に係る半導体装置の製造工程を示す断面図（その 7）である。

【図 8】 (a)、(b) は、本発明の実施形態に係る半導体装置の製造工程を示す断面図（その 8）である。

【図 9】 (a)、(b) は、本発明の実施形態に係る半導体装置の製造工程を示す断面図（その 9）である。

10

20

30

40

50

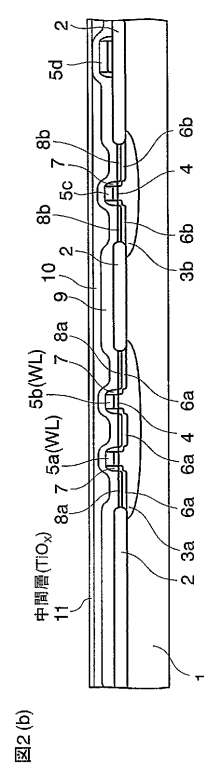
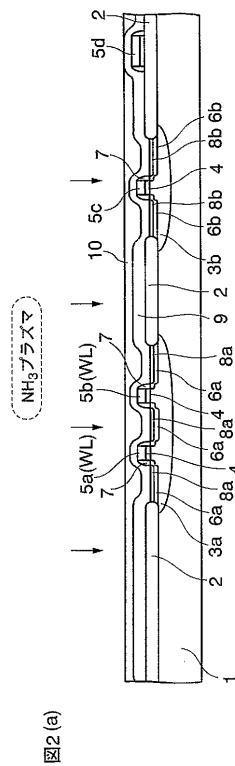
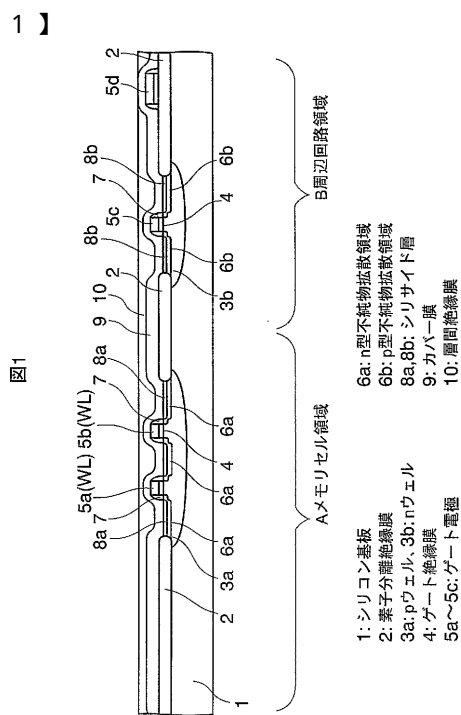
【図10】本発明の実施形態に係る半導体装置の製造工程を示す断面図(その10)である。

【図11】本発明の実施形態に係る半導体装置の製造工程を示す断面図(その11)である。

【図12】本発明の実施形態に係る半導体装置の製造方法により形成されるキャパシタ及びトランジスタと配線や導電性パッドとの配置関係を示す平面図である。

【図13】本発明の実施形態に係る半導体装置の製造方法により作成されたFeRAMのキャパシタのスイッチングチャージ分布を示すグラフである。

【図1】



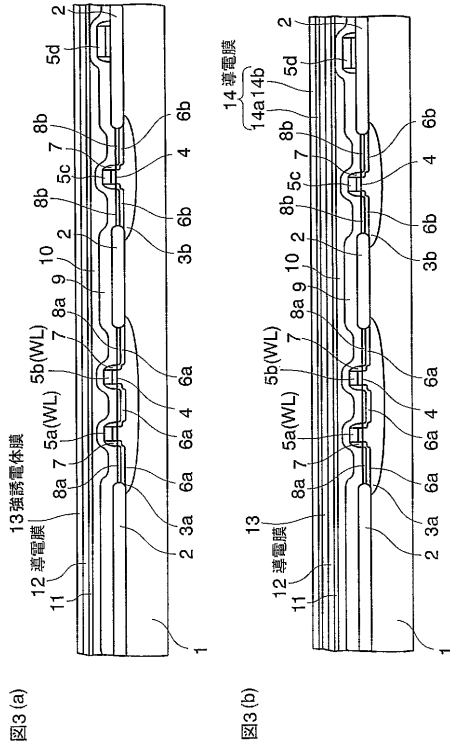


図3(a)

図3(b)

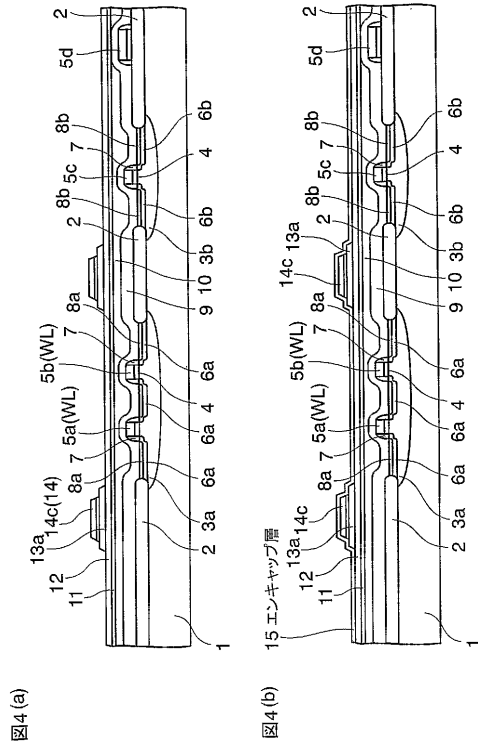


図4(a)

図4(b)

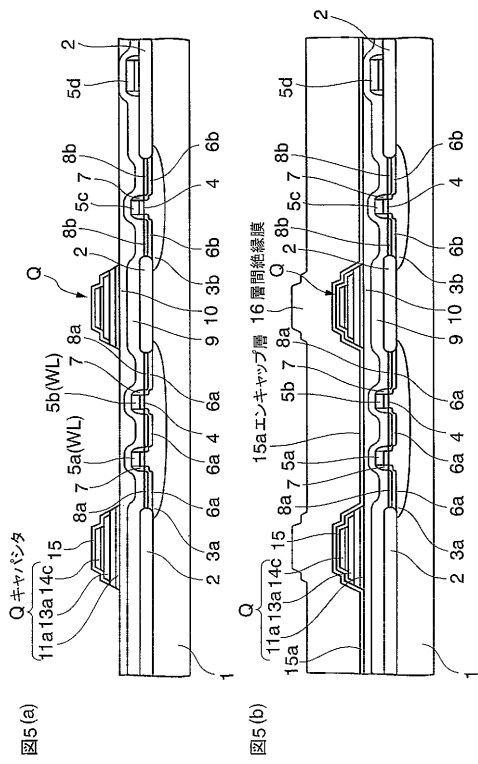


図5(a)

図5(b)

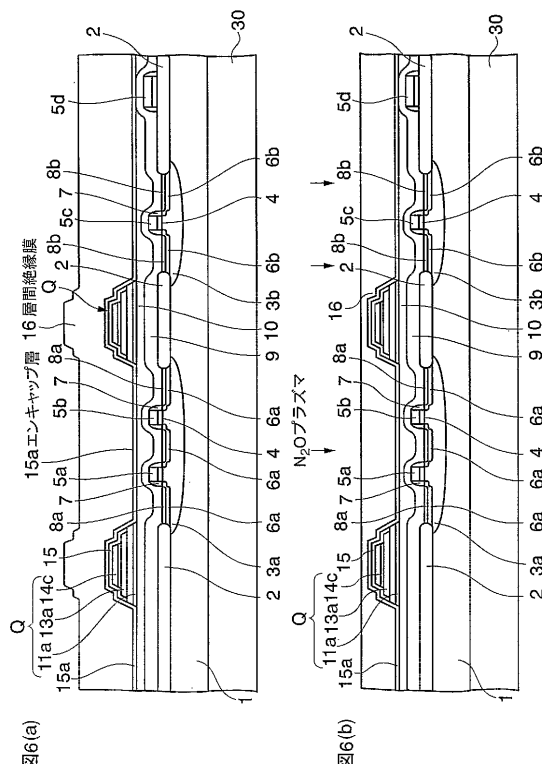
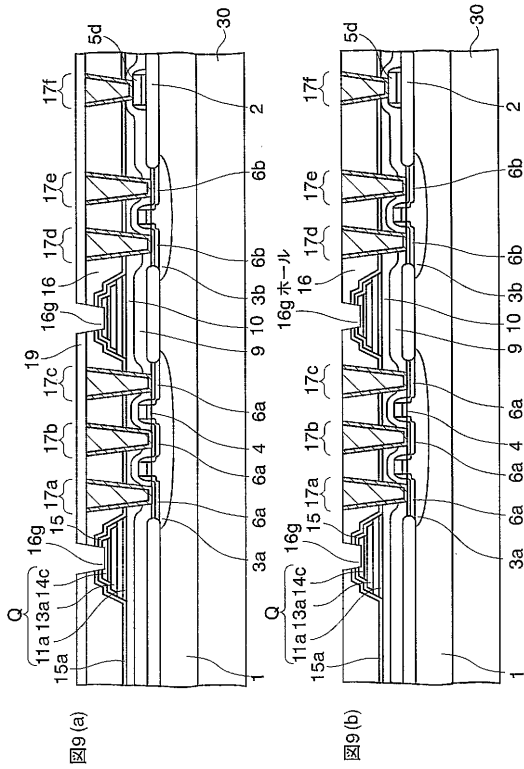
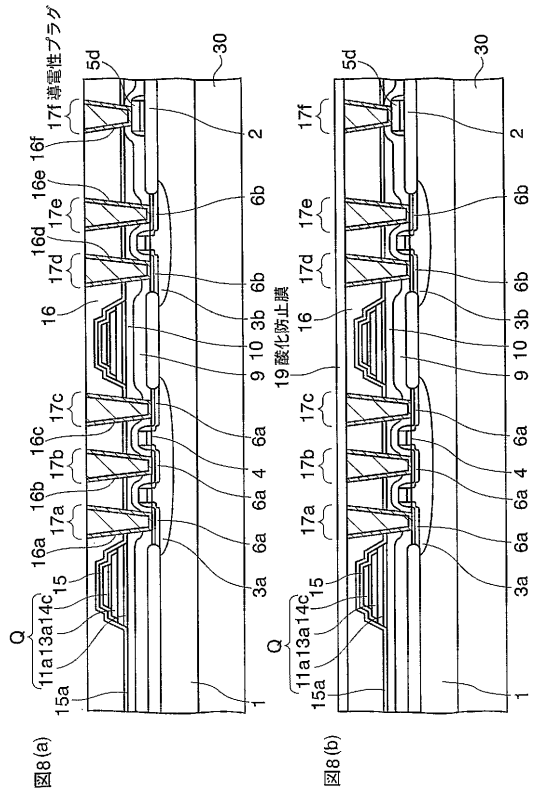
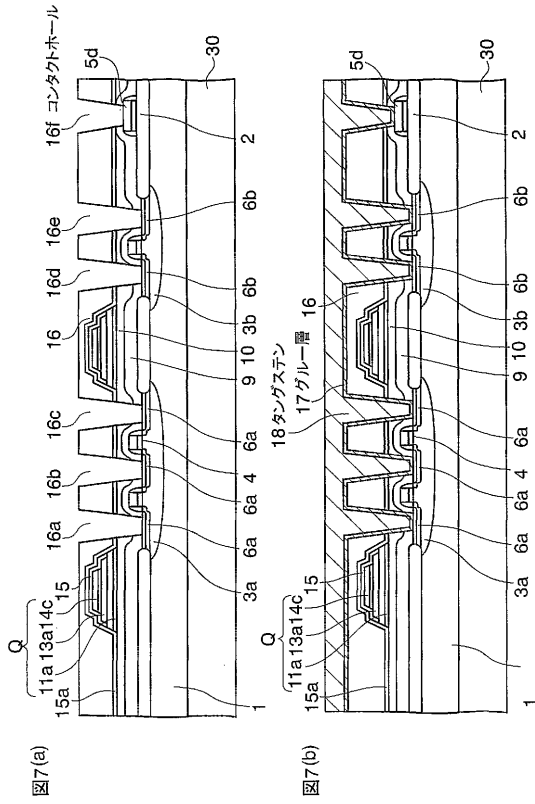
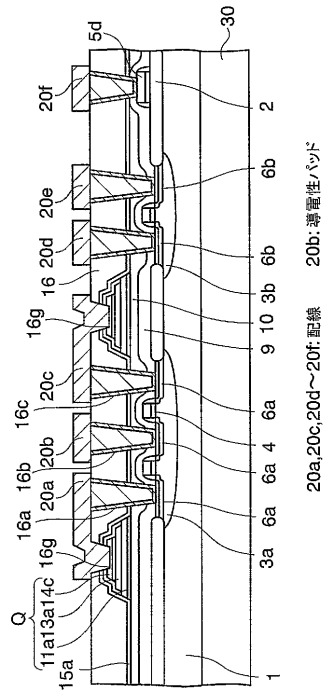


図6(a)

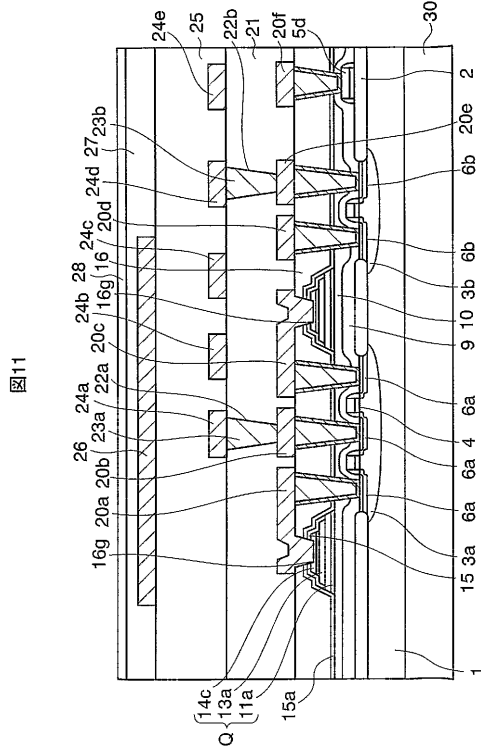
図6(b)



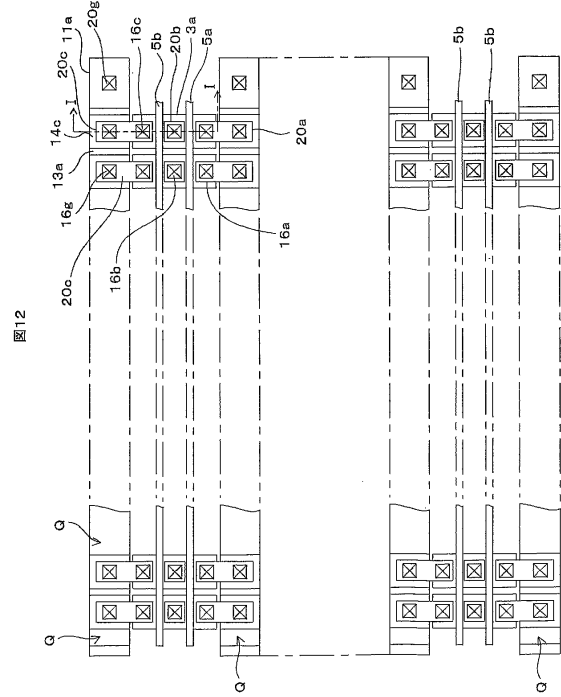
【 図 10 】



【図11】



【図12】



【図13】

