



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2019년11월29일  
(11) 등록번호 10-2050401  
(24) 등록일자 2019년11월25일

(51) 국제특허분류(Int. Cl.)  
G02F 1/1368 (2006.01) H01L 29/786 (2006.01)  
(21) 출원번호 10-2012-0131504  
(22) 출원일자 2012년11월20일  
심사청구일자 2017년11월13일  
(65) 공개번호 10-2014-0064310  
(43) 공개일자 2014년05월28일  
(56) 선행기술조사문헌  
JP2005260145 A\*  
(뒷면에 계속)

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
강해운  
경기 과천시 문산읍 당동1로 11, 605동 102호 (자연엔꿈에그린6단지아파트)  
최희동  
충남 서산시 읍면읍 읍안로 499, 110동 401호 (서산수림미소가아파트)  
고삼민  
대전 중구 오류로 20, 1105호 (오류동, 웨리움)  
(74) 대리인  
특허법인천문

전체 청구항 수 : 총 7 항

심사관 : 박정근

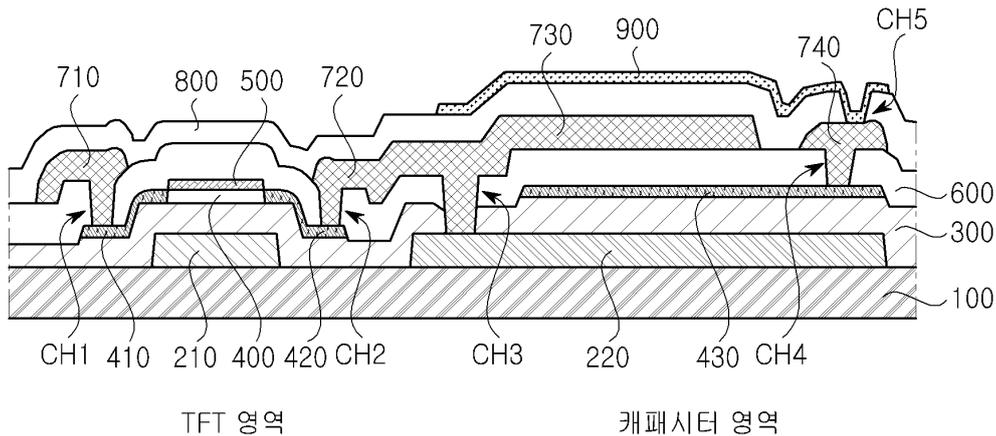
(54) 발명의 명칭 디스플레이 장치 및 그 제조방법

(57) 요약

본 발명은, 박막 트랜지스터 영역 및 커패시터 영역을 포함하여 이루어지고, 상기 박막 트랜지스터 영역에는 게이트 전극, 액티브층, 상기 액티브층의 일단과 연결된 제1 액티브 배선, 상기 액티브층의 타단과 연결된 제2 액티브 배선, 상기 제1 액티브 배선과 연결된 소스 전극, 및 상기 제2 액티브 배선과 연결된 드레인 전극이 형성되어 있고, 상기 커패시터 영역에는 서로 오버랩되는 제1 커패시터 전극, 제2 커패시터 전극, 제3 커패시터 전극, 및 제4 커패시터 전극이 형성되어 있고, 상기 액티브층과 상기 제2 커패시터 전극은 동일한 층에 형성된 것을 특징으로 하는 디스플레이 장치 및 그 제조방법에 관한 것으로서,

본 발명에 따르면, 디스플레이 장치가 3개의 커패시터를 포함하고 있어 커패시턴스 용량이 증가되는 효과가 있다.

대표도 - 도2



(56) 선행기술조사문헌

KR1020060104219 A\*

KR1020030069668 A\*

KR1020110113040 A\*

KR1020060104220 A\*

\*는 심사관에 의하여 인용된 문헌

---

**명세서**

**청구범위**

**청구항 1**

박막 트랜지스터 영역 및 커패시터 영역을 포함하여 이루어지고,

상기 박막 트랜지스터 영역에는 게이트 전극, 액티브층, 상기 액티브층의 일단과 연결된 제1 액티브 배선, 상기 액티브층의 타단과 연결된 제2 액티브 배선, 상기 제1 액티브 배선과 연결된 소스 전극, 및 상기 제2 액티브 배선과 연결된 드레인 전극이 형성되어 있고,

상기 커패시터 영역에는 서로 오버랩되는 제1 커패시터 전극, 제2 커패시터 전극, 제3 커패시터 전극, 및 제4 커패시터 전극이 형성되어 있고,

상기 액티브층과 상기 제2 커패시터 전극은 동일한 층에 형성되고,

상기 제1 커패시터 전극, 상기 제2 커패시터 전극, 상기 제3 커패시터 전극 및 상기 제4 커패시터 전극 중 어느 한 쌍의 커패시터 전극은 서로 연결되어 있고, 나머지 한 쌍의 커패시터 전극도 서로 연결되어 있으며, 상기 한 쌍의 커패시터 전극과 나머지 한 쌍의 커패시터 전극은 서로 절연되어 있는 것을 특징으로 하는 디스플레이 장치.

**청구항 2**

제1항에 있어서,

상기 제2 커패시터 전극은 상기 제1 액티브 배선 및 제2 액티브 배선과 동일하게 산화물 반도체가 도체화된 물질로 이루어진 것을 특징으로 하는 디스플레이 장치.

**청구항 3**

제1항에 있어서,

상기 제3 커패시터 전극은 상기 드레인 전극과 연결되어 있는 것을 특징으로 하는 디스플레이 장치.

**청구항 4**

제1항에 있어서,

상기 제1 커패시터 전극은 상기 제3 커패시터 전극의 아래에 형성되어 있고, 상기 제4 커패시터 전극은 상기 제3 커패시터 전극의 위에 형성되어 있는 것을 특징으로 하는 디스플레이 장치.

**청구항 5**

삭제

**청구항 6**

제1항에 있어서,

기관 상에 상기 게이트 전극 및 상기 제1 커패시터 전극이 형성되어 있고,

상기 게이트 전극 및 상기 제1 커패시터 전극 상에 게이트 절연막이 형성되어 있고,

상기 게이트 절연막 상에 상기 액티브층, 상기 제1 액티브 배선, 상기 제2 액티브 배선, 및 상기 제2 커패시터 전극이 형성되어 있고,

상기 제1 액티브 배선, 상기 제2 액티브 배선, 및 상기 제2 커패시터 전극 상에 층간 절연막이 형성되어 있고,

상기 층간 절연막 상에 상기 소스 전극, 상기 드레인 전극, 및 상기 제3 커패시터 전극이 형성되어 있고,

상기 소스 전극, 상기 드레인 전극, 및 상기 제3 커패시터 전극 상에 보호막이 형성되어 있고, 그리고,

상기 보호막 상에 상기 제4 커패시터 전극이 형성되어 있는 것을 특징으로 하는 디스플레이 장치.

**청구항 7**

제1항에 있어서,

기관 상에 상기 액티브층, 상기 제1 액티브 배선, 상기 제2 액티브 배선, 및 상기 제2 커패시터 전극이 형성되어 있고,

상기 액티브층 및 상기 제2 커패시터 전극 상에 게이트 절연막이 형성되어 있고,

상기 게이트 절연막 상에 상기 게이트 전극 및 상기 제1 커패시터 전극이 형성되어 있고,

상기 게이트 전극 및 상기 제1 커패시터 전극 상에 층간 절연막이 형성되어 있고,

상기 층간 절연막 상에 상기 소스 전극, 상기 드레인 전극, 및 상기 제3 커패시터 전극이 형성되어 있고,

상기 소스 전극, 상기 드레인 전극, 및 상기 제3 커패시터 전극 상에 보호막이 형성되어 있고, 그리고,

상기 보호막 상에 상기 제4 커패시터 전극이 형성되어 있는 것을 특징으로 하는 디스플레이 장치.

**청구항 8**

제7항에 있어서,

상기 액티브층 상에 형성된 게이트 절연막은 제1 게이트 절연막 및 제2 게이트 절연막으로 이루어지고, 상기 제2 커패시터 전극 상에 형성된 게이트 절연막은 상기 제2 게이트 절연막으로 이루어진 것을 특징으로 하는 디스플레이 장치.

**청구항 9**

삭제

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 디스플레이 장치에 관한 것으로서, 보다 구체적으로는 디스플레이 장치의 커패시터(Capacitor) 구조에 관한 것이다.

**배경 기술**

[0002] 액정표시장치(Liquid Crystal Display Device) 및 유기 발광장치(Organic Light Emitting Device) 등과 같은 디스플레이 장치는 박막 트랜지스터 및 커패시터를 그 필수구성요소로 포함하고 있다.

[0003] 이하 도면을 참조로 종래의 디스플레이 장치에 대해서 설명하기로 한다.

[0004] 도 1은 종래의 디스플레이 장치의 개략적인 단면도이다.

- [0005] 도 1에서 알 수 있듯이, 종래의 디스플레이 장치는 박막 트랜지스터(TFT) 영역 및 커패시터 영역을 포함하여 이루어진다.
- [0006] 상기 박막 트랜지스터 영역에는, 게이트 전극(21), 게이트 절연막(30), 액티브층(40), 에치 스톱퍼(50), 소스 전극(62), 드레인 전극(64), 및 보호막(70)이 형성되어 있다.
- [0007] 상기 게이트 전극(21)은 기판(10) 상에 형성되어 있고, 상기 게이트 절연막(30)은 상기 게이트 전극(21) 상에 형성되어 있다. 상기 게이트 절연막(30)은 기판의 전체 면에 형성되어 있고, 따라서, 상기 게이트 절연막(30)은 박막 트랜지스터 영역뿐만 아니라 커패시터 영역에도 형성된다.
- [0008] 상기 액티브층(40)은 상기 게이트 절연막(30) 상에 형성되어 있고, 상기 에치 스톱퍼(50)는 상기 액티브층(40) 상에 형성되어 있다. 상기 에치 스톱퍼(50)는 상기 소스 전극(62)과 드레인 전극(64)의 패터닝 공정시 상기 액티브층(40)이 식각되는 것을 방지하는 역할을 한다.
- [0009] 상기 소스 전극(62) 및 드레인 전극(64)은 상기 에치 스톱퍼(50) 상에 형성되어 있고, 상기 보호막(70)은 상기 소스 전극(62) 및 드레인 전극(64) 상에 형성되어 있다. 상기 소스 전극(62) 및 드레인 전극(64)은 서로 마주하도록 형성되면서 상기 액티브층(40)의 일단 및 타단과 각각 연결되어 있다. 상기 보호막(70)은 기판의 전체 면에 형성되어 있고, 따라서, 상기 보호막(70)은 박막 트랜지스터 영역뿐만 아니라 커패시터 영역에도 형성된다.
- [0010] 상기 커패시터 영역에는, 제1 커패시터 전극(22), 게이트 절연막(30), 제2 커패시터 전극(66), 보호막(70), 및 제3 커패시터 전극(80)이 형성되어 있다.
- [0011] 상기 제1 커패시터 전극(22)은 기판(10) 상에 형성되어 있고, 상기 게이트 절연막(30)은 상기 제1 커패시터 전극(22) 상에 형성되어 있다. 상기 제1 커패시터 전극(22)은 상기 게이트 전극(21)과 동일한 층에 형성되어 있다.
- [0012] 상기 제2 커패시터 전극(66)은 상기 게이트 절연막(30) 상에 형성되어 있고, 상기 보호막(70)은 상기 제2 커패시터 전극(66) 상에 형성되어 있다. 상기 제2 커패시터 전극(66)은 상기 드레인 전극(64)과 연결되어 있다.
- [0013] 상기 제3 커패시터 전극(80)은 상기 보호막(70) 상에 형성되어 있다.
- [0014] 이와 같은 종래의 디스플레이 장치는 제1 커패시터 전극(22), 게이트 절연막(30) 및 제2 커패시터 전극(66)의 조합에 의한 하나의 커패시터를 포함하고, 제2 커패시터 전극(66), 보호막(70) 및 제3 커패시터 전극(80)의 조합에 의한 다른 하나의 커패시터를 포함하여, 총 2개의 커패시터를 포함하고 있다.
- [0015] 그러나, 최근 기술발전에 따라 보다 큰 용량의 커패시턴스가 요구되고 있는 실정이다.

**발명의 내용**

**해결하려는 과제**

- [0016] 본 발명은 전술한 종래의 요구에 부응하기 위해 고안된 것으로서, 본 발명은 3개의 커패시터를 포함하고 있는 디스플레이 장치 및 그 제조방법을 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

- [0017] 본 발명은 상기 목적을 달성하기 위해서, 박막 트랜지스터 영역 및 커패시터 영역을 포함하여 이루어지고, 상기 박막 트랜지스터 영역에는 게이트 전극, 액티브층, 상기 액티브층의 일단과 연결된 제1 액티브 배선, 상기 액티브층의 타단과 연결된 제2 액티브 배선, 상기 제1 액티브 배선과 연결된 소스 전극, 및 상기 제2 액티브 배선과 연결된 드레인 전극이 형성되어 있고, 상기 커패시터 영역에는 서로 오버랩되는 제1 커패시터 전극, 제2 커패시터 전극, 제3 커패시터 전극, 및 제4 커패시터 전극이 형성되어 있고, 상기 액티브층과 상기 제2 커패시터 전극은 동일한 층에 형성된 것을 특징으로 하는 디스플레이 장치를 제공한다.
- [0018] 본 발명은 또한, 박막 트랜지스터 영역 및 커패시터 영역을 포함하여 이루어진 디스플레이 장치의 제조방법에 있어서, 상기 제조 방법은, 기판 상에 게이트 전극 및 제1 커패시터 전극을 패터닝 형성하는 공정; 상기 게이트 전극 및 상기 제1 커패시터 전극 상에 게이트 절연막을 형성하는 공정; 상기 게이트 절연막 상에 액티브층을 패터닝 형성하는 공정; 상기 액티브층 상에 에치 스톱퍼를 패터닝 형성하고, 상기 에치 스톱퍼를 마스크로 하여 상기 액티브층에 대한 도체화 공정을 수행하여, 상기 에치 스톱퍼에 의해 가려지지 않은 상기 액티브층의 영역에 제1

액티브 배선, 제2 액티브 배선, 및 제2 커패시터 전극을 형성하는 공정; 상기 제1 액티브 배선, 상기 제2 액티브 배선 및 제2 커패시터 전극 상에 층간 절연막을 패턴 형성하는 공정; 상기 층간 절연막 상에 상기 제1 액티브 배선과 연결되는 소스 전극, 상기 제2 액티브 배선과 연결되는 드레인 전극, 및 상기 제1 커패시터 전극과 연결되는 제3 커패시터 전극을 패턴 형성하는 공정; 상기 소스 전극, 상기 드레인 전극, 및 상기 제3 커패시터 전극 상에 보호막을 패턴 형성하는 공정; 및 상기 보호막 상에 제4 커패시터 전극을 패턴 형성하는 공정을 포함하여 이루어지고, 이때, 상기 게이트 절연막 상에 액티브층을 패턴 형성하는 공정은 상기 박막 트랜지스터 영역 및 상기 커패시터 영역 각각에 상기 액티브층을 패턴 형성하는 공정으로 이루어지고, 상기 액티브층 상에 에치 스톱퍼를 패턴 형성하는 공정은 상기 박막 트랜지스터 영역의 액티브층 상에는 상기 에치 스톱퍼를 패턴 형성하고, 상기 커패시터 영역의 액티브층 상에는 상기 에치 스톱퍼를 패턴 형성하지 않는 것을 특징으로 하는 디스플레이 장치의 제조방법을 제공한다.

[0019] 본 발명은 또한, 박막 트랜지스터 영역 및 커패시터 영역을 포함하여 이루어진 디스플레이 장치의 제조방법에 있어서, 상기 제조 방법은, 기판 상에 액티브층을 패턴 형성하는 공정; 상기 액티브층의 중앙 측 영역을 가리고 상기 액티브층에 대한 도체화 공정을 수행하여, 상기 가려지지 않은 액티브층의 영역에 제1 액티브 배선, 제2 액티브 배선, 및 제2 커패시터 전극을 형성하고, 상기 가려진 액티브층 영역은 도체화되지 않고 잔존하여 액티브층 패턴을 형성하는 공정; 상기 액티브층 패턴 및 상기 제2 커패시터 전극 상에 게이트 절연막을 패턴 형성하고, 상기 게이트 절연막 상에 게이트 전극 및 제1 커패시터 전극을 패턴 형성하는 공정; 상기 게이트 전극 및 상기 제1 커패시터 전극 상에 층간 절연막을 패턴 형성하는 공정; 상기 층간 절연막 상에 상기 제1 액티브 배선과 연결되는 소스 전극, 상기 제2 액티브 배선과 연결되는 드레인 전극, 및 상기 제2 커패시터 전극과 연결되는 제3 커패시터 전극을 패턴 형성하는 공정; 상기 소스 전극, 상기 드레인 전극, 및 상기 제3 커패시터 전극 상에 보호막을 패턴 형성하는 공정; 및 상기 보호막 상에 제4 커패시터 전극을 패턴 형성하는 공정을 포함하여 이루어지고, 이때, 상기 기판 상에 액티브층을 패턴 형성하는 공정은 상기 박막 트랜지스터 영역 및 상기 커패시터 영역 각각에 상기 액티브층을 패턴 형성하는 공정으로 이루어지고, 상기 액티브층의 중앙 측 영역을 가리는 공정은 상기 박막 트랜지스터 영역의 액티브층은 가리고, 상기 커패시터 영역의 액티브층은 가리지 않는 것을 특징으로 하는 디스플레이 장치의 제조방법을 제공한다.

**발명의 효과**

[0020] 이상과 같은 본 발명에 따르면 다음과 같은 효과가 있다.

[0021] 본 발명에 따르면, 디스플레이 장치가 3개의 커패시터를 포함하고 있어 커패시턴스 용량이 증가되는 효과가 있다.

**도면의 간단한 설명**

[0022] 도 1은 종래의 디스플레이 장치의 개략적인 단면도이다.

도 2는 본 발명의 일 실시예에 따른 디스플레이 장치의 개략적인 단면도이다.

도 3은 본 발명의 다른 실시예에 따른 디스플레이 장치의 개략적인 단면도이다.

도 4는 본 발명의 또 다른 실시예에 따른 디스플레이 장치의 개략적인 단면도이다.

도 5a 내지 도 5e는 본 발명의 일 실시예에 따른 디스플레이 장치의 개략적인 제조 공정 단면도이다.

도 6a 내지 도 6e는 본 발명의 다른 실시예에 따른 디스플레이 장치의 개략적인 제조 공정 단면도이다.

도 7a 내지 도 7e는 본 발명의 또 다른 실시예에 따른 디스플레이 장치의 개략적인 제조 공정 단면도이다.

도 8a 내지 도 8f는 본 발명의 또 다른 실시예에 따른 디스플레이 장치의 개략적인 제조 공정 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0023] 본 명세서에서 기술되는 "상에"라는 용어는 어떤 구성이 다른 구성의 바로 상면에 형성되는 경우 뿐만 아니라 이들 구성들 사이에 제3의 구성이 개재되는 경우까지 포함하는 것을 의미한다.

[0024] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 상세히 설명하기로 한다.

[0025] 도 2는 본 발명의 일 실시예에 따른 디스플레이 장치의 개략적인 단면도로서, 이는, 게이트 전극이 액티브층 아

래에 위치하는 바텀 게이트(Bottom Gate) 구조에 관한 것이다.

- [0026] 도 2에서 알 수 있듯이, 본 발명의 일 실시예에 따른 디스플레이 장치는 박막 트랜지스터(TFT) 영역 및 커패시터 영역을 포함하여 이루어진다.
- [0027] 한편, 도시하지는 않았지만, 본 발명의 일 실시예에 따른 디스플레이 장치는 상기 박막 트랜지스터(TFT) 영역 및 커패시터 영역 이외에 화소 영역을 추가로 포함하여 이루어진다. 상기 화소 영역은 디스플레이 장치의 종류에 따라 적절히 변경 형성된다. 예로서, 본 발명의 일 실시예에 따른 디스플레이 장치가 유기발광장치인 경우, 상기 화소 영역에는 한 쌍의 전극과 상기 한 쌍의 전극 사이에 형성된 유기발광층을 포함하여 이루어진다. 또한, 본 발명의 일 실시예에 따른 디스플레이 장치가 액정표시장치인 경우 상기 화소 영역에는 액정 구동을 위한 전계를 발생하는 화소 전극과 공통 전극이 형성될 수 있다. 본 발명의 특징은 박막 트랜지스터(TFT) 영역 및 커패시터 영역에 있기 때문에 화소 영역에 대해서는 별도의 설명은 생략하기로 하며, 상기 화소 영역은 디스플레이 장치의 종류 별로 당업계에 공지된 다양한 형태로 변경될 수 있다. 도 2에 따른 본 발명의 일 실시예에 따른 디스플레이 장치 이외에도 후술하는 본 발명의 다양한 실시예 들에 따른 디스플레이 장치에 대해서도 화소 영역에 대한 구체적인 설명은 생략하기로 한다.
- [0028] 도 2에서 알 수 있듯이, 기판(100) 상에는 게이트 전극(210) 및 제1 커패시터 전극(220)이 형성되어 있고, 상기 게이트 전극(210) 및 제1 커패시터 전극(220) 상에는 게이트 절연막(300)이 형성되어 있다.
- [0029] 상기 기판(100)은 유리가 주로 이용되지만, 구부러거나 휘 수 있는 투명한 플라스틱, 예로서, 폴리이미드가 이용될 수 있다. 폴리이미드를 상기 기판(100)의 재료로 이용할 경우에는, 상기 기판(100) 상에서 고온의 증착 공정이 이루어짐을 감안할 때, 고온에서 견딜 수 있는 내열성이 우수한 폴리이미드가 이용될 수 있다.
- [0030] 상기 게이트 전극(210)은 박막 트랜지스터 영역(이하 TFT 영역이라 함)에 형성되어 있고, 상기 제1 커패시터 전극(220)은 커패시터 영역에 형성되어 있다. 상기 게이트 전극(210) 및 제1 커패시터 전극(220)은 서로 절연된 상태로 이격되어 있다. 상기 게이트 전극(210) 및 제1 커패시터 전극(220)은 동일한 공정으로 동일한 층에 동일한 재료로 형성될 수 있다. 상기 게이트 전극(210) 및 제1 커패시터 전극(220)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오뮴(Nd), 구리(Cu), 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수 있다.
- [0031] 상기 게이트 절연막(300)은 상기 게이트 전극(210) 및 제1 커패시터 전극(220)을 포함한 기판 전체 면에 형성되어 있다. 상기 게이트 절연막(300)은 실리콘 산화물 또는 실리콘 질화물과 같은 무기계 절연물질로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, 포토아크릴(Photo acryl) 또는 벤조사이클로부텐(BCB) 등과 같은 유기계 절연물질로 이루어질 수도 있다.
- [0032] 상기 게이트 절연막(300) 상에는 액티브층(400), 제1 액티브 배선(410), 제2 액티브 배선(420), 및 제2 커패시터 전극(430)이 형성되어 있다.
- [0033] 상기 액티브층(400), 제1 액티브 배선(410) 및 제2 액티브 배선(420)은 TFT 영역에 형성되어 있고, 상기 제2 커패시터 전극(430)은 커패시터 영역에 형성되어 있다.
- [0034] 상기 액티브층(400)은 상기 게이트 전극(210)과 오버랩되도록 형성되어 있고, 상기 제1 액티브 배선(410)은 상기 액티브층(400)의 일단과 연결되어 있고, 상기 제2 액티브 배선(420)은 상기 액티브층(400)의 타단과 연결되어 있다. 상기 제2 커패시터 전극(430)은 상기 액티브층(400), 제1 액티브 배선(410) 및 제2 액티브 배선(420)과 절연된 상태로 이격되어 있다. 또한, 상기 제2 커패시터 전극(430)은 상기 제1 커패시터 전극(220)과 오버랩되도록 형성되어, 제1 커패시터 전극(220), 게이트 절연막(300) 및 제2 커패시터 전극(430)의 조합에 의해서 하나의 커패시터(제1 커패시터)가 구성된다.
- [0035] 상기 액티브층(400)은 In-Ga-Zn-O(IGZO)와 같은 산화물 반도체로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다. 상기 제1 액티브 배선(410) 및 제2 액티브 배선(420)은 후술하는 제조 공정을 통해서 알 수 있듯이 상기 액티브층(400)을 구성하는 산화물 반도체에 대한 도체화 공정을 통해 형성될 수 있다. 따라서, 상기 제1 액티브 배선(410) 및 제2 액티브 배선(420)은 상기 액티브층(400)과 동일한 층에 형성되며, 상기 제1 액티브 배선(410) 및 제2 액티브 배선(420)과 상기 액티브층(400)은 서로 오버랩되지 않도록 형성된다.
- [0036] 상기 제2 커패시터 전극(430)은 상기 제1 액티브 배선(410) 및 제2 액티브 배선(420)과 마찬가지로 상기 액티브층(400)을 구성하는 산화물 반도체에 대한 도체화 공정을 통해 형성될 수 있다. 따라서, 상기 액티브층(400), 제1 액티브 배선(410), 제2 액티브 배선(420) 및 제2 커패시터 전극(430) 모두는 동일한 층에 형성될 수 있다.

- [0037] 상기 액티브층(400) 상에는 에치 스톱퍼(500)가 형성되어 있다.
- [0038] 상기 에치 스톱퍼(500)는 TFT 영역에 형성되어 있다. 상기 에치 스톱퍼(500)는 상기 액티브층(400)을 보호함과 더불어 산화물 반도체에 대한 도체화 공정시 도체화되지 않는 영역(즉, 상기 액티브층(400) 영역)을 규정하는 마스크 역할을 한다. 이는 후술하는 제조 공정을 참조하면 용이하게 이해할 수 있을 것이다. 상기 에치 스톱퍼(500)는 실리콘 산화물 또는 실리콘 질화물과 같은 무기계 절연물질로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, 포토아크릴(Photo acryl) 또는 벤조사이클로부텐(BCB) 등과 같은 유기계 절연물질로 이루어질 수도 있다.
- [0039] 상기 에치 스톱퍼(500) 상에는 층간 절연막(600)이 형성되어 있다.
- [0040] 상기 층간 절연막(600)은 상기 에치 스톱퍼(500), 상기 제1 액티브 배선(410), 제2 액티브 배선(420), 및 제2 커패시터 전극(430)을 포함한 기판 전체 면에 형성되어 있다. 다만, 상기 층간 절연막(600)은 제1 콘택홀(CH1), 제2 콘택홀(CH2), 제3 콘택홀(CH3), 및 제4 콘택홀(CH4)을 구비하고 있다.
- [0041] 상기 제1 콘택홀(CH1)과 제2 콘택홀(CH2)은 TFT 영역에 형성되어 있는데, 구체적으로, 상기 제1 콘택홀(CH1)은 상기 제1 액티브 배선(410)의 소정 영역을 노출시키고, 상기 제2 콘택홀(CH2)은 상기 제2 액티브 배선(420)의 소정 영역을 노출시킨다.
- [0042] 상기 제3 콘택홀(CH3)과 제4 콘택홀(CH4)은 커패시터 영역에 형성되어 있는데, 구체적으로, 상기 제3 콘택홀(CH3)은 상기 제1 커패시터 전극(220)의 소정 영역을 노출시키고, 상기 제4 콘택홀(CH4)은 상기 제2 커패시터 전극(430)의 소정 영역을 노출시킨다. 상기 제3 콘택홀(CH3)은 상기 제1 커패시터 전극(220)의 소정 영역을 노출시키기 위해서 상기 층간 절연막(600) 뿐만 아니라 게이트 절연막(300)에도 형성된다.
- [0043] 상기 층간 절연막(600)은 실리콘 산화물 또는 실리콘 질화물과 같은 무기계 절연물질로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, 포토아크릴(Photo acryl) 또는 벤조사이클로부텐(BCB) 등과 같은 유기계 절연물질로 이루어질 수도 있다.
- [0044] 상기 층간 절연막(600) 상에는 소스 전극(710), 드레인 전극(720), 제3 커패시터 전극(730), 및 연결 전극(740)이 형성되어 있다.
- [0045] 상기 소스 전극(710) 및 드레인 전극(720)은 TFT 영역에 형성되어 있고, 상기 제3 커패시터 전극(730) 및 연결 전극(740)은 커패시터 영역에 형성되어 있다.
- [0046] 상기 소스 전극(710)은 상기 제1 콘택홀(CH1)을 통해서 상기 제1 액티브 배선(410)과 연결되고, 상기 드레인 전극(720)은 상기 제2 콘택홀(CH2)을 통해서 상기 제2 액티브 배선(420)과 연결된다.
- [0047] 상기 제3 커패시터 전극(730)은 상기 제3 콘택홀(CH3)을 통해서 상기 제1 커패시터 전극(220)과 연결되고, 상기 연결 전극(740)은 상기 제4 콘택홀(CH4)을 통해서 상기 제2 커패시터 전극(420)과 연결된다.
- [0048] 상기 소스 전극(710)과 드레인 전극(720)은 서로 절연된 상태로 이격되어 있고, 상기 드레인 전극(720)과 제3 커패시터 전극(730)은 서로 연결되어 있고, 상기 제3 커패시터 전극(730)과 연결 전극(740)은 서로 절연된 상태로 이격되어 있다.
- [0049] 또한, 상기 제3 커패시터 전극(730)은 상기 제2 커패시터 전극(430)과 오버랩되도록 형성되어, 제2 커패시터 전극(430), 층간 절연막(600) 및 제3 커패시터 전극(730)의 조합에 의해서 다른 하나의 커패시터(제2 커패시터)가 구성된다.
- [0050] 이와 같은 소스 전극(710), 드레인 전극(720), 제3 커패시터 전극(730), 및 연결 전극(740)은 동일한 공정으로 동일한 층에 동일한 재료로 형성될 수 있다. 상기 소스 전극(710), 드레인 전극(720), 제3 커패시터 전극(730), 및 연결 전극(740)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오듐(Nd), 구리(Cu), 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수 있다.
- [0051] 상기 소스 전극(710), 드레인 전극(720), 제3 커패시터 전극(730), 및 연결 전극(740) 상에는 보호막(800)이 형성되어 있다.
- [0052] 상기 보호막(800)은 제5 콘택홀(CH5)을 구비하면서 기판 전체 면에 형성되어 있다. 상기 제5 콘택홀(CH5)은 커패시터 영역에 형성되어 있는데, 구체적으로, 상기 제5 콘택홀(CH5)은 상기 연결 전극(740)의 소정 영역을 노출

시킨다.

- [0053] 상기 보호막(800)은 실리콘 산화물 또는 실리콘 질화물과 같은 무기계 절연물질로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, 포토아크릴(Photo acryl) 또는 벤조사이클로부텐(BCB) 등과 같은 유기계 절연물질로 이루어질 수도 있다.
- [0054] 상기 보호막(800) 상에는 제4 커패시터 전극(900)이 형성되어 있다.
- [0055] 상기 제4 커패시터 전극(900)은 커패시터 영역에 형성되어 있다. 특히, 상기 제4 커패시터 전극(900)은 상기 제5 콘택홀(CH5)을 통해서 상기 연결 전극(740)과 연결된다. 즉, 상기 제4 커패시터 전극(900)은 상기 연결 전극(740)을 통해서 제2 커패시터 전극(430)과 전기적으로 연결되어 있다.
- [0056] 또한, 상기 제4 커패시터 전극(900)은 상기 제3 커패시터 전극(730)과 오버랩되도록 형성되어, 제3 커패시터 전극(730), 보호막(800) 및 제4 커패시터 전극(900)의 조합에 의해서 또 다른 하나의 커패시터(제3 커패시터)가 구성된다.
- [0057] 상기 제4 커패시터 전극(900)은 ITO와 같은 투명한 금속 산화물로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, 경우에 따라 불투명한 금속으로 이루어질 수도 있다. 이와 같은 제4 커패시터 전극(900)은 도시하지 않은 화소 영역에 형성되는 화소 전극과 동일한 공정으로 동일한 층에 동일한 재료로 형성될 수 있다.
- [0058] 이상 설명한 본 발명의 일 실시예에 따른 디스플레이 장치는 총 3개의 커패시터를 포함하고 있다. 즉, 제1 커패시터 전극(220), 게이트 절연막(300) 및 제2 커패시터 전극(430)의 조합에 의해서 하나의 커패시터(제1 커패시터)가 구성되고, 제2 커패시터 전극(430), 층간 절연막(600) 및 제3 커패시터 전극(730)의 조합에 의해서 다른 하나의 커패시터(제2 커패시터)가 구성되고, 제3 커패시터 전극(730), 보호막(800) 및 제4 커패시터 전극(900)의 조합에 의해서 또 다른 하나의 커패시터(제3 커패시터)가 구성된다. 이와 같이, 본 발명의 일 실시예에 따르면 총 3개의 커패시터를 포함하고 있어 커패시턴스 용량이 증가되는 장점이 있다.
- [0059] 또한, 본 발명의 일 실시예에 따르면, 제1 커패시터 전극(220)은 제3 커패시터 전극(730)과 전기적으로 연결되어 있고, 제2 커패시터 전극(430)은 제4 커패시터 전극(900)과 전기적으로 연결되어 있기 때문에, 2개 배선의 전압 변동만으로 총 3개의 커패시터를 구현할 수 있는 장점이 있다.
- [0060] 도 3은 본 발명의 다른 실시예에 따른 디스플레이 장치의 개략적인 단면도로서, 이는, 게이트 전극이 액티브층 위에 위치하는 탑 게이트(Top Gate) 구조에 관한 것이다. 비록 형성 위치가 상이하다 하더라도 전술한 실시예와 동일한 구성에 대해서는 동일한 도면부호를 부여하였고, 재료 및 구조 등에서 동일한 사항에 대한 반복 설명은 생략하기로 한다.
- [0061] 도 3에서 알 수 있듯이, 기관(100) 상에는 버퍼층(150)이 형성되어 있다.
- [0062] 상기 버퍼층(150)은 상기 기관(100)의 전체 면 상에 형성되어 있다. 상기 버퍼층(150)은 고온의 증착 공정 중에 상기 기관(100) 상에 함유된 물질이 액티브층으로 확산되는 것을 차단하는 역할을 한다. 또한, 상기 버퍼층(150)은 본 발명에 따른 디스플레이 장치가 유기발광장치인 경우 외부의 수분이나 습기가 유기발광장치 내부로 침투하는 것을 방지하는 역할도 수행할 수 있다. 이와 같은 버퍼층(150)은 실리콘 산화물 또는 실리콘 질화물로 이루어질 수 있다. 상기 버퍼층(150)은 경우에 따라서 생략할 수도 있다.
- [0063] 상기 버퍼층(150) 상에는 액티브층(400), 제1 액티브 배선(410), 제2 액티브 배선(420), 및 제2 커패시터 전극(430)이 형성되어 있다.
- [0064] 상기 액티브층(400), 제1 액티브 배선(410) 및 제2 액티브 배선(420)은 TFT 영역에 형성되어 있고, 상기 제2 커패시터 전극(430)은 커패시터 영역에 형성되어 있다.
- [0065] 상기 제1 액티브 배선(410)은 상기 액티브층(400)의 일단과 연결되어 있고, 상기 제2 액티브 배선(420)은 상기 액티브층(400)의 타단과 연결되어 있고, 상기 제2 커패시터 전극(430)은 상기 액티브층(400), 제1 액티브 배선(410) 및 제2 액티브 배선(420)과 절연된 상태로 이격되어 있다.
- [0066] 상기 제1 액티브 배선(410), 제2 액티브 배선(420) 및 제2 커패시터 전극(430)은 상기 액티브층(400)을 구성하는 산화물 반도체에 대한 도체화 공정을 통해 형성될 수 있다. 따라서, 상기 액티브층(400), 제1 액티브 배선(410), 제2 액티브 배선(420) 및 제2 커패시터 전극(430) 모두는 동일한 층에 형성될 수 있다.
- [0067] 상기 액티브층(400) 및 제2 커패시터 전극(430) 상에는 게이트 절연막(300)이 형성되어 있다. 상기 게이트 절연

막(300)은 기판 전체 면에 형성되지 않고, 상기 액티브층(400) 및 제2 커패시터 전극(430) 상에 패턴 형성되어 있다.

- [0068] 상기 게이트 절연막(300) 상에는 게이트 전극(210) 및 제1 커패시터 전극(220)이 형성되어 있다.
- [0069] 상기 게이트 전극(210)은 TFT 영역에 형성되어 있고, 상기 제1 커패시터 전극(220)은 커패시터 영역에 형성되어 있다. 상기 게이트 전극(210) 및 제1 커패시터 전극(220)은 서로 절연된 상태로 이격되어 있다. 상기 게이트 전극(210) 및 제1 커패시터 전극(220)은 상기 게이트 절연막(300)과 동일한 패턴으로 형성될 수 있다. 또한, 상기 제1 커패시터 전극(220)은 상기 제2 커패시터 전극(430)과 오버랩되도록 형성되어, 제1 커패시터 전극(220), 게이트 절연막(300) 및 제2 커패시터 전극(430)의 조합에 의해서 하나의 커패시터(제1 커패시터)가 구성된다.
- [0070] 상기 게이트 전극(210) 및 제1 커패시터 전극(220) 상에는 층간 절연막(600)이 형성되어 있다.
- [0071] 상기 층간 절연막(600)은 제1 콘택홀(CH1), 제2 콘택홀(CH2) 및 제3 콘택홀(CH3)을 구비하면서 기판 전체 면에 형성되어 있다.
- [0072] 상기 제1 콘택홀(CH1)과 제2 콘택홀(CH2)은 TFT 영역에 형성되어 있는데, 구체적으로, 상기 제1 콘택홀(CH1)은 상기 제1 액티브 배선(410)의 소정 영역을 노출시키고, 상기 제2 콘택홀(CH2)은 상기 제2 액티브 배선(420)의 소정 영역을 노출시킨다.
- [0073] 상기 제3 콘택홀(CH3)은 커패시터 영역에 형성되어 있는데, 구체적으로, 상기 제3 콘택홀(CH3)은 상기 제2 커패시터 전극(430)의 소정 영역을 노출시킨다.
- [0074] 상기 층간 절연막(600) 상에는 소스 전극(710), 드레인 전극(720), 및 제3 커패시터 전극(730)이 형성되어 있다.
- [0075] 상기 소스 전극(710) 및 드레인 전극(720)은 TFT 영역에 형성되어 있고, 상기 제3 커패시터 전극(730)은 커패시터 영역에 형성되어 있다.
- [0076] 상기 소스 전극(710)은 상기 제1 콘택홀(CH1)을 통해서 상기 제1 액티브 배선(410)과 연결되고, 상기 드레인 전극(720)은 상기 제2 콘택홀(CH2)을 통해서 상기 제2 액티브 배선(420)과 연결된다.
- [0077] 상기 제3 커패시터 전극(730)은 상기 제3 콘택홀(CH3)을 통해서 상기 제2 커패시터 전극(420)과 연결된다.
- [0078] 상기 소스 전극(710)과 드레인 전극(720)은 서로 절연된 상태로 이격되어 있고, 상기 드레인 전극(720)과 제3 커패시터 전극(730)은 서로 연결되어 있다.
- [0079] 또한, 상기 제3 커패시터 전극(730)은 상기 제1 커패시터 전극(220)과 오버랩되도록 형성되어, 제1 커패시터 전극(220), 층간 절연막(600) 및 제3 커패시터 전극(730)의 조합에 의해서 다른 하나의 커패시터(제2 커패시터)가 구성된다.
- [0080] 이와 같은 소스 전극(710), 드레인 전극(720), 제3 커패시터 전극(730), 및 연결 전극(740)은 동일한 공정으로 동일한 층에 동일한 재료로 형성될 수 있다.
- [0081] 상기 소스 전극(710), 드레인 전극(720), 및 제3 커패시터 전극(730) 상에는 보호막(800)이 형성되어 있다.
- [0082] 상기 보호막(800)은 제5 콘택홀(CH5)을 구비하면서 기판 전체 면에 형성되어 있다. 상기 제5 콘택홀(CH5)은 커패시터 영역에 형성되어 있는데, 구체적으로, 상기 제5 콘택홀(CH5)은 상기 제1 커패시터 전극(220)의 소정 영역을 노출시킨다. 상기 제5 콘택홀(CH5)은 상기 제1 커패시터 전극(220)의 소정 영역을 노출시키기 위해서 상기 보호막(800) 뿐만 아니라 상기 층간 절연막(600)에도 형성된다.
- [0083] 상기 보호막(800) 상에는 제4 커패시터 전극(900)이 형성되어 있다.
- [0084] 상기 제4 커패시터 전극(900)은 커패시터 영역에 형성되어 있다. 특히, 상기 제4 커패시터 전극(900)은 상기 제5 콘택홀(CH5)을 통해서 상기 제1 커패시터 전극(220)과 전기적으로 연결되어 있다.
- [0085] 또한, 상기 제4 커패시터 전극(900)은 상기 제3 커패시터 전극(730)과 오버랩되도록 형성되어, 제3 커패시터 전극(730), 보호막(800) 및 제4 커패시터 전극(900)의 조합에 의해서 또 다른 하나의 커패시터(제3 커패시터)가 구성된다.
- [0086] 이상 설명한 본 발명의 다른 실시예에 따른 디스플레이 장치도 총 3개의 커패시터를 포함하고 있고, 또한, 제1 커패시터 전극(220)은 제4 커패시터 전극(900)과 전기적으로 연결되어 있고, 제2 커패시터 전극(430)은 제3 커패시터 전극(730)과 오버랩되도록 형성되어, 제2 커패시터 전극(430)과 제3 커패시터 전극(730)의 조합에 의해서 또 다른 하나의 커패시터(제4 커패시터)가 구성된다.

패시터 전극(730)과 전기적으로 연결되어 있기 때문에, 2개 배선의 전압 변동만으로 총 3개의 커패시터를 구현할 수 있는 장점이 있다.

- [0087] 도 4는 본 발명의 또 다른 실시예에 따른 디스플레이 장치의 개략적인 단면도로서, 이는, 게이트 절연막의 구성이 변경된 것을 제외하고 전술한 도 3에 따른 디스플레이 장치와 동일하다. 따라서, 동일한 구성에 대해서 동일한 도면부호를 부여하였고, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0088] 도 4에서 알 수 있듯이, 액티브층(400) 및 제2 커패시터 전극(430) 상에 게이트 절연막이 형성되어 있다.
- [0089] 여기서, 상기 액티브층(400) 상에 형성된 게이트 절연막은 제1 게이트 절연막(310) 및 제2 게이트 절연막(320)으로 이루어지고, 상기 제2 커패시터 전극(430) 상에 형성된 게이트 절연막은 제2 게이트 절연막(320)으로 이루어진다. 상기 제1 게이트 절연막(310) 및 제2 게이트 절연막(320)은 서로 동일한 물질로 이루어질 수도 있고 서로 상이한 물질로 이루어질 수도 있다.
- [0090] 도 4에 따르면, 액티브층(400) 상에는 이중 층의 게이트 절연막을 형성한 반면에 제2 커패시터 전극(430) 상에는 단일 층의 게이트 절연막을 형성함으로써, 결과적으로 도 3에 따른 구조에 비하여 커패시턴스가 증가되는 장점이 있다.
- [0091] 또한, 이와 같이 액티브층(400) 상에 형성되는 게이트 절연막과 제2 커패시터 전극(430) 상에 형성되는 게이트 절연막을 상이하게 구성함으로써 TFT 영역의 게이트 전극(210)을 보다 정밀하게 패턴 형성할 수 있는데, 이에 대해서는 후술하는 제조 공정을 참조하면 용이하게 이해할 수 있을 것이다.
- [0092] 도 5a 내지 도 5e는 본 발명의 일 실시예에 따른 디스플레이 장치의 개략적인 제조 공정 단면도로서, 이는 전술한 도 2에 따른 디스플레이 장치의 제조 공정에 관한 것이다. 이하에서는, 각각의 구성의 재료 및 구조 등에 있어서 반복되는 부분에 대한 중복 설명은 생략하기로 한다.
- [0093] 우선, 도 5a에서 알 수 있듯이, 기판(100) 상에 게이트 전극(210) 및 제1 커패시터 전극(220)을 패턴 형성하고, 상기 게이트 전극(210) 및 제1 커패시터 전극(220) 상에 게이트 절연막(300)을 형성한다.
- [0094] 상기 게이트 전극(210) 및 제1 커패시터 전극(220)은 상기 기판(100) 상에 스퍼터링법(Sputtering)으로 전극층을 증착하고, 상기 전극층 상에 포토 레지스트 패턴을 형성한 후 노광, 현상 및 식각 공정을 차례로 수행하는 소위 마스크 공정을 이용하여 패턴 형성할 수 있다. 이하에서 설명하는 각각의 구성에 대한 패턴 형성도 상기와 같은 노광, 현상 및 식각 공정을 포함한 마스크 공정을 이용하여 수행할 수 있다.
- [0095] 상기 게이트 절연막(300)은 상기 게이트 전극(210) 및 제1 커패시터 전극(220)을 포함한 기판의 전체 면에 PECVD법을 이용하여 형성할 수 있다.
- [0096] 다음, 도 5b에서 알 수 있듯이, 상기 게이트 절연막(300) 상에 액티브층(400)을 패턴 형성한다.
- [0097] 상기 액티브층(400)은 TFT 영역 및 커패시터 영역에 각각 형성한다. 상기 TFT 영역의 액티브층(400)은 상기 게이트 전극(210)과 오버랩되도록 패턴 형성하고, 상기 커패시터 영역의 액티브층(400)은 상기 제1 커패시터 전극(220)과 오버랩되도록 패턴 형성한다.
- [0098] 상기 액티브층(400)은 상기 게이트 절연막(300) 상에 a-IGZO와 같은 비정질 산화물 반도체를 스퍼터링법(Sputtering) 또는 MOCVD(Metal Organic Chemical Vapor Deposition)를 이용하여 증착하고, 노(furnace) 또는 급속열처리(Rapid Thermal Process:RTP)를 통해서 약 650℃ 이상의 고온 열처리 공정을 수행하여 상기 비정질 산화물 반도체를 결정화하고, 결정화된 산화물 반도체를 마스크 공정으로 패터닝하여 형성할 수 있다.
- [0099] 다음, 도 5c에서 알 수 있듯이, 상기 액티브층(400) 상에 에치 스톱퍼(500)를 패턴 형성하고, 상기 에치 스톱퍼(500)를 마스크로 하여 상기 액티브층(400)에 대한 도체화 공정을 수행한다.
- [0100] 상기 에치 스톱퍼(500)는 상기 TFT 영역의 액티브층(400) 상에 형성하고, 상기 커패시터 영역의 액티브층(400) 상에는 형성하지 않는다.
- [0101] 상기 도체화 공정을 수행하면, 상기 에치 스톱퍼(500)에 의해 가려지지 않은 액티브층(400)의 영역이 도체화되어 제1 액티브 배선(410), 제2 액티브 배선(420), 및 제2 커패시터 전극(430)이 형성된다. 그리고, 상기 에치 스톱퍼(500)에 의해 가려진 액티브층(400)의 영역은 도체화되지 않고 잔존하여 최종 액티브층(400) 패턴이 완성된다. 즉, 최종 액티브층(400) 패턴은 상기 에치 스톱퍼(500) 패턴과 동일하게 형성된다. 여기서, 최종 액티브층(400) 패턴과 에치 스톱퍼(500) 패턴이 동일하다는 것은 양자의 패턴이 완전히 동일한 경우뿐만 아니라 공정

진행상 미차가 발생한 경우를 포함하는 것으로 해석되어야 한다.

- [0102] 상기 에치 스톱퍼(500)는 상기 TFT 영역의 액티브층(400)의 중앙 측 상에 형성되며, 따라서, 상기 최종 액티브층(400) 패턴의 일단 영역에 제1 액티브 배선(410)이 형성되고, 상기 최종 액티브층(400) 패턴의 타단 영역에 제2 액티브 배선(420)이 형성된다. 또한, 상기 커패시터 영역의 액티브층(400)은 모두 도체화되어 제2 커패시터 전극(430)이 형성된다.
- [0103] 상기 도체화 공정은 상기 산화물 반도체에 플라즈마 처리를 수행하는 공정으로 이루어질 수 있다. 즉, IGZO와 같은 산화물 반도체에 플라즈마 처리를 수행하게 되면 상기 산화물 반도체의 특성이 변화되어 도체화된다.
- [0104] 상기 산화물 반도체에 대한 플라즈마 처리는 플라즈마 에칭(Plasma Etching) 또는 강화된 용량 결합형 플라즈마(Enhanced Capacitively Coupled Plasma) 처리 공정으로 이루어질 수 있다. 이와 같은, 플라즈마 에칭(Plasma Etching) 또는 강화된 용량 결합형 플라즈마(Enhanced Capacitively Coupled Plasma) 처리 공정은 기존의 건식 식각(Dry Etching) 장비를 이용할 수 있어 장비 개발 비용을 절감하는 효과가 있다.
- [0105] 구체적인 예로서, 상기 플라즈마 에칭(Plasma Etching)은 5K~25K의 파워, 200~350mTorr의 압력 및 O<sub>2</sub> 분위기에서 5~180초 동안 수행할 수 있으나 그에 한정되는 것은 아니다. 상기 강화된 용량 결합형 플라즈마(Enhanced Capacitively Coupled Plasma)는 2K~13K(Source) 및 0K~13K(Bias)의 파워, 20~150mTorr의 압력 및 O<sub>2</sub> 분위기에서 5~150초 동안 수행할 수 있으나 그에 한정되는 것은 아니다.
- [0106] 다음, 도 5d에서 알 수 있듯이, 상기 에치 스톱퍼(500), 상기 제1 액티브 배선(410), 제2 액티브 배선(420), 및 제2 커패시터 전극(430) 상에 층간 절연막(600)을 패턴 형성하고, 상기 층간 절연막(600) 상에 소스 전극(710), 드레인 전극(720), 제3 커패시터 전극(730), 및 연결 전극(740)을 패턴 형성한다.
- [0107] 상기 층간 절연막(600)은 제1 콘택홀(CH1), 제2 콘택홀(CH2), 제3 콘택홀(CH3), 및 제4 콘택홀(CH4)을 구비하도록 패턴 형성한다. 상기 제1 콘택홀(CH1)은 상기 제1 액티브 배선(410)의 소정 영역을 노출시키고, 상기 제2 콘택홀(CH2)은 상기 제2 액티브 배선(420)의 소정 영역을 노출시키고, 상기 제3 콘택홀(CH3)은 상기 제1 커패시터 전극(220)의 소정 영역을 노출시키고, 상기 제4 콘택홀(CH4)은 상기 제2 커패시터 전극(430)의 소정 영역을 노출시킨다. 상기 제3 콘택홀(CH3)은 상기 제1 커패시터 전극(220)의 소정 영역을 노출시키기 위해서 상기 층간 절연막(600) 뿐만 아니라 게이트 절연막(300)에도 형성한다.
- [0108] 상기 소스 전극(710)은 상기 제1 콘택홀(CH1)을 통해서 상기 제1 액티브 배선(410)과 연결되도록 패턴 형성하고, 상기 드레인 전극(720)은 상기 제2 콘택홀(CH2)을 통해서 상기 제2 액티브 배선(420)과 연결되도록 패턴 형성하고, 상기 제3 커패시터 전극(730)은 상기 제3 콘택홀(CH3)을 통해서 상기 제1 커패시터 전극(220)과 연결되도록 패턴 형성하고, 상기 연결 전극(740)은 상기 제4 콘택홀(CH4)을 통해서 상기 제2 커패시터 전극(420)과 연결되도록 패턴 형성한다.
- [0109] 상기 소스 전극(710)과 드레인 전극(720)은 서로 절연된 상태로 이격되도록 패턴 형성하고, 상기 드레인 전극(720)과 제3 커패시터 전극(730)은 서로 연결되도록 패턴 형성하고, 상기 제3 커패시터 전극(730)과 연결 전극(740)은 서로 절연된 상태로 이격되도록 패턴 형성한다.
- [0110] 다음, 도 5e에서 알 수 있듯이, 상기 소스 전극(710), 드레인 전극(720), 제3 커패시터 전극(730), 및 연결 전극(740) 상에 보호막(800)을 패턴 형성하고, 상기 보호막(800) 상에 제4 커패시터 전극(900)을 패턴 형성한다.
- [0111] 상기 보호막(800)은 제5 콘택홀(CH5)을 구비하도록 패턴 형성한다. 상기 제5 콘택홀(CH5)은 상기 연결 전극(740)의 소정 영역을 노출시킨다.
- [0112] 상기 제4 커패시터 전극(900)은 상기 제5 콘택홀(CH5)을 통해서 상기 연결 전극(740)과 연결되도록 패턴 형성한다.
- [0113] 도 6a 내지 도 6e는 본 발명의 다른 실시예에 따른 디스플레이 장치의 개략적인 제조 공정 단면도로서, 이는 전술한 도 3에 따른 디스플레이 장치의 제조 공정에 관한 것이다. 이하에서는, 전술한 실시예와 동일한 구성에 대한 중복 설명은 생략하기로 한다.
- [0114] 우선, 도 6a에서 알 수 있듯이, 기판(100) 상에 버퍼층(150)을 형성하고, 상기 버퍼층(150) 상에 액티브층(400)을 패턴 형성한다.
- [0115] 상기 버퍼층(150)은 상기 기판(100)의 전체 면에 PECVD법을 이용하여 형성할 수 있다.

- [0116] 상기 액티브층(400)은 TFT 영역 및 커패시터 영역에 각각 패턴 형성한다.
- [0117] 다음, 도 6b에서 알 수 있듯이, 상기 액티브층(400) 상에 포토 레지스트 패턴(PR)을 형성하고, 상기 포토 레지스트 패턴(PR)을 마스크로 하여 상기 액티브층(400)에 대한 도체화 공정을 수행한다.
- [0118] 상기 포토 레지스트 패턴(PR)은 상기 TFT 영역의 액티브층(400) 상에 형성하고, 상기 커패시터 영역의 액티브층(400) 상에는 형성하지 않는다.
- [0119] 상기 도체화 공정을 수행하면, 상기 포토 레지스트 패턴(PR)에 의해 가려지지 않은 액티브층(400)의 영역이 도체화되어 제1 액티브 배선(410), 제2 액티브 배선(420), 및 제2 커패시터 전극(430)이 형성된다. 그리고, 상기 포토 레지스트 패턴(PR)에 의해 가려진 액티브층(400)의 영역은 도체화되지 않고 잔존하여 최종 액티브층(400) 패턴이 완성된다. 즉, 최종 액티브층(400) 패턴은 상기 포토 레지스트 패턴(PR)과 동일하게 형성된다.
- [0120] 상기 포토 레지스트 패턴(PR)은 상기 TFT 영역의 액티브층(400)의 중앙 측 상에 형성되며, 따라서, 상기 최종 액티브층(400) 패턴의 일단 영역에 제1 액티브 배선(410)이 형성되고, 상기 최종 액티브층(400) 패턴의 타단 영역에 제2 액티브 배선(420)이 형성된다. 또한, 상기 커패시터 영역의 액티브층(400)은 모두 도체화되어 제2 커패시터 전극(430)이 형성된다.
- [0121] 다음, 도 6c에서 알 수 있듯이, 상기 포토 레지스트 패턴(PR)을 제거하고, 상기 최종 액티브층(400) 패턴 및 제2 커패시터 전극(430) 상에 게이트 절연막(300)을 패턴 형성하고, 상기 게이트 절연막(300) 상에 게이트 전극(210) 및 제1 커패시터 전극(220)을 패턴 형성한다.
- [0122] 상기 게이트 절연막(300)은 기판 전체 면에 형성하지 않고, 상기 최종 액티브층(400) 패턴 및 제2 커패시터 전극(430) 상에 패턴 형성한다.
- [0123] 상기 게이트 전극(210)은 TFT 영역의 게이트 절연막(300) 상에 패턴 형성하고, 상기 제1 커패시터 전극(220)은 커패시터 영역의 게이트 절연막(300) 상에 패턴 형성한다. 따라서, 상기 제1 커패시터 전극(220)은 상기 제2 커패시터 전극(430)과 오버랩되도록 형성된다.
- [0124] 다음, 도 6d에서 알 수 있듯이, 상기 게이트 전극(210) 및 제1 커패시터 전극(220) 상에 층간 절연막(600)을 패턴 형성하고, 상기 층간 절연막(600) 상에 소스 전극(710), 드레인 전극(720), 및 제3 커패시터 전극(730)을 패턴 형성한다.
- [0125] 상기 층간 절연막(600)은 제1 콘택홀(CH1), 제2 콘택홀(CH2) 및 제3 콘택홀(CH3)을 구비하도록 형성한다. 상기 제1 콘택홀(CH1)은 상기 제1 액티브 배선(410)의 소정 영역을 노출시키고, 상기 제2 콘택홀(CH2)은 상기 제2 액티브 배선(420)의 소정 영역을 노출시키고, 상기 제3 콘택홀(CH3)은 상기 제2 커패시터 전극(430)의 소정 영역을 노출시킨다.
- [0126] 상기 소스 전극(710)은 상기 제1 콘택홀(CH1)을 통해서 상기 제1 액티브 배선(410)과 연결되도록 패턴 형성하고, 상기 드레인 전극(720)은 상기 제2 콘택홀(CH2)을 통해서 상기 제2 액티브 배선(420)과 연결되도록 패턴 형성하고, 상기 제3 커패시터 전극(730)은 상기 제3 콘택홀(CH3)을 통해서 상기 제2 커패시터 전극(430)과 연결되도록 패턴 형성한다.
- [0127] 상기 소스 전극(710)과 드레인 전극(720)은 서로 절연된 상태로 이격되도록 패턴 형성하고, 상기 드레인 전극(720)과 제3 커패시터 전극(730)은 서로 연결되도록 패턴 형성한다.
- [0128] 다음, 도 6e에서 알 수 있듯이, 상기 소스 전극(710), 드레인 전극(720), 및 제3 커패시터 전극(730) 상에 보호막(800)을 패턴 형성하고, 상기 보호막(800) 상에 제4 커패시터 전극(900)을 패턴 형성한다.
- [0129] 상기 보호막(800)은 제5 콘택홀(CH5)을 구비하도록 패턴 형성한다. 상기 제5 콘택홀(CH5)은 상기 제1 커패시터 전극(220)의 소정 영역을 노출시킨다. 상기 제5 콘택홀(CH5)은 상기 제1 커패시터 전극(220)의 소정 영역을 노출시키기 위해서 상기 보호막(800) 뿐만 아니라 상기 층간 절연막(600)에도 형성한다.
- [0130] 상기 제4 커패시터 전극(900)은 상기 제5 콘택홀(CH5)을 통해서 상기 제1 커패시터 전극(220)과 연결되도록 패턴 형성한다.
- [0131] 도 7a 내지 도 7e는 본 발명의 또 다른 실시예에 따른 디스플레이 장치의 개략적인 제조 공정 단면도로서, 이는 전술한 도 4에 따른 디스플레이 장치의 제조 공정에 관한 것이다. 이하에서는, 전술한 실시예와 동일한 구성에 대한 중복 설명은 생략하기로 한다.

- [0132] 우선, 도 7a에서 알 수 있듯이, 기판(100) 상에 버퍼층(150)을 형성하고, 상기 버퍼층(150) 상에 액티브층(400)을 패턴 형성한다.
- [0133] 다음, 도 7b에서 알 수 있듯이, 상기 액티브층(400) 상에 제1 게이트 절연막(310)을 패턴 형성하고, 상기 제1 게이트 절연막(310)을 마스크로 하여 상기 액티브층(400)에 대한 도체화 공정을 수행한다.
- [0134] 상기 제1 게이트 절연막(310)은 상기 TFT 영역의 액티브층(400) 상에 형성하고, 상기 커패시터 영역의 액티브층(400) 상에는 형성하지 않는다.
- [0135] 상기 도체화 공정을 수행하면, 상기 제1 게이트 절연막(310)에 의해 가려지지 않은 액티브층(400)의 영역이 도체화되어 제1 액티브 배선(410), 제2 액티브 배선(420), 및 제2 커패시터 전극(430)이 형성된다. 그리고, 상기 제1 게이트 절연막(310)에 의해 가려진 액티브층(400)의 영역은 도체화되지 않고 잔존하여 최종 액티브층(400) 패턴이 완성된다. 즉, 최종 액티브층(400) 패턴은 상기 제1 게이트 절연막(310)과 동일하게 형성된다.
- [0136] 상기 제1 게이트 절연막(310)은 상기 TFT 영역의 액티브층(400)의 중앙 측 상에 형성되며, 따라서, 상기 최종 액티브층(400) 패턴의 일단 영역에 제1 액티브 배선(410)이 형성되고, 상기 최종 액티브층(400) 패턴의 타단 영역에 제2 액티브 배선(420)이 형성된다. 또한, 상기 커패시터 영역의 액티브층(400)은 모두 도체화되어 제2 커패시터 전극(430)이 형성된다.
- [0137] 다음, 도 7c에서 알 수 있듯이, 상기 제1 게이트 절연막(310) 및 제2 커패시터 전극(430) 상에 제2 게이트 절연막(320)을 패턴 형성하고, 상기 제2 게이트 절연막(320) 상에 게이트 전극(210) 및 제1 커패시터 전극(220)을 패턴 형성한다.
- [0138] 상기 제2 게이트 절연막(320)은 TFT 영역의 제1 게이트 절연막(310) 및 커패시터 영역의 제2 커패시터 전극(430) 상에 각각 패턴 형성한다.
- [0139] 상기 게이트 전극(210)은 TFT 영역의 제2 게이트 절연막(320) 상에 패턴 형성하고, 상기 제1 커패시터 전극(220)은 커패시터 영역의 제2 게이트 절연막(320) 상에 패턴 형성한다.
- [0140] 다음, 도 7d에서 알 수 있듯이, 상기 게이트 전극(210) 및 제1 커패시터 전극(220) 상에 층간 절연막(600)을 패턴 형성하고, 상기 층간 절연막(600) 상에 소스 전극(710), 드레인 전극(720), 및 제3 커패시터 전극(730)을 패턴 형성한다.
- [0141] 이 공정은 전술한 도 6d 공정과 동일하므로 구체적인 설명은 생략하기로 한다.
- [0142] 다음, 도 7e에서 알 수 있듯이, 상기 소스 전극(710), 드레인 전극(720), 및 제3 커패시터 전극(730) 상에 보호막(800)을 패턴 형성하고, 상기 보호막(800) 상에 제4 커패시터 전극(900)을 패턴 형성한다.
- [0143] 이 공정은 전술한 도 6e 공정과 동일하므로 구체적인 설명은 생략하기로 한다.
- [0144] 도 8a 내지 도 8f는 본 발명의 또 다른 실시예에 따른 디스플레이 장치의 개략적인 제조 공정 단면도로서, 이는 전술한 도 4에 따른 디스플레이 장치의 제조 공정에 관한 것이다. 이하에서는, 전술한 실시예와 동일한 구성에 대한 중복 설명은 생략하기로 한다.
- [0145] 우선, 도 8a에서 알 수 있듯이, 기판(100) 상에 버퍼층(150)을 형성하고, 상기 버퍼층(150) 상에 액티브층(400)을 패턴 형성한다.
- [0146] 다음, 도 8b에서 알 수 있듯이, 상기 액티브층(400) 상에 제1 게이트 절연막(310)을 패턴 형성하고, 상기 제1 게이트 절연막(310)을 마스크로 하여 상기 액티브층(400)에 대한 도체화 공정을 수행한다.
- [0147] 상기 제1 게이트 절연막(310)은 상기 TFT 영역의 액티브층(400) 상에 형성하고, 상기 커패시터 영역의 액티브층(400) 상에는 형성하지 않는다.
- [0148] 상기 도체화 공정을 수행하면, 상기 제1 게이트 절연막(310)에 의해 가려지지 않은 액티브층(400)의 영역이 도체화되어 제1 액티브 배선(410), 제2 액티브 배선(420), 및 제2 커패시터 전극(430)이 형성된다. 그리고, 상기 제1 게이트 절연막(310)에 의해 가려진 액티브층(400)의 영역은 도체화되지 않고 잔존하여 액티브층(400) 패턴이 완성된다.
- [0149] 다음, 도 8c에서 알 수 있듯이, 상기 제1 게이트 절연막(310) 및 제2 커패시터 전극(430) 상에 제2 게이트 절연막(320)을 패턴 형성하고, 상기 제2 게이트 절연막(320) 상에 게이트 전극(210) 및 제1 커패시터 전극(220)을

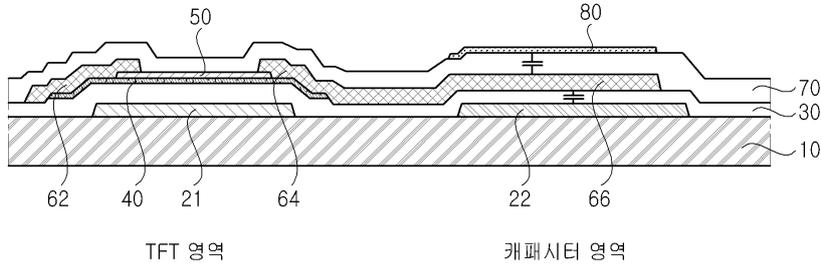


800: 보호막

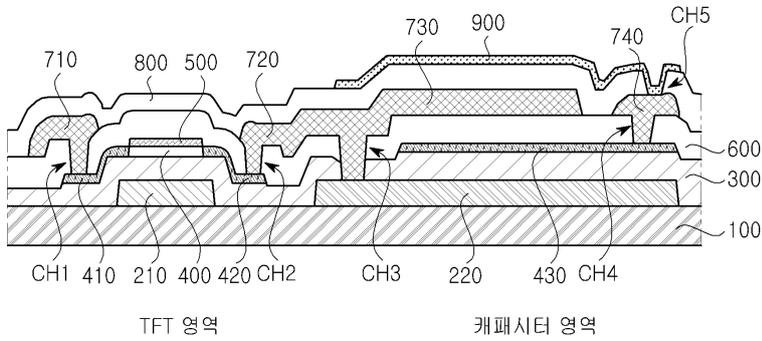
900: 제4 커패시터 전극

도면

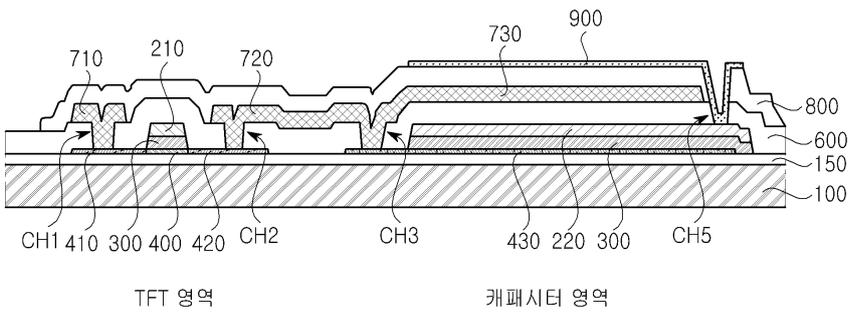
도면1



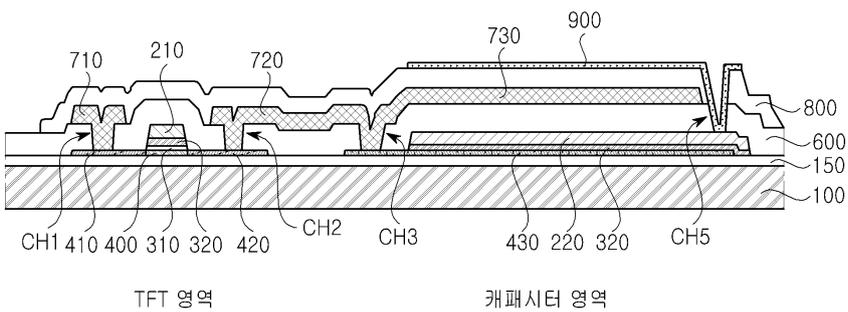
도면2



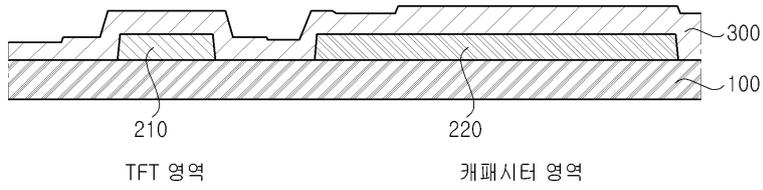
도면3



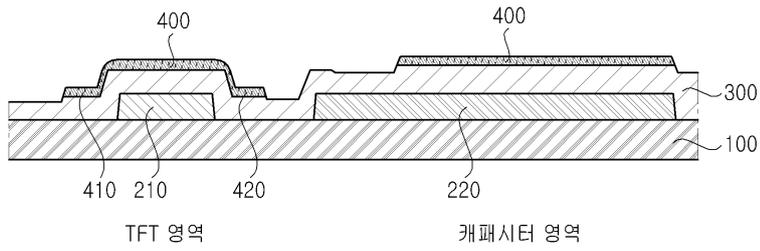
도면4



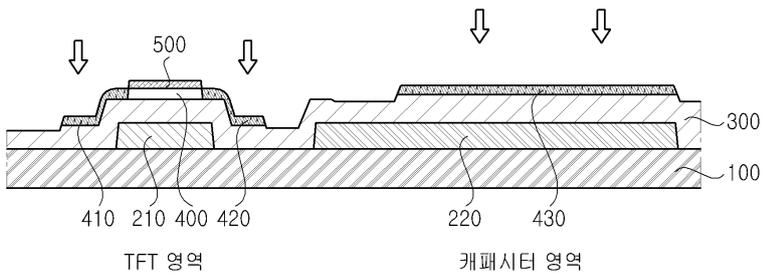
도면5a



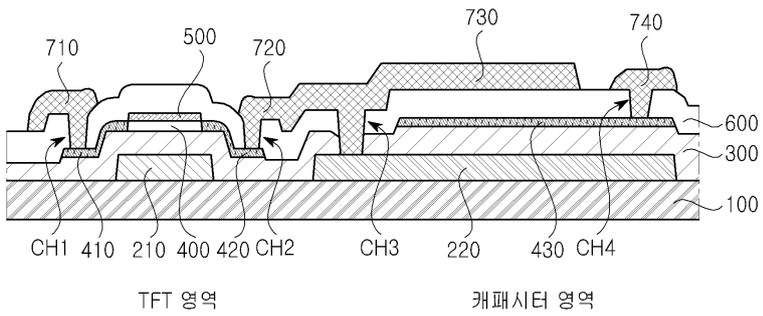
도면5b



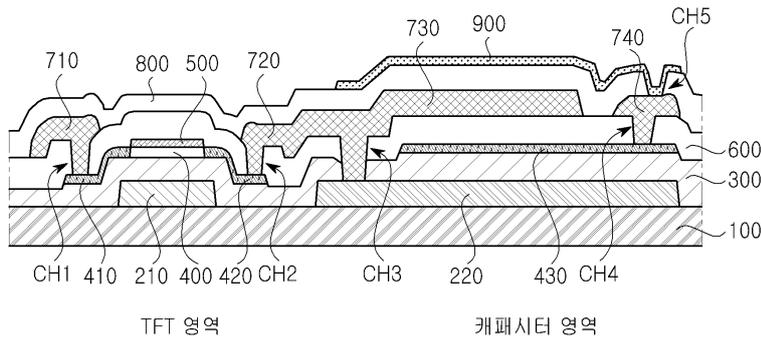
도면5c



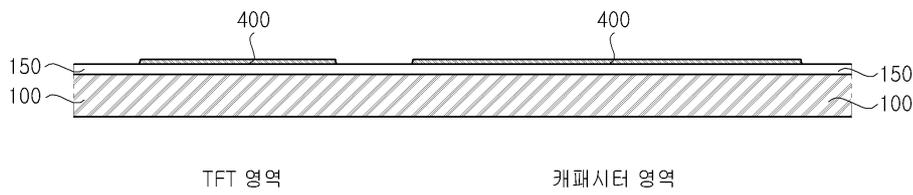
도면5d



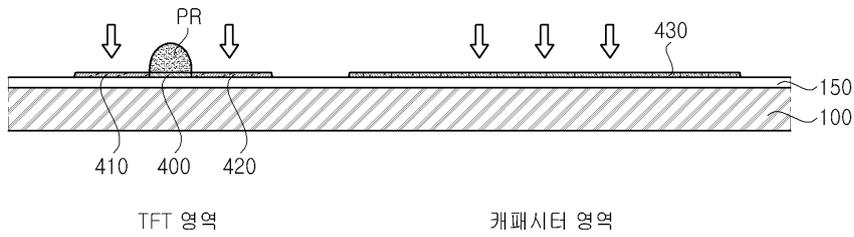
도면5e



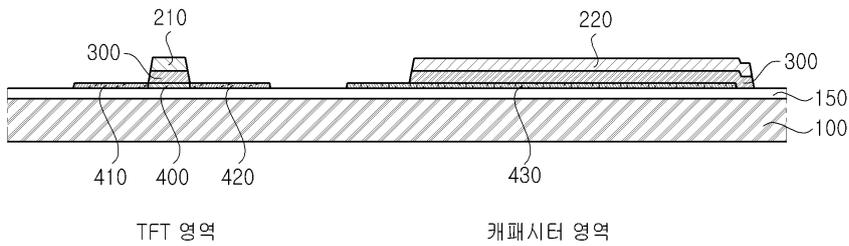
도면6a



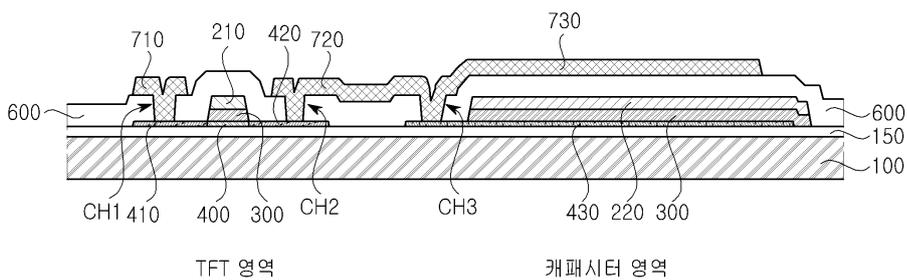
도면6b



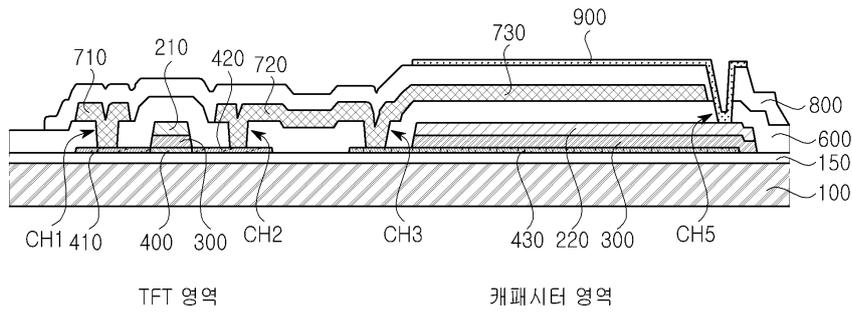
도면6c



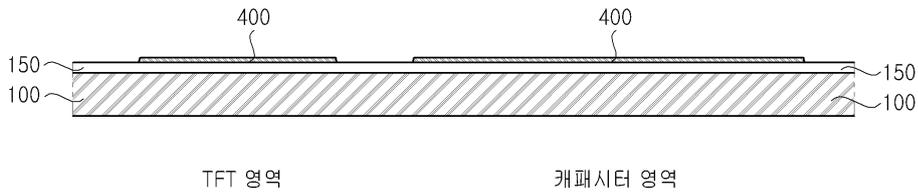
도면6d



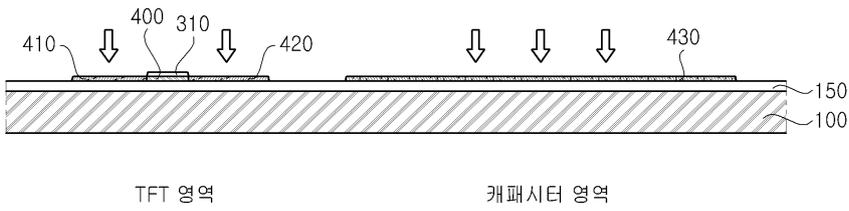
도면6e



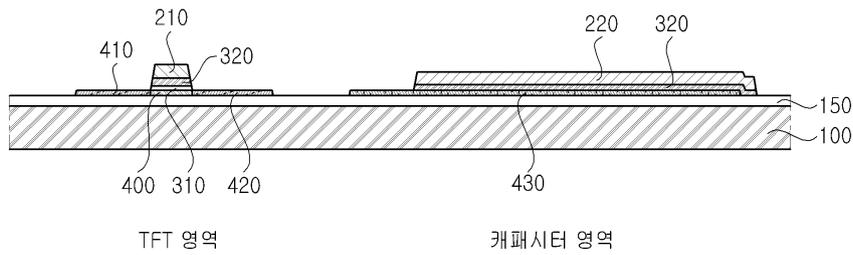
도면7a



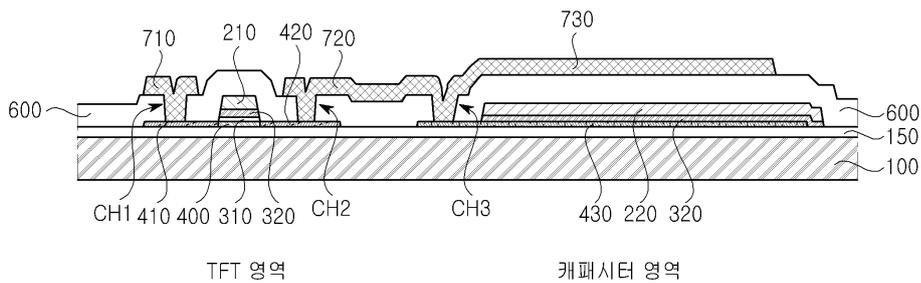
도면7b



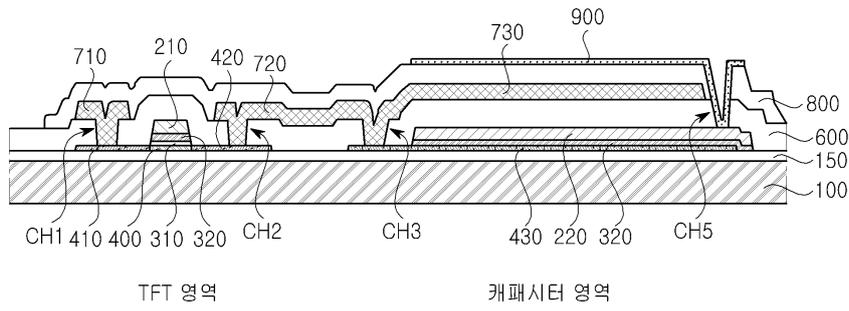
도면7c



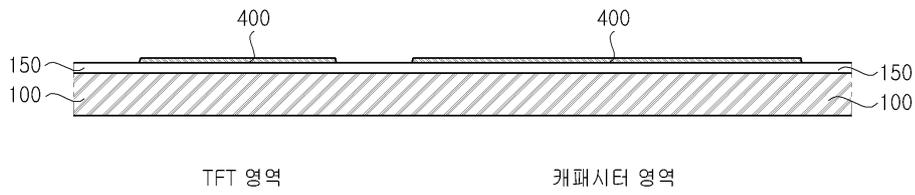
도면7d



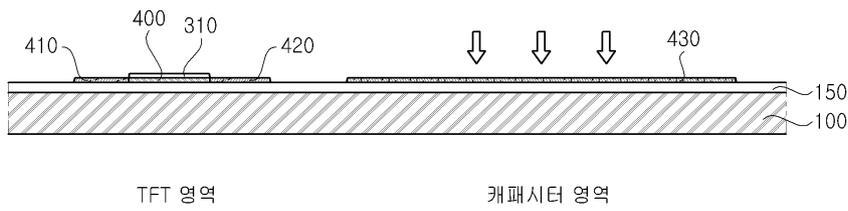
도면7e



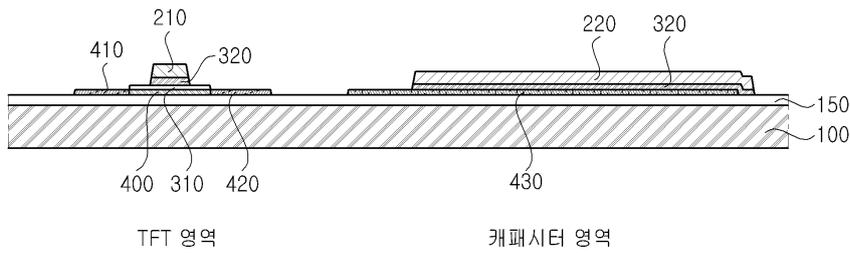
도면8a



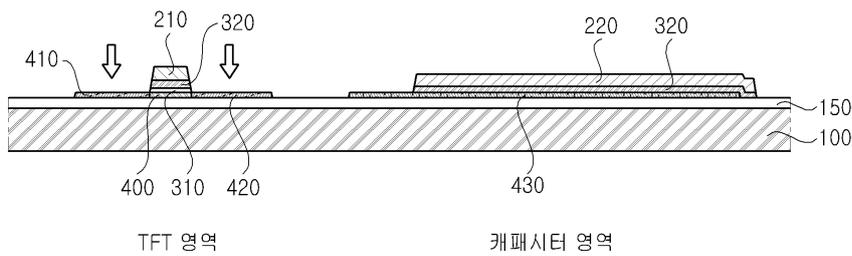
도면8b



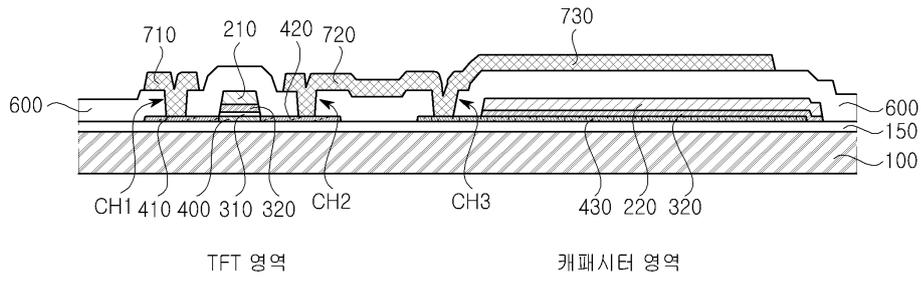
도면8c



도면8d



도면8e



도면8f

