

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5162276号
(P5162276)

(45) 発行日 平成25年3月13日(2013.3.13)

(24) 登録日 平成24年12月21日(2012.12.21)

(51) Int.Cl. F1
G11C 11/22 (2006.01) G11C 11/22 501F

請求項の数 5 (全 20 頁)

<p>(21) 出願番号 特願2008-48174 (P2008-48174) (22) 出願日 平成20年2月28日 (2008.2.28) (65) 公開番号 特開2009-205757 (P2009-205757A) (43) 公開日 平成21年9月10日 (2009.9.10) 審査請求日 平成23年2月17日 (2011.2.17)</p>	<p>(73) 特許権者 000116024 ローム株式会社 京都府京都市右京区西院溝崎町2 1 番地 (74) 代理人 100083806 弁理士 三好 秀和 (74) 代理人 100133514 弁理士 寺山 啓進 (74) 代理人 100122910 弁理士 三好 広之 (74) 代理人 100117064 弁理士 伊藤 市太郎 (72) 発明者 木村 啓明 京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内</p>
--	--

最終頁に続く

(54) 【発明の名称】 強誘電体メモリ装置

(57) 【特許請求の範囲】

【請求項 1】

列方向に配置された複数のビット線と、
 前記ビット線に直交し、行方向に配置された複数のワード線と、
 前記ビット線に直交し、行方向に配置された複数のプレート線と、
 前記ビット線に直交し、行方向に配置されたビット線制御線と、
 前記複数のビット線と前記複数のワード線および前記プレート線の交差部に配置され、一方の電極を前記プレート線に接続された強誘電体キャパシタと、前記強誘電体キャパシタの他方の電極にソース、前記ビット線にドレイン、前記ワード線にゲートを接続されたメモリセルトランジスタからなる強誘電体メモリセルと、

前記複数のビット線と前記ビット線制御線の交差部に配置され、一方の電極を接地電位に接続された負荷容量と、前記負荷容量の他方の電極にソース、前記ビット線にドレイン、前記ビット線制御線にゲートを接続された負荷容量調整トランジスタからなる負荷容量調整セルと

を備え、

前記強誘電体キャパシタは、少なくとも1つの強誘電体薄膜を備え、

前記強誘電体メモリセル内のデータは、前記強誘電体キャパシタに充電される電荷、あるいは、前記強誘電体薄膜内部の残留分極電荷によって保持され、

前記負荷容量調整セルは、前記強誘電体メモリセル内のデータを読み出す際、前記強誘電体キャパシタに充電される充電電荷で保持される場合と、前記強誘電体薄膜内部の残留

分極電荷によって保持される場合とで、前記ビット線の容量を切り換えることを特徴とする強誘電体メモリ装置。

【請求項 2】

前記強誘電体メモリセルが接続される前記ビット線の容量を調整することを特徴とする請求項 1 に記載の強誘電体メモリ装置。

【請求項 3】

前記強誘電体キャパシタに充電される充電電荷で保持される場合、リフレッシュ動作時に、前記強誘電体薄膜内部の残留分極電荷としてもデータを保持することを特徴とする請求項 1 に記載の強誘電体メモリ装置。

【請求項 4】

電源遮断後に、前記強誘電体薄膜内部の残留分極電荷としてデータを保持していないメモリセルに対して、前記強誘電体薄膜内部の残留分極電荷としてデータを保持することを特徴とする請求項 1 に記載の強誘電体メモリ装置。

【請求項 5】

電源投入後に、前記強誘電体薄膜内部の残留分極電荷としてデータを保持しているメモリセルに対し、前記強誘電体キャパシタに充電される充電電荷としてデータを保持することを特徴とする請求項 1 に記載の強誘電体メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、強誘電体メモリ装置に関し、特に、メモリセルが接続されるビット線の容量を調整する強誘電体メモリ装置に関する。

【背景技術】

【0002】

強誘電体メモリ (F R A M : Ferroelectric Random Access Memory (F R A M : 登録商標)) は、強誘電体キャパシタが有するヒステリシス特性を用いることで、記憶データの揮発性 (例えば、約 10 年程度の保持性能) と、例えば、約数 10 n s 程度の高速データ書き込み性能という優れた特性を実現している。

【0003】

一方、強誘電体キャパシタのヒステリシス特性の制御には、比較的大きい容量を駆動する必要があるため、そのままでは、例えば、数 n s 程度のアクセスタイムを有するスタティックランダムアクセスメモリ (S R A M : Static Random Access Memory) レベルの高速動作を実現することは難しい。また、分極反転を繰り返す毎に徐々に強誘電体キャパシタの特性が劣化するため、データ書き換え回数が 1 キャパシタあたり 10^{14} 回程度に制限されてしまうという問題点があった。

【0004】

これを解決するために、通常動作時は、強誘電体キャパシタを単なる容量素子として使用し、充電電荷によってデータを保持するダイナミックランダムアクセスメモリ (D R A M : Dynamic Random Access Memory) モード動作を行い、電源遮断時のみ、ヒステリシス特性を利用してデータを不揮発化する F R A M モード動作を行うという方法がある (例えば、特許文献 1 および特許文献 2 参照。)

【0005】

この方法では、通常動作時はヒステリシス特性を利用せず、駆動する容量を低減することで動作の高速化を図ることができ、また、分極反転も生じないため、デバイスの特性劣化を抑制できるという効果がある。

【0006】

D R A M モードでは、メモリセルが接続されるビット線 (B L : Bit Line) の容量が小さいほど高速動作に有利となるが、一方で、F R A M モードでは、残留分極電荷を読み出すために大きな B L 容量が必要となる。このトレードオフにより F R A M モードが動作可能な範囲でしか B L 容量を小さくすることができないため、高速化に限界がある。

10

20

30

40

50

【 0 0 0 7 】

電源オフ期間中もデータを保持する場合は、電源遮断時、D R A Mモードで動作しているメモリセルに対してF R A Mモードでデータ書込みを行い、データを不揮発化する必要がある。このため、メモリサイズが大きくなるにつれて、電源遮断時に必要なF R A Mモード動作時間が長くなってしまふ。

【特許文献1】特開平06 - 125056号公報

【特許文献2】特開平08 - 203266号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

B L容量が不変な場合、D R A MモードおよびF R A Mモード両方で動作可能な範囲内で容量値を設定する必要がある。このため、B L容量低減によって、高速化を図るには限度があった。混載メモリ用途におけるF R A Mの課題は、アクセス速度の向上にあるが、容量負荷が大きい不揮発(F R A M)動作では高速化が困難である。

【 0 0 0 9 】

本発明の目的は、B L上に負荷容量調整セルを設け、D R A MモードとF R A MモードとでB L上の容量を別個に設定することで、D R A MモードでのB L容量軽減化による高速化と、F R A MモードでのB L容量確保を両立することができる強誘電体メモリ装置を提供することにある。

【 0 0 1 0 】

また、本発明の目的は、通常動作時には、高速動作のため容量負荷が小さいD R A M動作モードで動作させ、電源オン/オフ時には、電源オフ期間のデータ保持のためF R A M動作モードで動作させる強誘電体メモリ装置を提供することにある。

【課題を解決するための手段】

【 0 0 1 1 】

上記目的を達成するための本発明の一態様によれば、列方向に配置された複数のビット線と、前記ビット線に直交し、行方向に配置された複数のワード線と、前記ビット線に直交し、行方向に配置された複数のプレート線と、前記ビット線に直交し、行方向に配置されたビット線制御線と、前記複数のビット線と前記複数のワード線および前記プレート線の交差部に配置され、一方の電極を前記プレート線に接続された強誘電体キャパシタと、前記強誘電体キャパシタの他方の電極にソース、前記ビット線にドレイン、前記ワード線にゲートを接続されたメモリセルトランジスタからなる強誘電体メモリセルと、前記複数のビット線と前記ビット線制御線の交差部に配置され、一方の電極を接地電位に接続された負荷容量と、前記負荷容量の他方の電極にソース、前記ビット線にドレイン、前記ビット線制御線にゲートを接続された負荷容量調整トランジスタからなる負荷容量調整セルとを備え、前記強誘電体キャパシタは、少なくとも1つの強誘電体薄膜を備え、前記強誘電体メモリセル内のデータは、前記強誘電体キャパシタに充電される電荷、あるいは、前記強誘電体薄膜内部の残留分極電荷によって保持され、前記負荷容量調整セルは、前記強誘電体メモリセル内のデータを読み出す際、前記強誘電体キャパシタに充電される充電電荷で保持される場合と、前記強誘電体薄膜内部の残留分極電荷によって保持される場合とで、前記ビット線の容量を切り換えることを特徴とする強誘電体メモリ装置が提供される。

【発明の効果】

【 0 0 1 2 】

本発明の強誘電体メモリ装置によれば、B L上に負荷容量調整セルを設け、D R A MモードとF R A MモードとでB L上の容量を別個に設定することで、D R A MモードでのB L容量軽減化による高速化と、F R A MモードでのB L容量確保を両立することができる。

【 0 0 1 3 】

本発明の強誘電体メモリ装置によれば、通常動作時には、高速動作のため容量負荷が小さいD R A M動作モードで動作させ、電源オン/オフ時には、電源オフ期間のデータ保持

10

20

30

40

50

のため F R A M 動作モードで動作させることができる。

【 0 0 1 4 】

本発明の強誘電体メモリ装置によれば、S R A M と同程度の動作速度の高速化が図ることができる。

【 0 0 1 5 】

また、本発明の強誘電体メモリ装置によれば、電源遮断時のデータ退避処理の高速化を図ることができる。

【 0 0 1 6 】

また、本発明の強誘電体メモリ装置によれば、分極反転回数低減による、強誘電体デバイスの特性劣化を抑制することができる。

10

【発明を実施するための最良の形態】

【 0 0 1 7 】

次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一または類似の部分には同一または類似の符号を付している。ただし、図面は模式的なものであり、現実のものとは異なることに留意すべきである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【 0 0 1 8 】

また、以下に示す実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の技術的思想は、各構成部品の配置などを下記のものに特定するものでない。この発明の技術的思想は、特許請求の範囲において、種々の変更を加えることができる。

20

【 0 0 1 9 】

[第 1 の実施の形態]

(強誘電体メモリ装置)

本発明の第 1 の実施の形態に係る強誘電体メモリ装置 1 0 は、図 1 に示すように、複数のバンク 1 8₁₁, 1 8₁₂, ..., 1 8_{n1}, 1 8_{n2} と、周辺回路部 1 4 と、S R A M インタフェース (I / F) 部 1 6 とを備える。S R A M I / F 部 1 6 は、複数のバンク 1 8₁₁, 1 8₁₂, ..., 1 8_{n1}, 1 8_n を外部と接続する際に、外部に対して S R A M 互換のインタフェースを提供するものである。

【 0 0 2 0 】

30

周辺回路部 1 4 は、S R A M I / F 部 1 6 および複数のバンク 1 8₁₁, 1 8₁₂, ..., 1 8_{n1}, 1 8_{n2} 以外の他の構成要素を示す。複数のバンク 1 8₁₁, 1 8₁₂, ..., 1 8_{n1}, 1 8_n は、それぞれが独立した強誘電体メモリを構成し、各バンク単位でデータの書込み、読出し、保持を実施する。

【 0 0 2 1 】

(バンクの構成例 1)

本発明の第 1 の実施の形態に係る強誘電体メモリ装置 1 0 の 1 つのバンク 1 8 は、例えば、図 2 に示すように、F R A M セルアレイ部 2 4 a ・ 2 4 b と、F R A M セルアレイ部 2 4 a ・ 2 4 b に列方向に隣接してそれぞれ配置された負荷容量調整アレイ部 2 6 a ・ 2 6 b と、負荷容量調整アレイ部 2 6 a ・ 2 6 b に列方向に隣接して共通に配置されたセンスアンプおよび列デコーダ 2 8 と、F R A M セルアレイ部 2 4 a、2 4 b に行方向に隣接して配置されたワード線 / プレート線 (W L / P L) ドライバ 2 2 a ・ 2 2 b、2 2 c ・ 2 2 d と、ワード線 / プレート線 (W L / P L) ドライバ 2 2 a ・ 2 2 b、2 2 c ・ 2 2 d にそれぞれ列方向に隣接して配置された行デコーダ 2 0 a ・ 2 0 b、2 0 c ・ 2 0 d と、行デコーダ 2 0 a ・ 2 0 c およびセンスアンプおよび列デコーダ 2 8 に隣接して配置され、アドレス信号 A D を受信するプリデコーダ 3 0 とを備える。センスアンプおよび列デコーダ 2 8 は、データ信号 D S を出力する。

40

【 0 0 2 2 】

ワード線 / プレート線 (W L / P L) ドライバ 2 2 a ・ 2 2 b から F R A M セルアレイ部 2 4 a に対しては、複数のワード線 W L および複数のプレート線 P L が行方向に延伸さ

50

れている。同様に、ワード線/プレート線(WL/PL)ドライバ22c・22dからFRAMセルアレイ部24bに対しては、複数のワード線WLおよび複数のプレート線PLが行方向に延伸されている。

【0023】

また、ワード線/プレート線(WL/PL)ドライバ22a・22bから負荷容量調整アレイ部26aに対しては、ビット線容量制御線BLCが行方向に延伸されている。同様に、ワード線/プレート線(WL/PL)ドライバ22c・22dから負荷容量調整アレイ部26bに対しては、ビット線容量制御線BLCが行方向に延伸されている。

【0024】

FRAMセルアレイ部24a・24b内の複数のビット線BLは、列方向に延伸され、共通のセンスアンプおよび列デコーダ28内のセンスアンプ38に接続されている。

10

【0025】

FRAMセルアレイ部24a・24b内には、強誘電体メモリセル32がマトリックス状に配置され、負荷容量調整アレイ部26a・26b内には、負荷容量調整セル34が配置されている。

【0026】

図2に示す例では、FRAMセルアレイ部が2つに分割された例を示したが、1つであってもよい。また、図2に示す例では、1つのFRAMセルアレイ部に対して、行方向に配置される行デコーダ、WL/PLドライバは2個ずつ配置された例を示したが、1つずつであってもよい。

20

【0027】

本実施の形態に係る強誘電体メモリ装置において、ビット線BLに沿う強誘電体メモリセル32と負荷容量調整セル34の模式的回路構成は、図3に示すように、列方向に配置された複数のビット線BLと、ビット線BLに直交し、行方向に配置された複数のワード線WLと、ビット線BLに直交し、行方向に配置された複数のプレート線PLと、ビット線BLに直交し、行方向に配置されたビット線容量制御線BLCと、複数のビット線BLと複数のワード線WLおよびプレート線PLの交差部に配置され、強誘電体キャパシタ C_F とメモリセルトランジスタ Q_M からなる強誘電体メモリセル32と、複数のビット線BLとビット線容量制御線BLCの交差部に配置され、負荷容量 C_L と負荷容量調整トランジスタ Q_L からなる負荷容量調整セル34とを備える。

30

【0028】

強誘電体キャパシタ C_F の一方の電極は、プレート線PLに接続される。強誘電体キャパシタ C_F の他方の電極は、メモリセルトランジスタ Q_M のソースに接続される。メモリセルトランジスタ Q_M のドレインは、ビット線BLに接続される。メモリセルトランジスタ Q_M のゲートは、ワード線WLに接続される。

【0029】

負荷容量 C_L の一方の電極は、接地電位に接続される。負荷容量 C_L の他方の電極は、負荷容量調整トランジスタ Q_L のソースに接続される。負荷容量調整トランジスタ Q_L のドレインは、ビット線BLに接続される。負荷容量調整トランジスタ Q_L のゲートは、ビット線容量制御線BLCに接続される。

40

【0030】

強誘電体キャパシタ C_F は、少なくとも1つの強誘電体薄膜を備える。

【0031】

強誘電体メモリセル32内のデータは、強誘電体キャパシタ C_F に充電される電荷、あるいは、強誘電体薄膜内部の残留分極電荷によって保持される。

【0032】

本実施の形態に係る強誘電体メモリ装置においては、図3に示すように、強誘電体メモリセル32に対して、負荷容量切替部36を配置して、ビット線BLの容量値を調整している。

【0033】

50

負荷容量切替部 36 は、図 3 に示すように、ビット線容量制御線 BLC と、負荷容量 C_L と負荷容量調整トランジスタ Q_L からなる負荷容量調整セル 34 と、ビット線 BL に接続されるセンスアンプ 38 と、ビット線容量 C_B とから構成される。

【0034】

ビット線容量制御線 BLC をハイレベルにすることで、負荷容量調整トランジスタ Q_L が導通状態となり、ビット線 BL の容量値は $C_B + C_L$ の大容量に増加される。一方、ビット線容量制御線 BLC をローレベルにすることで、負荷容量調整トランジスタ Q_L がオフ状態となり、ビット線 BL の容量値は C_B の小容量の状態が維持される。

【0035】

負荷容量調整セル 34 は、データ保持用の強誘電体メモリセル 32 と同じ構造で構成可能である。例えば、メモリセルトランジスタ Q_M と強誘電体キャパシタ C_F からなる強誘電体メモリセル 32 と同じ構造を一つ又は複数個並列接続することによって、負荷容量 C_L を得ることもできる。したがって、負荷容量調整セル 34 は、FRAMモード時のみ負荷容量調整トランジスタ Q_L を介して BL に接続されるため、構成を簡単化することができる。

【0036】

(バンクの構成例 2)

本実施の形態に係る強誘電体メモリ装置 10 の一つのバンク 18 の別の詳細な模式的ブロック構成例は、例えば、図 4 に示すように、FRAMセルアレイ部 25a・25b と、FRAMセルアレイ部 25a・25b に列方向に隣接して配置された共通のセンスアンプおよび列デコーダ 28 と、FRAMセルアレイ部 25a に対して行方向に隣接して配置された WL/PLドライバ 22a・22b と、FRAMセルアレイ部 25b に対して行方向に隣接して配置された WL/PLドライバ 22c・22d と、WL/PLドライバ 22a・22b に隣接して列方向に配置された行デコーダ 20a・20b と、WL/PLドライバ 22c・22d に隣接して列方向に配置された行デコーダ 20c・20d とを備える。さらに、行デコーダ 20a・20c およびセンスアンプおよび列デコーダ 28 に隣接して配置され、アドレス信号 AD を受信するプリデコーダ 30a を備える。さらにまた、行デコーダ 20b・20d およびセンスアンプおよび列デコーダ 28 に隣接して配置され、アドレス信号 AD を受信するプリデコーダ 30b を備える。

【0037】

センスアンプおよび列デコーダ 28 は、入出力制御部 40 に接続されている。さらに、バンク 18 内には、メモリ制御シーケンサ 42 が配置されている。負荷容量調整セル 34 をデータ保持用の強誘電体メモリセル 32 と同じ構造で構成することによって、FRAMセルアレイ部 25a・25b は、負荷容量調整アレイ部 26a・26b を内部に含む構成を容易に実現している。また、負荷容量調整セル 34 を強誘電体メモリセル 32 と同じ構造にすることで、作製時のプロセスばらつきを低減することができる。ただし、これに限るものではなく、負荷容量調整セル 34 を強誘電体メモリセル 32 と別の構成としてもよい。

【0038】

メモリ制御シーケンサ 42 には、アドレス信号 AD[15:10]、クロック信号 CLK、読出し要求信号 RD、書込み要求信号 WR およびリフレッシュ要求信号 REF が入力される。

【0039】

メモリ制御シーケンサ 42 からは、出力制御信号 OE、入力制御信号 WE、センスアンプ制御信号 SA E、プレート線制御信号 PLC、ワード線制御信号 WLC およびビット線容量制御信号 BLC C が出力される。

【0040】

WL/PLドライバ 22a・22b から FRAMセルアレイ部 25a に対しては、複数のワード線 WLT[127:0]、複数のプレート線 PLT[127:0] およびビット線容量制御線 BLC[2:0] が行方向に延伸されている。ビット線容量制御線 BLC[2:0]

10

20

30

40

50

は、FRAMセルアレイ部25a内の負荷容量調整アレイ部26aに接続される。

【0041】

同様に、WL/PLドライバ22c・22dからFRAMセルアレイ部25bに対しては、複数のワード線WLB[127:0]、複数のプレート線PLB[127:0]およびビット線容量制御線BLC[2:0]が行方向に延伸されている。ビット線容量制御線BLC[2:0]は、FRAMセルアレイ部25b内の負荷容量調整アレイ部26bに接続される。

【0042】

FRAMセルアレイ部25a内の複数のビット線BLT[63:0]および#BLT[63:0]は、列方向に延伸され、センスアンプおよび列デコーダ28内のセンスアンプに接続されている。

10

【0043】

同様に、FRAMセルアレイ部25b内の複数のビット線BLB[63:0]および#BLT[63:0]は、列方向に延伸され、センスアンプおよび列デコーダ28のセンスアンプに接続されている。

【0044】

FRAMセルアレイ部25a・25b内には、強誘電体メモリセル32がマトリックス状に配置され、それぞれFRAMセルアレイ部25a・25b内の負荷容量調整アレイ部26a・26b内には、負荷容量調整セル34が配置されている。

【0045】

20

行デコーダ20a~20dには、プレート線制御信号PLC、ワード線制御信号WLCおよびビット線容量制御信号BLCC[2:0]が入力される。

【0046】

プリデコーダ30aから行デコーダ20a・20cには、行アドレス信号AR[7:0]が入力され、同様に、プリデコーダ30bから行デコーダ20b・20dには、行アドレス信号AR[7:0]が入力される。

【0047】

入出力制御部40には、出力制御信号OE、入力制御信号WEおよび書込みデータ信号WDL[15:0]が入力される。

【0048】

30

入出力制御部40からは、読出しデータ信号RDL[15:0]が出力される。

【0049】

図4のバンク18の構成例2においても、ビット線BLに沿う強誘電体メモリセル32と負荷容量調整セル34の模式的回路構成は、図3と同様に表される。強誘電体メモリセル32に対して、負荷容量切替部36を配置して、ビット線BLの容量値を調整している。

【0050】

負荷容量調整セル34は、データ保持用の強誘電体メモリセル32と同じ構造で構成され、メモリセルトランジスタ Q_M と強誘電体キャパシタ C_F からなる強誘電体メモリセル32を複数個並列接続することによって、負荷容量 C_L を得ている。

40

【0051】

図4に示す1つのバンク18の構成例2においては、FRAMセルアレイ部が2つに分割された例を示したが、1つであってもよい。また、図4に示す1つのバンク18の構成においては、1つのFRAMセルアレイ部に対して、行方向に配置される行デコーダ、WL/PLドライバは2個ずつ配置された例を示したが、1つずつであってもよい。

【0052】

(動作タイミングチャート)

本実施の形態に係る強誘電体メモリ装置の動作の概略を図5に示すタイミングチャートを用いて説明する。

【0053】

50

(a) まず、タイミング $t_0 \sim t_1$ の期間 T_1 は、通常動作状態にある。強誘電体メモリセルは、分極反転は生じず、小容量駆動のため、ランダムアクセス時の電荷量の変化 Q も小さい。したがって、DRAM動作モードによる高速の動作が可能である。データ“1”とデータ“0”の保持状態のDRAM書込み、読出し時のランダムアクセス動作は、高速に実行可能である。

【0054】

(b) 次に、タイミング t_1 において電源オフの制御信号を受信する。

【0055】

(c) 次に、タイミング $t_1 \sim t_2$ の期間 T_2 は、FRAM書込み状態にある。強誘電体メモリセルは、分極反転が生じ、大容量駆動のため、FRAM書込み時の電荷量の変化 Q も大きい。したがって、FRAM書込み動作モードによる中速の動作が可能である。

10

【0056】

(d) 次に、タイミング $t_2 \sim t_3$ の期間 T_3 は、電源オフ期間である。強誘電体メモリセルには、FRAM書込み動作モードにより、充電電荷によって書き込まれたデータ“1”あるいは分極反転によって書き込まれたデータ“0”が保持される。

【0057】

(e) 次に、タイミング $t_3 \sim t_4$ の期間 T_4 は、FRAM読出し状態にある。FRAM読出し動作モードにより、充電電荷によって書き込まれたデータ“1”がDRAMモードで読み出され、あるいは分極反転によって書き込まれたデータ“0”がFRAM読出し動作モードによって読み出される。このFRAM読出し動作モードによる読出しの場合、分極反転状態から大容量駆動により読み出される。FRAM読出し時の電荷量の変化 Q も大きい。したがって、タイミング $t_3 \sim t_4$ の期間 T_4 は、FRAM動作モードによる中速の動作が可能である。

20

【0058】

(f) 次に、タイミング t_4 以降の期間 T_5 は、通常動作状態にある。強誘電体メモリセルは、分極反転は生じず、小容量駆動のため、電荷量の変化 Q も小さい。したがって、DRAM動作モードによる高速の動作が可能である。一方、強誘電体メモリセルは、充電電荷のみならず、残留分極電荷としてもデータを保持している状態とすることも可能である。この場合、データは不揮発化されており、かつ、DRAM動作モードによる読出しも可能である。

30

【0059】

(DRAM読出し動作)

本実施の形態に係る強誘電体メモリ装置において、通常動作時 (DRAM動作モード) の強誘電体メモリセルの読出し動作を、図6に示す回路構成を参照して説明する。

【0060】

同一のビット線 B_L 上に接続される強誘電体メモリセル32は、それぞれメモリセルトランジスタ Q_M と強誘電体キャパシタ C_{F1} , C_{F2} , $C_{F3} \dots$ を備える。強誘電体キャパシタ C_{F1} , C_{F2} , $C_{F3} \dots$ の値は、分極反転状態を生じていない場合には小さく、分極反転状態を生じている場合には大きい。すなわち、強誘電体キャパシタのヒステリシス特性上の動作点に応じて、分極反転状態を生じている場合には蓄積電荷量が大きいため、読出し動作に時間を要する (FRAM読出しモード) が、分極反転状態を生じていない場合には蓄積電荷量が小さいため、高速に読出し動作が行われる (DRAM読出しモード) 。

40

【0061】

DRAM読出し動作においては、強誘電体キャパシタのヒステリシス特性上の動作点において、強誘電体キャパシタの容量が小さい部分を使用する。

【0062】

プレート線 P_L を接地レベル (GND) にした状態で、ワード線 W_L をハイレベルにすると、強誘電体キャパシタ C_{F1} に蓄積されていた電荷 Q は、ビット線 B_L 上に掃き出される。負荷容量切替部36内の負荷容量調整セル34は、DRAM読出し動作時においては、ビット線容量制御線 $B_L C$ がローレベルにされているため働かない。

50

【 0 0 6 3 】

ビット線 B L 上に掃き出された電荷 Q は、ビット線容量 C_B を充電し、その電位変化がセンスアンプ 3 8 を介して増幅される。

【 0 0 6 4 】

本実施の形態に係る強誘電体メモリ装置のアクセス時間は、図 7 に示すように、通常動作時 (D R A M 動作モード) のアドレス信号 A D に対するデータ信号 D S の遅延時間として表される。

【 0 0 6 5 】

例えば、 $0.35 \mu\text{m}$ C M O S 技術により製造した本実施の形態に係る強誘電体メモリ装置において、電源電圧を 3.3 V で動作させた結果、通常動作時のアクセス時間は、約 9.8 nsec 程度である。従来の F R A M における通常動作時のアクセス時間は、約 75 nsec 程度であることから、本実施の形態に係る強誘電体メモリ装置においては、S R A M と同程度のアクセス時間が得られている。

10

【 0 0 6 6 】

D R A M 読出し動作を、図 8 に示す模式的回路構成図および図 9 に示すヒステリシス特性上の動作説明図を用いて説明する。

【 0 0 6 7 】

D R A M 動作モードにおいては、ビット線容量制御線 B L C をローレベルにすることで、負荷容量調整セル 3 4 の負荷容量調整トランジスタ Q_L がオフ状態となり、ビット線 B L の容量値は C_B の小容量の状態が維持される。この場合、図 9 に示すように、強誘電体メモリセル 3 2 の強誘電体キャパシタは、ヒステリシス特性上の動作点 A と B の状態にある。すなわち、“ 1 ” が蓄積されている場合には、 $S = 1$ の状態 (動作点 A) にある。一方、“ 0 ” が蓄積されている場合には、 $S = 0$ の状態 (動作点 B) にある。動作点 A と動作点 B の間の電荷の変化量 Q は小さい。

20

【 0 0 6 8 】

D R A M 動作モードにおける強誘電体キャパシタ C_F の値を C_S とし、強誘電体キャパシタ C_F に蓄積される電圧を V_S とすると、 $Q = C_S \cdot V_S$ の電荷量保存の法則により、ビット線 B L の電圧 $V_B = Q / (C_S + C_B) = C_S \cdot V_S / (C_S + C_B)$ で表される

ビット線 B L の電圧 V_B は、 C_S と C_B の大きさで決まる。 C_B が小さい方が信号振幅が大きくなり、高速動作に適する。

30

【 0 0 6 9 】

(F R A M 読出し動作)

本実施の形態に係る強誘電体メモリ装置において、F R A M 動作モードの強誘電体メモリセルの読出し動作を、図 1 0 に示す回路構成を参照して説明する。

【 0 0 7 0 】

F R A M 読出し動作においては、強誘電体キャパシタのヒステリシス特性上の動作点において、強誘電体キャパシタの容量変化が大きい部分を使用する。

【 0 0 7 1 】

ワード線 W L をハイレベルにした状態で、プレート線 P L をハイレベルにすると、強誘電体キャパシタ C_{F1} に蓄積されていた電荷 Q は、ビット線 B L 上に掃き出される。負荷容量切替部 3 6 内の負荷容量調整セル 3 4 は、F R A M 読出しモードにおいては、ビット線容量制御線 B L C がハイレベルにされるため、ビット線 B L 上に掃き出された電荷 Q は、増加されたビット線容量 ($C_B + C_L$) を充電し、その電位変化がセンスアンプ 3 8 を通じて増幅される。

40

【 0 0 7 2 】

F R A M 読出しモードの読出し電圧 V_{out} と負荷容量 C_L との関係のシミュレーション結果を図 1 1 に示す。ビット線容量が C_B のみの場合には、P 0 で示すように、読出し電圧 V_{out} は、約 0.40 V 程度である (D R A M 読出しモード) 。一方、負荷容量調整セル 3 4 を動作させて負荷容量 C_L を加え、ビット線容量を ($C_B + C_L$) に増加した場合には、P 1 で示すように、読出し電圧 V_{out} は、約 0.63 V 程度となり、信号量は約 1.5 倍

50

に上昇している(FRAM読出しモード)。FRAM動作モードにおいては、負荷容量 C_L を調整することによって、読出し電圧 V_{out} の信号量を確保することができる。

【0073】

FRAM読出し動作を、図12に示す模式的回路構成図および図13に示すヒステリシス特性上の動作説明図を用いて説明する。

【0074】

FRAM読出し動作においては、ビット線容量制御線 BLC をハイレベルにすることで、負荷容量調整セル34の負荷容量調整トランジスタ Q_L がオン状態となり、ビット線 BL の容量値は $(C_B + C_L)$ の大容量の状態に調整される。この場合、図13に示すように、強誘電体メモリセル32の強誘電体キャパシタは、ヒステリシス特性上の動作点 B と D の状態にある。すなわち、“1”が蓄積されている場合には、 $S = 1$ の状態(動作点 B)にある。一方、“0”が蓄積されている場合には、 $S = 0$ の状態(動作点 D)にある。データ“1”のFRAM読出し動作における電荷の変化量は、 Q_L で表され、データ“0”のFRAM読出し動作における電荷の変化量は、 Q_S で表される。動作点 B と動作点 D の間の電荷の変化量($Q_L - Q_S$)は大きい。

10

【0075】

FRAM読出し動作モードにおける強誘電体キャパシタ C_F の値を C_S とし、強誘電体キャパシタ C_F に蓄積される電圧を V_S とすると、 $Q = C_S \cdot V_S$ の電荷量保存の法則により、プレート線 PL の電圧が接地電位(GND)から V_{DD} まで上昇することにより、 $Q = C_S \cdot V_S = C_B \cdot (V_{DD} - V_S)$ が成立する。したがって、強誘電体キャパシタ C_F に蓄積される電圧 $V_S = C_B \cdot V_{DD} / (C_S + C_B)$ が成立する。ここで、負荷容量調整トランジスタ Q_L がオン状態となり、ビット線 BL の容量値は $(C_B + C_L)$ の大容量の状態に調整されることによって、 $V_S = (C_B + C_L) \cdot V_{DD} / (C_S + C_B + C_L)$ が成立する。

20

【0076】

FRAM読出し動作モードにおいては、強誘電体キャパシタ C_F に電圧を印加して、出力電荷の差を見ることによって、読出し動作が実施される。強誘電体キャパシタ C_F に十分な電圧を印加するには、大きなビット線容量 C_B が必要であり、負荷容量調整トランジスタ Q_L がオン状態となり、ビット線 BL の容量値を $(C_B + C_L)$ の大容量の状態に調整することによって、大きなビット線容量を確保することができる。

30

【0077】

(リフレッシュ動作)

本実施の形態に係る強誘電体メモリ装置において、強誘電体メモリセルのリフレッシュ動作を図14に示す回路構成および図15(a)に示す動作波形を用いて説明する。また、充電電荷でのみデータを保持する強誘電体メモリセルのヒステリシス特性上の動作は、図15(b)に示すように表され、データ書込み動作時(FRAM動作モード)のヒステリシス特性上の動作は、図15(c)および図15(d)に示すように表され、充電電荷および残留分極電荷の両方でデータを保持するヒステリシス特性上の動作は、図15(e)に示すように表される。

【0078】

(a)まず、タイミング $t_0 \sim t_1$ の期間 T_1 は、データ保持状態を示す。データ“1”の蓄積状態は、ヒステリシス特性上、 V_{DD} が印加された動作点 A にある。一方、データ“0”の蓄積状態は、ヒステリシス特性上、接地電位 GND が印加された動作点 B にある。

40

【0079】

(b)次に、タイミング $t_1 \sim t_2$ の期間 T_2 は、DRAM読出し動作を示す。プレート線 PL の電位を接地レベルの状態で、ワード線 WL にハイレベルの電圧を印加すると、ヒステリシス特性上、動作点 A にあるデータ“1”の蓄積状態および動作点 B にあるデータ“0”の蓄積状態に応じて、タイミング $t_1 \sim t_2$ の期間 T_1 に示すように、ビット線 BL 上に微小な電位変化が発生する。

【0080】

50

(c) 次に、タイミング $t_2 \sim t_3$ の期間 T_3 は、FRAM動作モードのデータ書込み動作を示す。図14に示すように、ワード線 WL にハイレベルの電圧を印加した状態で、プレート線 PL にハイレベルの電圧 V_{DD} を印加すると、データ“1”の状態は、電圧 V_{DD} が印加された動作点 A から、 GND レベルの動作点 B にシフトする。一方、データ“0”の状態は、 GND レベルの動作点 B から、負電圧 $-V_{DD}$ が印加された動作点 C にシフトする。動作点 A から動作点 B へのシフトの場合には、DRAM書込みモードに相当し強誘電体メモリセルのキャパシタは小さいため、電位変化は小さく、電荷の変化量も小さく、高速動作が可能である。一方、動作点 B から動作点 C へのシフトの場合には、FRAM書込みモードに相当し強誘電体メモリセルのキャパシタは大きいため、電位変化は大きく、電荷の変化量も大きく、データ書込みに時間を要する。

10

【0081】

(d) 次に、タイミング $t_3 \sim t_4$ の期間 T_4 も、FRAM動作モードのデータ書込み動作状態を示す。図15(a)に示すように、ワード線 WL にハイレベルの電圧を印加した状態で、プレート線 PL に印加されたハイレベルの電圧 V_{DD} を GND の戻すと、図15(d)に示すように、データ“1”の状態は、 GND レベルの動作点 B から、電圧 V_{DD} が印加された動作点 A にシフトする。一方、データ“0”の状態は、負電圧 $-V_{DD}$ が印加された動作点 C から、 GND レベルの動作点 D にシフトする。動作点 B から動作点 A へのシフトの場合には、強誘電体メモリセルのキャパシタは小さいため、電位変化は小さく、電荷の変化量も小さく、高速動作が可能である。一方、動作点 C から動作点 D へのシフトの場合も、強誘電体メモリセルのキャパシタは小さいため、電位変化は小さく、電荷の変化量も小さく、高速動作が可能である。

20

【0082】

(e) 次に、タイミング $t_4 \sim t_5$ の期間 T_5 は、データ保持状態を示す。データ“1”の蓄積状態は、強誘電体メモリセルのヒステリシス特性上、 V_{DD} が印加された動作点 A にある。一方、データ“0”の蓄積状態は、強誘電体メモリセルのヒステリシス特性上、接地電位 GND が印加された動作点 D にある。

【0083】

このように、タイミング $t_0 \sim t_1$ の期間 T_1 は、充電電荷でのみデータ保持を可能としていたのに対して、タイミング $t_4 \sim t_5$ の期間 T_5 は、充電電荷および残留分極電荷の両方でデータ保持を可能としている。充電電荷として保持しているデータのリフレッシュを行いつつ、残留分極としてもデータを保持している状態にしている。

30

【0084】

(強誘電体メモリ装置の1バンクの動作タイミングチャート)

本実施の形態に係る強誘電体メモリ装置の1つのバンクとして、図4に示されたバンクの構成例2の動作タイミングチャートは、図16に示すように表される。

【0085】

データ保持

(a) まず、タイミング $t_0 \sim t_1$ の期間 U_1 は、通常動作時のデータ保持状態を示す。図15(b)に示したように、データ“1”の蓄積状態は、ヒステリシス特性上、 V_{DD} が印加された動作点 A にある。一方、データ“0”の蓄積状態は、強誘電体メモリセルのヒステリシス特性上、接地電位 GND が印加された動作点 B にある。

40

【0086】

DRAM読出し動作

タイミング $t_1 \sim t_5$ の期間 U_2 において、DRAM動作モードのデータ読出し動作を実線で示す。

【0087】

(b) タイミング t_1 において、アドレス信号 AD が投入され、同時に読出し要求信号 RD がハイレベルとなる。

【0088】

(c) 次に、タイミング t_2 において、ワード線制御信号 WLC がオンになり、ワード線

50

WLの電位がハイレベルとなる。ここで、プレート線PLの電位は接地レベルであり、ワード線WLにハイレベルの電圧を印加することで、ヒステリシス特性上、 V_{DD} が印加された動作点Aにあるデータ“1”の蓄積状態および接地電位GNDが印加された動作点Bにあるデータ“0”の蓄積状態に応じて、タイミング $t_2 \sim t_3$ の期間の実線で示すように、ビット線BL, BL#上に微小な電位変化が発生する。

【0089】

(d)次に、タイミング t_3 において、センスアンプ制御信号SAEがオンになると、センスアンプのラッチアップ動作によって、ビット線BL, BL#の電位は、電圧レベルが確定する。ビット線BL#上に現れる電圧は、参照電圧である。

【0090】

(e)次に、タイミング t_4 において、出力制御信号OEがオンになると、読出しデータ信号RDLが、図4の入出力制御部40から出力される。

【0091】

DRAM書込み動作

タイミング $t_1 \sim t_5$ の期間U2において、DRAM動作モードのデータ書込み動作を点線で示す。

【0092】

(f)タイミング t_1 において、アドレス信号ADが投入され、同時に読出し書込み要求信号WRがハイレベルとなる。

【0093】

(g)次に、タイミング t_2 において、入力制御信号WEがオンになり、ワード線制御信号WLCがオンになり、ワード線WLの電位がハイレベルとなる。ここで、プレート線PLの電位は接地レベルであり、ワード線WLにハイレベルの電圧を印加することで、タイミング $t_2 \sim t_3$ の期間に点線で示すように、DRAM書込み動作によって、ビット線BL, BL#上に大きな電位変化が発生する。

【0094】

(h)次に、タイミング t_3 において、センスアンプ制御信号SAEがオンになると、センスアンプのラッチアップ動作によって、ビット線BL, BL#の電位は、電圧レベルが確定する。ビット線BL#上に現れる電圧は、参照電圧である。

【0095】

FRAM動作モードのデータリフレッシュ動作

タイミング $t_6 \sim t_{13}$ の期間U3は、FRAM動作モードのデータリフレッシュ動作を示す。

【0096】

(i)タイミング t_6 において、リフレッシュ要求信号REFがオンになる。

【0097】

(j)次に、タイミング t_7 において、ワード線制御信号WLCがオンになり、ワード線WLの電位がハイレベルとなる。ここで、プレート線PLの電位は接地レベルであり、ワード線WLにハイレベルの電圧を印加することで、タイミング $t_7 \sim t_8$ の期間に示すように、ビット線BL, BL#上に微小な電位変化が発生する。

【0098】

(k)次に、タイミング t_8 において、センスアンプ制御信号SAEがオンになると、センスアンプのラッチアップ動作によって、ビット線BL, BL#の電位は、電圧レベルが確定する。ビット線BL#上に現れる電圧は、参照電圧である。

【0099】

(l)タイミング $t_9 \sim t_{11}$ の期間は、FRAM動作モードのデータ書込み動作を示す。図15(c)に示したように、ワード線WLにハイレベルの電圧を印加した状態で、プレート線PLにハイレベルの電圧 V_{DD} を印加すると、データ“1”の状態は、電圧 V_{DD} が印加された動作点Aから、GNDレベルの動作点Bにシフトする。一方、データ“0”の状態は、GNDレベルの動作点Bから、負電圧 $-V_{DD}$ が印加された動作点Cにシフトする

10

20

30

40

50

。

【0100】

(m)次に、タイミング $t_{11} \sim t_{13}$ の間も、F R A M動作モードのデータ書込み動作を示す。図15(d)に示したように、ワード線 $W L$ にハイレベルの電圧を印加した状態で、プレート線 $P L$ に印加されたハイレベルの電圧 V_{DD} を $G N D$ に戻すと、データ“1”の状態は、 $G N D$ レベルの動作点 B から、電圧 V_{DD} が印加された動作点 A にシフトする。一方、データ“0”の状態は、負電圧 $-V_{DD}$ が印加された動作点 C から、 $G N D$ レベルの動作点 D にシフトする。

【0101】

データ保持および電源遮断期間

10

タイミング $t_{13} \sim t_{15}$ の間は、データ保持状態を示す。図15(e)に示したように、データ“1”の蓄積状態は、ヒステリシス特性上、 V_{DD} が印加された動作点 A にある。一方、データ“0”の蓄積状態は、ヒステリシス特性上、接地電位 $G N D$ が印加された動作点 D にある。タイミング $t_{13} \sim t_{15}$ のうち電源投入している期間は、充電電荷および残留分極電荷の両方でデータ保持を可能としている。データをリフレッシュしつつ、残留分極としてデータ書込み動作を行っている。尚、タイミング $t_{14} \sim t_{15}$ の間の期間 U_4 は、電源遮断期間に相当する。

【0102】

F R A M動作モードのデータ読み出し動作

タイミング $t_{15} \sim t_{21}$ の間の期間 U_5 は、F R A M動作モードのデータ読み出し動作を示す。

20

【0103】

(n)タイミング t_{15} において、読み出し要求信号 $R D$ がハイレベルとなる。

【0104】

(o)次に、タイミング t_{16} において、ワード線制御信号 $W L C$ がオンになり、プレート線制御信号 $P L C$ がオンになり、ワード線 $W L$ の電位がハイレベルとなる。同時に、ビット線容量制御信号 $B L C C$ がオンになり、ビット線容量制御線 $B L C$ の電位がハイレベルとなる。ワード線 $W L$ にハイレベルの電圧を印加した状態で、ビット線容量制御線 $B L C$ にハイレベルの電圧を印加することで、負荷容量調整トランジスタ Q_L がオンされ、ビット線 $B L$ の容量は、 $C_B + C_L$ になる。

30

【0105】

(p)次に、タイミング t_{17} において、ワード線 $W L$ にハイレベルの電圧を印加した状態で、プレート線 $P L$ の電位をハイレベルにすると、タイミング $t_{17} \sim t_{18}$ の期間に示すように、ビット線 $B L, B L \#$ 上に微小な電位変化が発生する。

【0106】

(q)次に、タイミング t_{18} において、センスアンプ制御信号 $S A E$ がオンになると、センスアンプのラッチアップ動作によって、ビット線 $B L, B L \#$ の電位は、電圧レベルが確定する。ビット線 $B L \#$ 上に現れる電圧は、参照電圧である。

【0107】

データ保持

40

(r)タイミング t_{21} 以降の期間は、通常動作時のデータ保持状態を示す。タイミング $t_0 \sim t_1$ の期間 U_1 と同様に、データ“1”の蓄積状態は、ヒステリシス特性上、 V_{DD} が印加された動作点 A にある。一方、データ“0”の蓄積状態は、強誘電体メモリセルのヒステリシス特性上、接地電位 $G N D$ が印加された動作点 B にある。

【0108】

本発実施の形態によれば、 $B L$ 上に負荷容量調整セルを設け、D R A MモードとF R A Mモードとで $B L$ 上の容量を別個に設定することで、D R A Mモードでの $B L$ 容量軽減化による高速化と、F R A Mモードでの $B L$ 容量確保を両立することができる。

【0109】

本発実施の形態によれば、通常動作時には、高速動作のため容量負荷が小さいD R A M

50

動作モードで動作させ、電源オン/オフ時には、電源オフ期間のデータ保持のため F R A M 動作モードで動作させることができる。

【 0 1 1 0 】

本発実施の形態によれば、負荷容量調整セルはデータ保持用の強誘電体メモリセルと同じ構造で構成可能であり、F R A M モード時のみアクセスランジスタを介して B L に接続するため、構成を簡単化することができる。

【 0 1 1 1 】

また、本発実施の形態によれば、電源遮断時に発生するデータ退避 (F R A M モード書込み) 時間短縮のため、通常動作 (D R A M モード) 時のリフレッシュサイクルにおいて、対象となる強誘電体メモリセルを、充電電荷のみならず、残留分極電荷としてもデータを保持している状態とするため、データは不揮発化されており、かつ、D R A M モードでの読出しも可能である。この場合、例えばリフレッシュサイクルを 1 0 m 秒とすると、1 秒間の分極反転の回数は、 $1 0^2$ 回となる。したがって、3 年間で約 $1 0^8$ 秒であるので、リフレッシュ時に分極反転を行っても、耐久性に問題はない。

【 0 1 1 2 】

また、本発実施の形態によれば、リフレッシュサイクル後の強誘電体メモリセルに対して、D R A M モード読出し/書込みが行われると、その強誘電体メモリセルは充電電荷のみデータを保持している状態となるが、強誘電体メモリ装置内へのデータアクセス箇所は、局所部分に集中する傾向があり、リフレッシュサイクル後に D R A M モード読出しがかかる確率は低いため、実際に電源遮断時にデータ退避を行う強誘電体メモリセルは局所部分のみに限定でき、全強誘電体メモリセルデータ退避と比較して、大幅な高速化を図ることができる。

【 0 1 1 3 】

したがって、本発実施の形態によれば、S R A M と同程度の動作速度の高速化を図ることができる。

【 0 1 1 4 】

また、本発実施の形態によれば、電源遮断時のデータ退避処理の高速化を図ることができる。

【 0 1 1 5 】

また、本発実施の形態によれば、毎回分極反転行う F R A M と比較して、分極反転回数を低減して、強誘電体デバイスの特性劣化を抑制することができる。

【 0 1 1 6 】

[その他の実施の形態]

上記のように、本発明は第 1 の実施の形態によって記載したが、この開示の一部をなす論述および図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例および運用技術が明らかとなろう。

【 0 1 1 7 】

このように、本発明はここでは記載していない様々な実施の形態などを含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【産業上の利用可能性】

【 0 1 1 8 】

本発明の実施の形態に係る強誘電体メモリ装置は、不揮発性メモリ、L S I 混載 (エンベデッド) メモリなど幅広い分野に適用可能である。

【図面の簡単な説明】

【 0 1 1 9 】

【図 1】本発明の第 1 の実施の形態に係る強誘電体メモリ装置の模式的ブロック構成図。

【図 2】本発明の第 1 の実施の形態に係る強誘電体メモリ装置の 1 つのバンクの模式的ブロック構成図。

【図 3】本発明の第 1 の実施の形態に係る強誘電体メモリ装置のビット線 B L に沿う強誘

10

20

30

40

50

電体メモリセルと負荷容量調整セルの模式的回路構成図。

【図4】本発明の第1の実施の形態に係る強誘電体メモリ装置の1つのバンクの別の詳細な模式的ブロック構成図。

【図5】本発明の第1の実施の形態に係る強誘電体メモリ装置の動作の概略を説明するタイミングチャート図。

【図6】本発明の第1の実施の形態に係る強誘電体メモリ装置において、通常動作時(DRAM動作モード)の強誘電体メモリセルの読出し動作を説明するための回路構成図。

【図7】本発明の第1の実施の形態に係る強誘電体メモリ装置において、通常動作時(DRAM動作モード)のアドレス信号ADに対するデータ信号DSの遅延時間として表されるアクセス時間を説明する図。

【図8】本発明の第1の実施の形態に係る強誘電体メモリ装置の通常動作時(DRAM動作モード)の強誘電体メモリセルのDRAM読出し動作を説明するための模式的回路構成図。

【図9】本発明の第1の実施の形態に係る強誘電体メモリ装置の通常動作時(DRAM動作モード)の強誘電体メモリセルのDRAM読出し動作を説明するためのヒステリシス特性上の動作説明図。

【図10】本発明の第1の実施の形態に係る強誘電体メモリ装置の動作例であって、電源オン動作時(FRAM動作モード)の強誘電体メモリセルの動作説明のための回路構成図。

【図11】本発明の第1の実施の形態に係る強誘電体メモリ装置の動作例であって、FRAM動作モードの強誘電体メモリセルのデータ読出し電圧の負荷容量依存性のシミュレーション結果。

【図12】本発明の第1の実施の形態に係る強誘電体メモリ装置のFRAM動作モードの強誘電体メモリセルのFRAM読出し動作を説明するための模式的回路構成図。

【図13】本発明の第1の実施の形態に係る強誘電体メモリ装置のFRAM動作モードの強誘電体メモリセルのFRAM読出し動作を説明するためのヒステリシス特性上の動作説明図。

【図14】本発明の第1の実施の形態に係る強誘電体メモリ装置の動作例であって、リフレッシュ動作時の強誘電体メモリセルの動作説明のための回路構成図。

【図15】本発明の第1の実施の形態に係る強誘電体メモリ装置の動作例であって、(a)リフレッシュ動作時の強誘電体メモリセルの動作波形図、(b)充電電荷でのみデータを保持する通常動作時(DRAM動作モード)のヒステリシス特性上の動作説明図、(c)データ書込み動作時(FRAM動作モード)のヒステリシス特性上の動作説明図、(d)データ書込み動作時(FRAM動作モード)のヒステリシス特性上の動作説明図、(e)充電電荷および残留分極電荷の両方でデータを保持する通常動作時(DRAM動作モード)のヒステリシス特性上の動作説明図。

【図16】本発明の第1の実施の形態に係る強誘電体メモリ装置の1バンクの動作タイミングチャート図。

【符号の説明】

【0120】

10 ... 強誘電体メモリ装置

14 ... 周辺回路部

16 ... SRAMインタフェース(I/F)部

18, 18₁₁, 18₁₂, ..., 18_{n1}, 18_{n2} ... バンク(Bank)

20a, 20b, 20c, 20d ... 行デコーダ

22, 22a, 22b, 22c, 22d ... WL/PLドライバ

24a, 24b, 25a, 25b ... FRAMセルアレイ部

26 ... 負荷容量調整アレイ部

28 ... センスアンプおよび列デコーダ

30 ... プリデコーダ

10

20

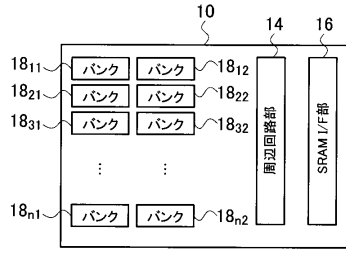
30

40

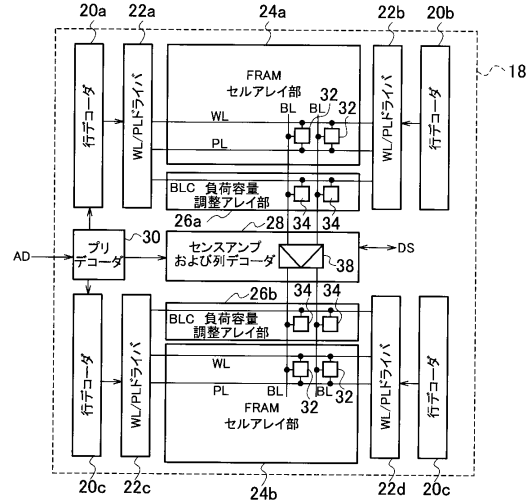
50

3 2 ... 強誘電体メモリセル	
3 4 ... 負荷容量調整セル	
3 6 ... 負荷容量切替部	
3 8 ... センスアンプ (S A)	
4 0 ... 入出力制御部 (I O)	
4 2 ... メモリ制御シーケンサ	
B L C ... ビット線容量制御線	
$C_F, C_{F1}, C_{F2}, C_{F3}$... 強誘電体キャパシタ	
C_S ... 強誘電体キャパシタ C_F の値	
C_B ... ビット線容量	10
C_L ... 負荷容量	
V_S ... 強誘電体キャパシタ C_F に蓄積される電圧	
V_B ... ビット線 B L の電圧	
B L , # B L , B L T , B L B ... ビット線	
W L , W L T , W L B ... ワード線	
P L , P L T , P L B ... プレート線	
A D ... アドレス信号	
D S ... データ信号	
A R ... 行アドレス信号	
A C ... 列アドレス信号	20
R D L ... 読出しデータ信号	
W D L ... 書込みデータ信号	
W L C ... ワード線制御信号	
P L C ... プレート線制御信号	
B L C C ... ビット線容量制御信号	
S A E ... センスアンプ制御信号	
O E ... 出力制御信号	
W E ... 入力制御信号	
R D ... 読出し要求信号	
W R ... 書込み要求信号	30
R E F ... リフレッシュ要求信号	
C L K ... クロック信号	

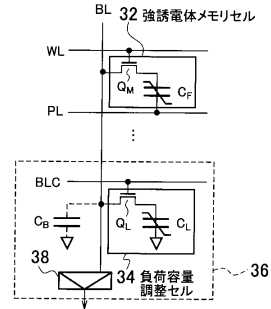
【図1】



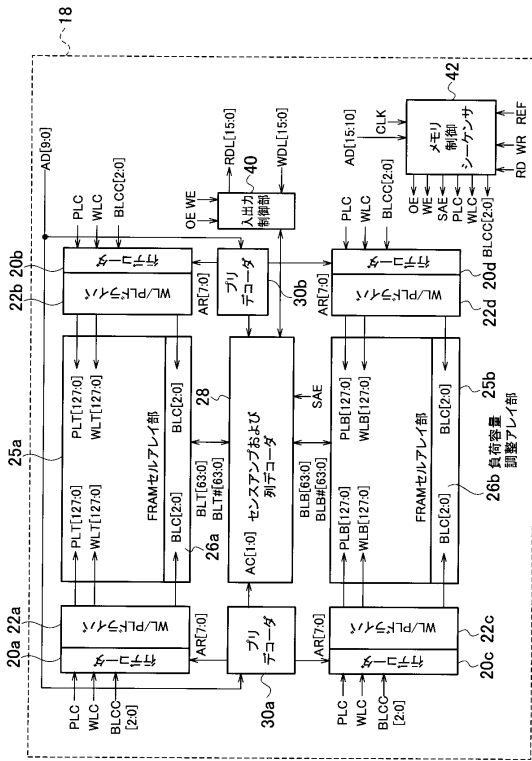
【図2】



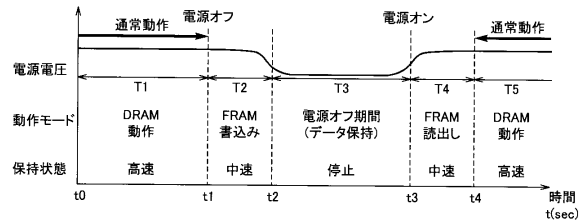
【図3】



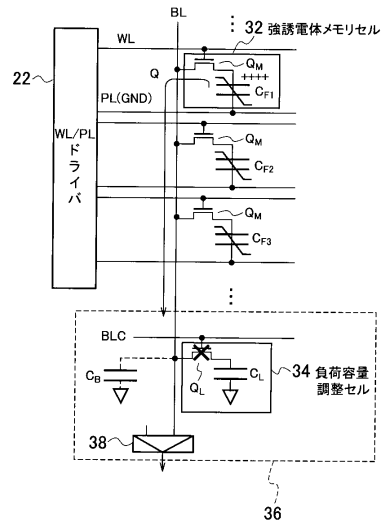
【図4】



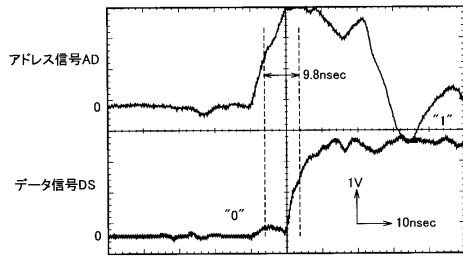
【図5】



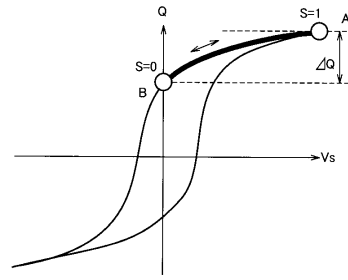
【図6】



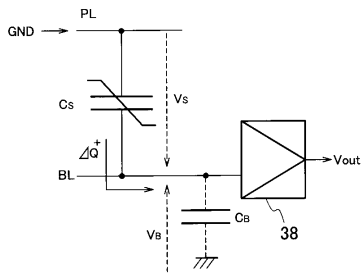
【図7】



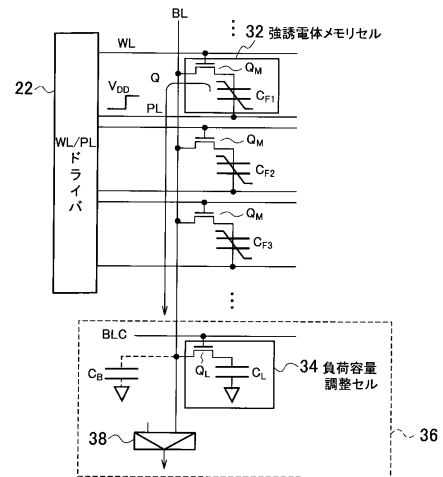
【図9】



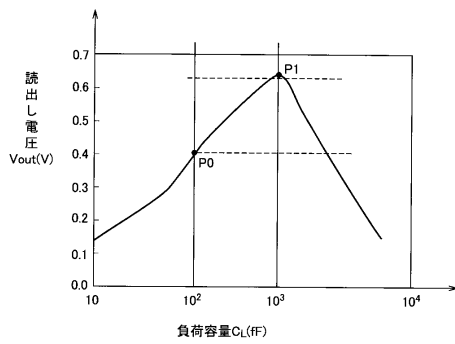
【図8】



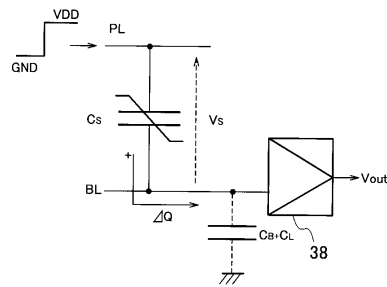
【図10】



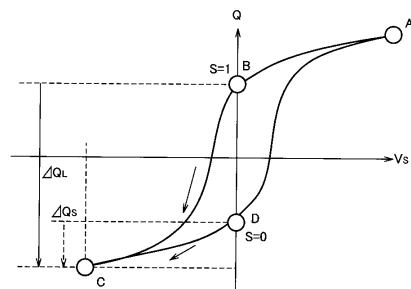
【図11】



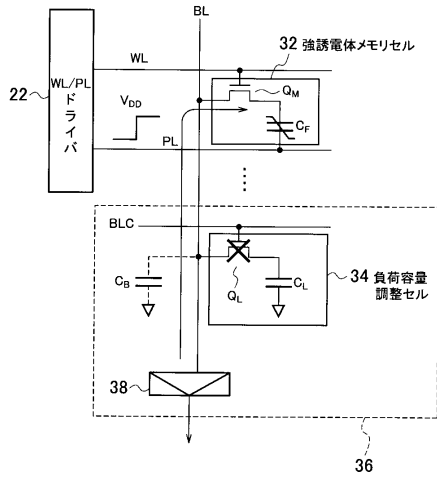
【図12】



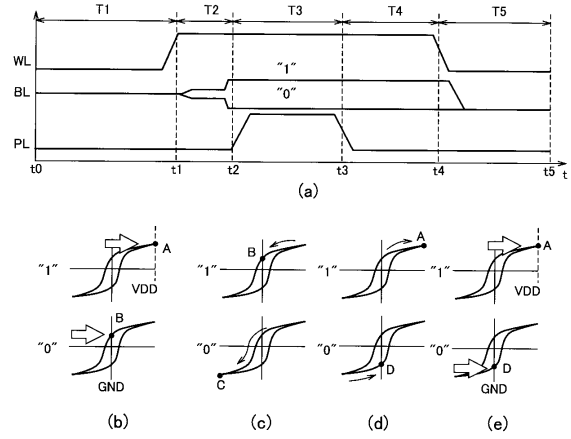
【図13】



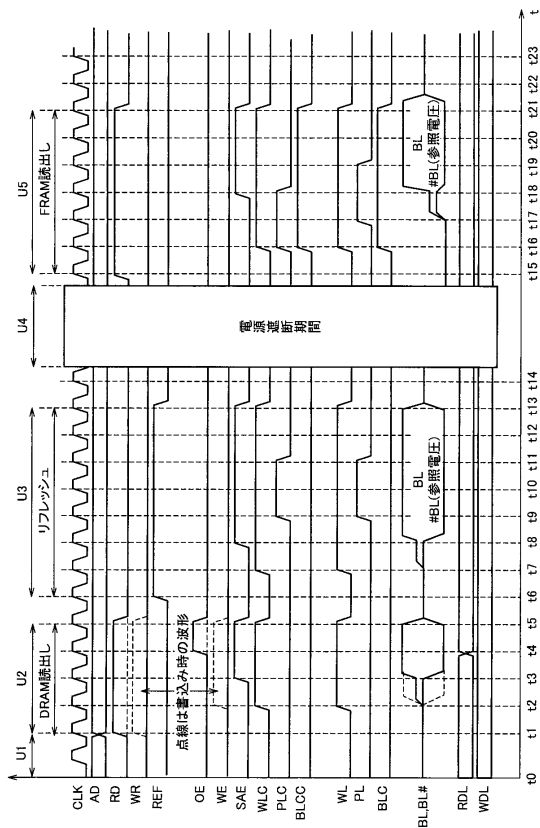
【図14】



【図15】



【図16】



フロントページの続き

- (72)発明者 淵上 貴昭
京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内
- (72)発明者 藤森 敬和
京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内

審査官 後藤 彰

- (56)参考文献 特開2005 - 175311 (JP, A)
特開平06 - 125056 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G11C 11/22