

명세서

도면의 간단한 설명

- 도 1은 종래 기술에 따른 플라즈마 표시 장치의 구동 파형도이다.
- 도 2는 본 발명의 실시예에 따른 플라즈마 표시 장치의 개략도이다.
- 도 3은 본 발명의 실시예에 따른 플라즈마 표시 장치의 구동 파형도이다.
- 도 4는 본 발명의 실시예에 따른 플라즈마 표시 장치의 일부 회로도이다.
- 도 5 및 도 6은 도 4의 회로의 동작을 나타낸 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 표시 장치 및 그 구동 방법에 관한 것이다.

최근 액정 표시 장치(liquid crystal display; LCD), 전계 방출 표시 장치(field emission display; FED), 플라즈마 표시 장치 등의 평면 표시 장치가 활발히 개발되고 있다. 이들 평면 표시 장치 중에서 플라즈마 표시 장치는 다른 평면 표시 장치에 비해 휘도 및 발광 효율이 높으며 시야각이 높다는 장점이 있다. 따라서, 플라즈마 표시 장치가 40인치 이상의 대형 표시 장치에서 종래의 CRT(cathode ray tube)를 대체할 표시 장치로서 각광받고 있다.

플라즈마 표시 장치는 기체 방전에 의해 생성된 플라즈마를 이용하여 문자 또는 영상을 표시하는 평면 표시 장치로서, 그 크기에 따라 수십에서 수백 만개 이상의 화소가 매트릭스 형태로 배열되어 있다.

일반적으로 플라즈마 표시 장치는 하나의 필드가 각각 가중치를 가지는 복수의 서브필드로 나누어져 구동되며, 켜지는 서브필드의 조합에 따른 가중치의 합에 의해 계조가 표현된다. 각 서브필드는 리셋 기간, 어드레스 기간, 서스테인 기간으로 이루어진다. 리셋 기간은 리셋 방전을 통하여 어드레스 방전을 안정적으로 수행하기 위해 벽 전하를 초기화하는 역할을 한다. 어드레스 기간은 패널에서 켜지는 셀과 켜지지 않는 셀을 선택하여 켜지는 셀에 벽 전하를 쌓아두는 동작을 수행하는 기간이다. 서스테인 기간은 어드레싱된 셀에 실제로 화상을 표시하기 위한 유지방전을 수행하는 기간이다.

도 1은 종래 기술에 따른 플라즈마 표시 장치에서 리셋 기간, 어드레스 기간, 서스테인 기간이 반복되는 구동 파형의 파형도이다.

도 1에 나타낸 바와 같이, 각 서브필드는 리셋 기간, 어드레스 기간 및 서스테인 기간으로 이루어진다. 리셋 기간의 상승기간에서는 주사 전극(Y1-Yn)에 기준 전압에서 Vs 전압까지 상승시킨 후에 Vs 전압에서 Vset 전압까지 완만하게 상승하는 전압을 인가하여 모든 셀에 미약한 방전을 발생시킨다. 다음으로 리셋 기간의 하강기간에서는 유지 전극(X1-Xn)을 일정한 전압(Ve)으로 바이어스 시킨 상태에서 주사 전극(Y1-Yn)에 Vs 전압에서 음의 레벨인 Vnf 전압까지 완만하게 하강하는 전압을 인가하여 벽전하를 소거시킨다. 이를 통해 각 셀의 벽전하 상태를 초기화시킨다.

어드레스 기간에서는 주사 전극(Y1-Yn)을 일정한 전압(Vsch)으로 바이어스 시킨 상태에서 각 주사 전극의 라인에 순차적으로 스캔 펄스 전압(Vscl)을 인가한다. 이때, 어드레스 전극(A1-An)에 선택하고자 하는 방전셀을 선택하기 위해 어드레스 펄스(Va)를 인가한다. 서스테인 기간에서는 서스테인 펄스(Vs)를 주사 전극(Y1-Yn)과 유지 전극(X1-Xn)에 교대로 인가함으로써 어드레싱된 셀에 실제로 화상을 표시하기 위한 방전을 발생시킨다.

일반적으로 플라즈마 표시 장치에서는 주사 전극, 유지 전극 및 어드레스 전극 사이는 용량성 부하로 작용하기 때문에 패널에는 커패시턴스가 존재한다. 따라서, 서스테인 기간에 인가하는 서스테인 펄스(Vs)를 인가하기 위해서는 유지방전 전

력 이외에도 무효 전력이 필요하다. 따라서 플라즈마 표시 장치의 구동회로는 무효전력을 재사용하는 전력 회수 회로를 일반적으로 포함한다. 이러한 전력 회수 회로로서 L.F. Wever의 의해 제안된 회로(미국 특허 제4,866,349호 및 제 5,081,400호)가 있다.

상세하게는 서스테인 기간에, 주사 전극과 유지 전극 및 어드레스 전극 사이에 형성되는 용량성 부하와 상기 전극에 전압을 인가하는 구동부에 포함된 인덕터 사이의 공진을 이용하여, 전력 회수 커패시터에 무효 전력을 회수하고 재사용하여 주사 전극 및 유지 전극에 서스테인 펄스(V_s)를 인가한다. 이때, LC 공진을 이용하여 접지 전압에서 서스테인 펄스 전압(V_s)까지 상승시킨후 서스테인 펄스 전압(V_s)을 인가하거나 서스테인 펄스 전압(V_s)에서 접지 전압까지 하강시킨 후 접지 전압을 인가함으로써 인해 소프트 스위칭을 수행할 수 있다.

한편, 도 1을 참조하여 살펴보면, 일반적으로 리셋 기간에서 주사 전극에 V_s 전압을 인가할 때에도 전력 회수 회로를 이용하여 인가한다. 그러나, 전력 회수 회로를 이용하여 리셋 기간에서 V_s 전압을 인가하는 경우 무효 전력을 회수하는 구간(즉, V_s 전압에서 접지 전압으로 하강하는 구간)이 존재하지 않아 전력 회수 커패시터에 충전된 소정의 전압(일반적으로 $V_s/2$)이 낮아지는 문제가 발생한다. 이에 따라 서스테인 기간에서 첫 번째 서스테인 펄스를 인가할 시에 LC 공진에 의해 V_s 전압까지 상승하지 않게 되어 V_s 전압 인가 시에 하드 스위칭이 발생하며, 이러한 하드 스위칭으로 인해 서스테인의 유지 방전이 강하게 발생되어 오방전이 발생할 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 서스테인 기간에서 첫 번째 서스테인 펄스에서도 소프트 스위칭을 할 수 있는 플라즈마 표시 장치 및 그 구동 방법을 제공하기 위한 것이다.

발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명의 특징에 따른 플라즈마 표시 장치의 구동 방법은, 복수의 제1 전극 및 제2 전극과 상기 제1 전극 및 제2 전극과 교차하는 방향으로 형성되는 복수의 제3 전극을 포함하며 상기 제1 전극, 제2 전극 및 제3 전극에 의해 용량성 부하가 형성되는 플라즈마 표시 장치에서, 한 필드를 복수의 서브필드로 분할하고, 한 서브필드를 리셋 기간 어드레스 기간 및 서스테인 기간으로 나누어 구동하는 방법에 있어서,

상기 어드레스 기간과 서스테인 기간 사이에는 서스테인 준비 기간을 가지며, 상기 서스테인 준비 기간은, (a) 상기 제1 전극에 제1 전압을 인가하는 단계; 및 (b) 상기 제1 전극에 전기적으로 연결된 인덕터와 상기 용량성 부하의 공진을 이용하여 상기 제1 전압보다 낮은 제2 전압을 인가하는 단계를 포함한다.

본 발명의 다른 특징에 따른 플라즈마 표시 장치는,

복수의 제1 전극 및 제2 전극과 상기 제1 전극 및 제2 전극과 교차하는 방향으로 형성되는 복수의 제3 전극을 포함하며 상기 제1 전극, 제2 전극 및 제3 전극에 의해 용량성 부하가 형성되는 플라즈마 패널; 한 필드를 복수의 서브필드로 분할하고, 한 서브필드를 리셋 기간 어드레스 기간 서스테인 준비 기간 및 서스테인 기간으로 나누어 구동하는 제어부; 및 상기 제1 전극, 제2 전극 및 제3 전극에 구동 전압을 공급하는 구동부를 포함하며,

상기 구동부는, 상기 서스테인 준비 기간에 상기 제1 전극에 제1 전압을 인가하고, 계속하여 상기 제1 전극에 전기적으로 연결된 인덕터와 상기 용량성 부하의 공진을 이용하여 상기 제1 전압보다 낮은 제2 전압을 인가한다.

아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.

그리고 본 발명에서 언급되는 벽 전하란 셀의 벽(예를 들어, 유전체층) 상에서 각 전극에 가깝게 형성되는 전하를 말한다. 그리고 벽 전하는 실제로 전극 자체에 접촉되지는 않지만, 여기서는 전극에 "형성됨", "축적됨" 또는 "쌓임"과 같이 설명한다. 또한 벽 전압은 벽 전하에 의해서 셀의 벽에 형성되는 전위차를 말한다. 그리고 약방전은 어드레스 기간에서의 어드레싱을 위한 방전 및 서스테인 기간에서의 유지방전보다 미약한 방전을 말하는 것이다.

이제 본 발명의 실시예에 따른 플라즈마 표시 장치 및 그 구동 방법에 대하여 도면을 참고로 하여 상세하게 설명한다.

도 2는 본 발명의 실시예에 따른 플라즈마 표시 장치의 개략적인 개념도이다.

도 2에 나타낸 바와 같이, 본 발명의 실시예에 따른 플라즈마 표시 장치는 플라즈마 패널(100), 어드레스 구동부(200), 주사·유지 구동부(300) 및 제어부(400)를 포함한다.

플라즈마 패널(100)은 열 방향으로 뻗어 있는 복수의 어드레스 전극(A1~Am), 그리고 행 방향으로 서로 쌍을 이루면서 뻗어 있는 복수의 유지 전극(X1~Xn) 및 주사 전극(Y1~Yn)을 포함한다. 유지 전극(X1~Xn)은 각 주사 전극(Y1~Yn)에 대응해서 형성되며, 일반적으로 그 일단이 서로 공통으로 연결되어 있다. 그리고 플라즈마 패널(100)은 유지 및 주사전극(X1~Xn, Y1~Yn)이 배열된 절연 기판(도시하지 않음)과 어드레스 전극(A1~Am)이 배열된 절연 기판(도시하지 않음)으로 이루어진다. 두 절연 기판은 주사 전극(Y1~Yn)과 어드레스 전극(A1~Am) 및 유지 전극(X1~Xn)과 어드레스 전극(A1~Am)이 각각 직교하도록 방전 공간을 사이에 두고 대향하여 배치된다. 이때, 어드레스 전극(A1~Am)과, 유지 및 주사 전극(X1~Xn, Y1~Yn)에 의해 용량성 부하가 형성되고, 또한 어드레스 전극(A1~Am)과 유지 및 주사 전극(X1~Xn, Y1~Yn)의 교차부에 있는 방전 공간이 셀을 형성한다.

제어부(400)는 외부로부터 영상 신호를 수신하여 어드레스 구동 제어 신호, 유지 전극 구동 제어 신호 및 주사 전극 구동 제어 신호를 출력한다. 그리고 제어부(200)는 한 필드를 각각의 가중치를 가지는 복수의 서브필드로 분할하여 구동하며, 켜지는 서브필드의 가중치의 조합에 의해 계조가 표현된다. 또한, 제어부는 한 서브필드를 리셋 기간, 어드레스 기간, 서스테인 준비 기간 및 서스테인 기간으로 분할하여 구동한다.

구동부(200, 300)는 전력 회수 커패시터를 포함하는 전력 회수 회로(Energy Recovery Circuit, 이하 ERC)를 포함하고, 서브 필드의 각 기간에서 각 전극에 플라즈마 패널에 화면을 표시하기 위한 파형을 인가한다.

리셋 기간에서, 구동부(200, 300)는 어드레스, 유지 및 주사 전극(A1~Am, X1~Xn, Y1~Yn)에 리셋을 위한 파형을 인가하여, 셀을 어드레스 가능한 상태로 설정한다. 상세하게는, 상기 리셋 파형은 전력 회수 커패시터에 충전된 전압 및 전극들로부터 형성된 용량성 부하와 상기 전극에 연결된 전력 회수 회로의 인덕터와의 공진을 이용하여 기준 전압(O V)에서 Vs의 전압까지 1차 상승하고, 다시 Vs의 전압에서 Vset 전압까지 점진적으로 2차 상승한 후에 Vnf 전압까지 점진적으로 하강한다.

어드레스 기간에서, 구동부(200, 300)는 주사 전극(Y1~Yn)이 선택되는 순서대로(예를 들어, 순차적으로) 주사 전극(Y1~Yn)에 선택 전압을 인가하고, 제어부(400)로부터 어드레스 구동 제어 신호를 수신하여 각 주사 전극에 선택 전압이 인가될 때마다 켜질 셀을 선택하기 위한 어드레스 펄스를 각 어드레스 전극(A1~Am)에 인가한다. 즉, 어드레스 기간에서 선택 전압이 인가된 주사 전극과 그 주사 전극에 선택 전압이 인가될 때 어드레스 펄스가 인가된 어드레스 전극에 의해 형성되는 셀이 켜질 셀로 선택된다.

서스테인 준비 기간에서, 구동부(200, 300)는 주사 전극(Y1~Yn)에 Vs 전압을 인가하고, 계속하여 전극들로부터 이루어진 용량성 부하와 해당 주사 전극(Y1~Yn)에 연결된 전력 회수 회로의 인덕터와의 공진을 이용하여 해당 주사 전극의 전압을 기준 전압(O V)까지 낮춘다. 이에 따라 전력 회수 회로의 전력 회수 커패시터에 무효 전력이 회수 되어 전력 회수 커패시터에는 소정의 전압(Vs/2)을 유지하게 된다. 이때, 상기 구동부(200, 300)는 어드레스 전극(A1~Am)에 어드레스 전압을 인가하여 주사 전극과 어드레스 전극간 오방전을 방지한다.

서스테인 기간에서, 주사·유지 구동부(300)는 제어부(400)로부터 제어 신호를 수신하여 유지 전극(X1~Xn)과 주사 전극(Y1~Yn)에 유지방전을 위한 서스테인 펄스(Vs)를 인가한다. 상기 유지 전극(X1~Xn)과 주사 전극(Y1~Yn)에 인가하는 서스테인 펄스는 용량성 부하와 해당 전극에 연결된 전력 회수 회로의 인덕터와의 공진을 이용하여 인가한다.

즉, 본 발명의 실시예에 따르면, 서스테인 준비 기간에 용량성 부하와 인덕터와의 공진을 이용하여 상기 전력 회수 회로의 전력 회수 커패시터에 전력을 회수시킴으로써, 서스테인 기간의 첫 번째 서스테인 펄스에서도 소프트 스위칭이 일어날 수 있도록 한다.

다음으로, 각 서브필드에서 어드레스 전극(A1~Am), 유지 전극(X1~Xn) 및 주사 전극(Y1~Yn)에 인가되는 본 발명의 실시예에 따른 구동 파형에 대해서 도 3을 참조하여 상세하게 설명한다. 그리고 아래에서는 하나의 어드레스 전극(이하, "A 전극"이라 함), 유지 전극(이하, "X 전극"이라 함) 및 주사 전극(이하, "Y 전극"이라 함)에 의해 형성되는 셀을 기준으로 설명한다.

도 3에 나타난 바와 같이, 하나의 서브필드는 리셋 기간, 어드레스 기간, 서스테인 준비 기간 및 서스테인 기간으로 이루어진다.

먼저, 리셋 기간에서 전력 회수 회로를 사용하여 Y 전극에 기준 전압에서 V_s 전압까지 상승시키고, 다시 V_s 전압에서 V_{set} 전압까지 점진적으로 상승시킨 후에 V_{nf} 전압까지 점진적으로 하강시키는 리셋 파형을 인가한다.

다시 말하면, 리셋 파형이 상승하는 기간에서는 A 전극을 기준 전압으로 유지한 상태에서 Y 전극의 전압을 기준 전압에서 V_s 전압까지 전극들로부터 형성된 용량성 부하와 전력 회수 회로의 인덕터와의 공진을 이용하여 증가시키고, 다시 V_s 전압에서 V_{set} 전압까지 점진적으로 증가시킨다. 도 3에서는 Y 전극의 전압을 V_s 전압에서 V_{set} 전압까지 증가하는 것은 램프 형태로 도시하였다. Y 전극의 전압이 증가하는 중에 Y 전극과 X 전극 사이 및 Y 전극과 A 전극 사이에서 미약한 방전(이하, 약방전이라 함)이 일어나면서, Y 전극에는 (-) 벽 전하가 형성되고 X 및 A 전극에는 (+) 벽 전하가 형성된다.

이어서, 리셋 기간이 하강하는 기간에서는 A 전극을 기준 전압으로 유지한 상태에서 Y 전극의 전압을 V_s 전압에서 V_{nf} 전압까지 점진적으로 감소시킨다. 그러면 Y 전극의 전압이 감소하는 중에 Y 전극과 X 전극 사이 및 Y 전극과 A 전극 사이에서 미약한 방전이 일어나면서 Y 전극에 형성된 (-) 벽 전하와 X 전극 및 A 전극에 형성된 (+) 벽 전하가 소거된다. 일반적으로 V_{nf} 전압의 크기는 Y 전극과 X 전극 사이의 방전 개시 전압 근처로 설정된다. 그러면 Y 전극과 X 전극 사이의 벽 전압이 거의 0V가 되어, 어드레스 기간에서 어드레스 방전이 일어나지 않은 셀이 서스테인 기간에서 오방전하는 것을 방지할 수 있다. 그리고 A 전극은 기준 전압으로 유지되어 있으므로 V_{nf} 전압의 레벨에 의해 Y 전극과 A 전극 사이의 벽 전압이 결정된다.

다음, 어드레스 기간에서 X 전극을 V_e 전압으로 유지한 상태에서 커질 셀을 선택하기 위해 Y 전극과 A 전극에 각각 V_{scL} 전압을 가지는 주사 펄스 및 V_a 전압을 가지는 어드레스 펄스를 인가한다. 그리고 선택되지 않는 Y 전극은 V_{scL} 전압보다 높은 V_{scH} 전압으로 바이어스하고, 커지지 않을 셀의 어드레스 전극에는 기준 전압을 인가한다. 이때, V_{scL} 전압은 V_{nf} 전압과 동일하거나 다를 수 있다.

구체적으로, 하나의 Y 전극에 V_{scL} 전압의 주사 펄스를 인가하는 동시에 표시하고자 하는 셀에 위치하는 A 전극에 V_a 전압의 어드레스 펄스를 인가한다. 그러면 Y 전극과 V_a 전압이 인가된 A 전극 사이에서 방전이 일어나고, 이어서 Y 전극과 이 주사 전극에 인접한 X 전극 사이에서 방전이 일어나면서, Y 전극에 (+) 벽 전하, A 전극과 X 전극에 각각 (-) 벽 전하가 형성된다.

다음으로, 서스테인 준비 기간에서는 모든 Y 전극에 유지 전압(V_s)을 가진 펄스를 인가한다. 이때 오방전을 방지하기 위하여 모든 A 전극에 어드레스 전압(V_a)을 가진 펄스를 인가한다. 또한, X 전극을 어드레스 기간에서 마찬가지로 V_e 전압으로 유지하여 X 전극과 Y 전극간의 발생할 수 있는 오방전을 방지한다. 여기서, 서스테인 준비 기간에서 Y 전극에 V_s 전압을 인가할 시에는 전력 회수 회로를 이용하여 인가할 수도 있지만 직접 V_s 전원을 이용하여 V_s 전압을 인가할 수도 있다. 한편, V_s 전압에서 접지 전압(0V)을 인가하는 경우에는 전력 회수 회로의 LC공진을 이용하여 인가함으로써 전력 회수 커패시터(C_{ss})에 무효전력을 회수시킨다. 이를 통해 리셋 기간의 V_s 전압 인가시에 전력 회수 커패시터(C_{ss})에 회수되지 못한 무효전력을 회수시켜 전력 회수 커패시터(C_{ss})가 소정의 전압($V_s/2$)을 유지할 수 있도록 한다.

즉, 이와 같이 Y 전극에 짧은 V_s 전압을 인가하고, 기준 전압(0 V)을 인가하는 경우, 전극들로부터 형성된 용량성 부하와 전력 회수 회로의 인덕터의 공진으로 인하여 전력 회수 커패시터에 전력이 회수된다. 이에 따라 전력 회수 커패시터에 소정의 전압($V_s/2$)이 유지된다.

서스테인 기간에는 전력 회수 회로를 이용하여 Y 전극에 서스테인 펄스를 인가한다. 이때, 전력 회수 회로의 전력 회수 커패시터에는 상기 서스테인 준비 기간에서 무효전력이 회수되어 있기 때문에 소정의 전압($V_s/2$)이 유지되어 있으므로, LC 공진을 이용하여 접지 전압(0V)에서 V_s 전압까지 상승시키는 경우 거의 V_s 전압까지 상승한다. 따라서, 서스테인 기간의 첫 번째 서스테인 펄스를 인가시에도 V_s 전압까지 상승시킨 후 V_s 전압을 인가할 수 있으므로 소프트 스위칭을 수행할 수 있다. 이때, 어드레스 기간에서 방전이 일어난 셀에서는 Y 전극과 X 전극 사이에서 방전이 일어나게 된다. 그리고 유지방전이 일어난 셀의 Y 전극과 X 전극에는 각각 (-) 벽 전하와 (+) 벽 전하가 쌓이고 A 전극에는 (-) 벽 전하가 쌓인다.

또한, 본 발명의 실시예에서는 상기 서스테인 기간을 제1 구간과 제2 구간으로 나누어, 제1 구간에는 서스테인 펄스의 폭을 길게 하여 방전셀이 보다 안정적으로 방전하게 하고, 제2 구간에는 서스테인 펄스의 폭을 제1 구간의 서스테인 펄스의 폭보다 짧게 한다.

도 4는 본 발명의 실시예에 따른 플라즈마 표시 장치의 Y 전극 구동 회로의 일부를 나타내는 회로도이다.

이와 같은 Y 전극 구동 회로는 인덕터(L), 스위치(Sw1-Sw4), 다이오드(D1, D2) 및 전력 회수 커패시터(Css)를 포함한다. 상기 스위치(Sw1-Sw4)는 일반적으로 트랜지스터를 이용하여 구현한다. 이와 같은 트랜지스터를 이용한 스위치(Sw1, Sw2)에는 바디 다이오드로 인해 형성될 수 있는 전류를 차단하기 위해 스위치(Sw1, Sw2)의 바디 다이오드와 반대 방향으로 다이오드(D1, D2)를 형성한다.

상기 전력 회수 회로는 X 전극과 Y 전극으로 이루어지는 패널 커패시터(Cp)의 Y 전극에 인덕터(L)의 제1 단자가 전기적으로 연결되고, 상기 인덕터(L)의 제2 단자와 전력 회수 커패시터(Css)의 제1 단자 사이를 전기적으로 연결하는 제1 스위치(Sw1)와, 상기 인덕터의 제2 단자와 전력 회수 커패시터(Css) 사이를 전기적으로 연결하는 제2 스위치(Sw2)를 포함한다.

또한, 상기 Y 전극 및 상기 인덕터의 제1 단자의 접점과 제1 전원(Vs) 사이를 전기적으로 연결하는 제3 스위치(Sw3)와, 상기 후방 방전 전극 및 상기 인덕터(L)의 제1 단자의 접점과 제2 전원(접지 전원) 사이를 전기적으로 연결하는 제4 스위치(Sw4)를 포함한다. 여기서, 상기 전력 회수 커패시터(Css)의 제2 단자에는 제2 전원(접지 전원)이 연결된다.

서스테인 준비 기간에는, 먼저 제3 스위치(Sw3)를 온 하여 Y 전극에 유지 전압인 Vs의 전압을 인가한다. 그리고, Y 전극에 Vs 전압이 인가된 상태에서 제2 스위치(Sw2)를 온 하면, 전원(Vs), 제3 스위치(Sw3), 인덕터(L), 제2 스위치(Sw2) 및 커패시터(Css)의 경로를 통하여 인덕터(L)에 전류가 흐른다. 이때, 제3 스위치(Sw3)를 오프하면, 인덕터(L), 제2 스위치(Sw2) 및 커패시터(Css)의 경로를 통하여 인덕터(L)와 패널 커패시터(Cp) 사이에서 공진이 발생한다. 이 공진에 의해 Y 전극의 전압이 기준 전압까지 하강하고, 커패시터(Css)에는 Vs/2 전압에 상당하는 전압이 충전된다. 이어서 제2 스위치(Sw2)를 오프하고 제4 스위치(Sw4)가 온 하여 Y 전극의 전압이 기준 전압으로 유지한다.

이와 같은 서스테인 준비 기간에는, Y 전극과 X 전극간의 오방전을 방지하기 위하여, X 전극에는 Ve의 전압을 인가하고, Y 전극과 A 전극간의 오방전을 방지하기 위하여, 모든 A 전극에는 Va의 전압을 인가한다.

서스테인 기간의 제1 구간에서는 제1 및 제2 스위치(Sw1, Sw2)는 오프 상태를 유지하고, 제3 및 제4 스위치(Sw3, Sw4)를 교대로 온, 오프 함으로써 Y 전극에 기준 전압과 Vs 전압을 교대로 인가한다.

서스테인 기간의 제2 구간에서는 도 5 및 도 6에 도시된 바와 같이 ERC를 이용하여 Y 전극에 Vs 전압을 인가한다.

상세하게는 도 5를 보면, 제4 스위치(Sw4)가 온 되어 Y 전극이 기준 전압으로 유지된 상태에서 제1 스위치(Sw1)가 온 된다. 그러면, 전력 회수 커패시터(Css), 제1 스위치(Sw1), 인덕터(L), 제4 스위치(Sw4) 및 제2 전원(접지 전압)의 경로를 통하여 인덕터(L)에 전류가 흐른다(①). 인덕터(L)에 전류가 흐르는 상태에서 제4 스위치(Sw4)가 오프 되어 커패시터(Css), 제1 스위치(Sw1), 인덕터(L)를 통하여 인덕터(L)와 패널 커패시터(Cp) 사이에서 공진이 발생한다(②). 이 공진에 의해 Y 전극의 전압이 Vs 전압까지 상승한다. 이어서 제1 스위치(Sw1)가 오프 되고 제3 스위치(Sw3)가 온 되어 Y 전극의 전압이 Vs 전압으로 유지된다(③).

도 6를 보면, Y 전극의 전압이 Vs 전압으로 유지된 상태에서 제2 스위치(Sw2)가 온 되어, 전원(Vs), 제3 스위치(Sw3), 인덕터(L), 제2 스위치(Sw2) 및 커패시터(Css)의 경로를 통하여 인덕터(L)에 도 5와 반대 방향의 전류가 흐른다(④). 인덕터(L)에 전류가 흐르는 상태에서 제3 스위치(Sw3)가 오프 되어, 인덕터(L), 제2 스위치(Sw2) 및 커패시터(Css)의 경로를 통하여 인덕터(L)와 패널 커패시터(Cp) 사이에서 공진이 발생한다(⑤). 이 공진에 의해 Y 전극의 전압이 기준 전압까지 하강한다. 이어서 제2 스위치(Sw2)가 오프 되고 제4 스위치(Sw4)가 온 되어 Y 전극의 전압이 기준 전압으로 유지된다(⑥).

이렇게 도 5 및 도 6에 설명한 동작이 반복되어 Y 전극에 Vs 전압에서 기준 전압까지 스윙하는 서스테인 펄스를 인가한다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

이상에서 살펴본 바와 같이, 본 발명에 따르면 서스테인 기간 전에 서스테인 준비 기간을 두어 Y 전극의 전력 회수 회로에 전력을 회수시킴으로써, 서스테인 기간에서 첫 번째 서스테인 펄스에서도 소프트 스위칭을 할 수 있다.

(57) 청구의 범위

청구항 1.

복수의 제1 전극 및 제2 전극과 상기 제1 전극 및 제2 전극과 교차하는 방향으로 형성되는 복수의 제3 전극을 포함하며 상기 제1 전극, 제2 전극 및 제3 전극에 의해 용량성 부하가 형성되는 플라즈마 표시 장치에서, 한 필드를 복수의 서브필드로 분할하고, 한 서브필드를 리셋 기간, 어드레스 기간 및 서스테인 기간으로 나누어 구동하는 방법에 있어서,

상기 리셋 기간에서 상기 제1 전극에 전기적으로 연결된 인덕터와 상기 용량성 부하의 공진을 이용하여 상기 제1 전극의 전압을 제1 전압까지 점진적으로 상승시키는 단계; 및

상기 어드레스 기간과 서스테인 기간 사이에 위치하는 서스테인 준비 기간에서, 상기 제1 전극에 제1 전압을 인가한 후 상기 인덕터와 상기 용량성 부하의 공진을 이용하여 상기 제1 전극의 전압을 상기 제1 전압보다 낮은 제2 전압까지 점진적으로 하강시키는 단계를 포함하는 플라즈마 표시 장치의 구동 방법.

청구항 2.

제1항에 있어서,

상기 서스테인 준비 기간에서 상기 제1 전극에 상기 제1 전압을 인가하는 동안 상기 제1 전극과 상기 제2 전극 간에 유지방전이 발생하지 않도록 상기 제2 전극에 제3 전압을 인가하는 플라즈마 표시 장치의 구동 방법.

청구항 3.

제1항 또는 제2항에 있어서,

상기 제1 전압은 서스테인 기간에 인가하는 서스테인 펄스의 전압인 것을 특징으로 하는 플라즈마 표시 장치의 구동 방법.

청구항 4.

제1항 또는 제2항에 있어서,

상기 서스테인 준비 기간에서,

상기 제1 전극에 상기 제1 전압을 인가하는 동안 상기 제3 전극에 상기 제1 전압과 동일한 극성을 가진 제4 전압을 인가하는 것을 특징으로 하는 플라즈마 표시 장치의 구동 방법.

청구항 5.

제1항 또는 제2항에 있어서,

상기 서스테인 준비 기간 이후에,

상기 서스테인 기간을 제1 구간과 제2 구간으로 나누어,

상기 제1 구간에는 상기 제1 전극과 제2 전극에 제1 기간을 가지는 서스테인 펄스를 인가하는 단계; 및

상기 제2 구간에는 상기 제1 전극과 제2 전극에 교대로 상기 제1 기간보다 짧은 제2 기간을 가지는 서스테인 펄스를 인가하는 단계를 더 포함하는 것을 특징으로 하는 플라즈마 표시 장치의 구동 방법.

청구항 6.

복수의 제1 전극 및 제2 전극과 상기 제1 전극 및 제2 전극과 교차하는 방향으로 형성되는 복수의 제3 전극을 포함하며 상기 제1 전극, 제2 전극 및 제3 전극에 의해 용량성 부하가 형성되는 플라즈마 패널;

한 필드를 복수의 서브필드로 분할하고, 한 서브필드를 리셋 기간, 어드레스 기간, 서스테인 준비 기간 및 서스테인 기간으로 나누어 구동하는 제어부; 및

상기 제1 전극, 제2 전극 및 제3 전극에 구동 전압을 공급하는 구동부를 포함하며,

상기 구동부는,

상기 리셋 기간에서 상기 제1 전극에 전기적으로 연결된 인덕터와 상기 용량성 부하의 공진을 이용하여 상기 제1 전극에 제1 전압을 인가하고,

상기 서스테인 준비 기간에 상기 제1 전극에 제1 전압을 인가한 후 상기 인덕터와 상기 용량성 부하의 공진을 이용하여 상기 제1 전극에 상기 제1 전압보다 낮은 제2 전압을 인가하는 플라즈마 표시 장치.

청구항 7.

제6항에 있어서,

상기 구동부는,

상기 서스테인 준비 기간에서 상기 제1 전극에 상기 제1 전압을 인가하는 동안 상기 제2 전극에 제3 전압을 인가하고,

상기 제1 전압과 제3 전압 간의 전압차는 상기 제1 및 제2 전극 간에 유지방전을 발생시키지 않는 전압차인 플라즈마 표시 장치.

청구항 8.

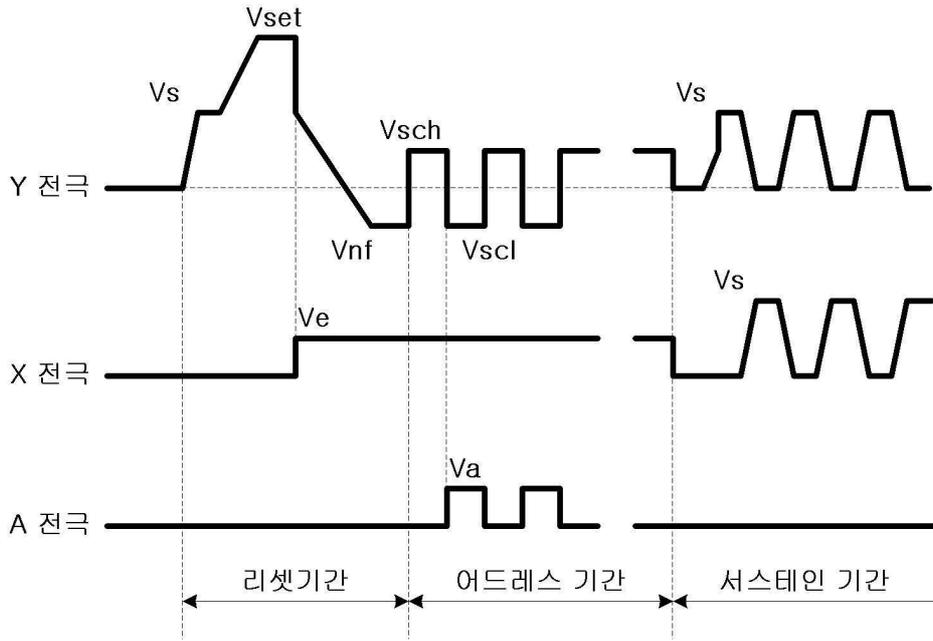
제6항 또는 제7항에 있어서,

상기 서스테인 준비 기간에는,

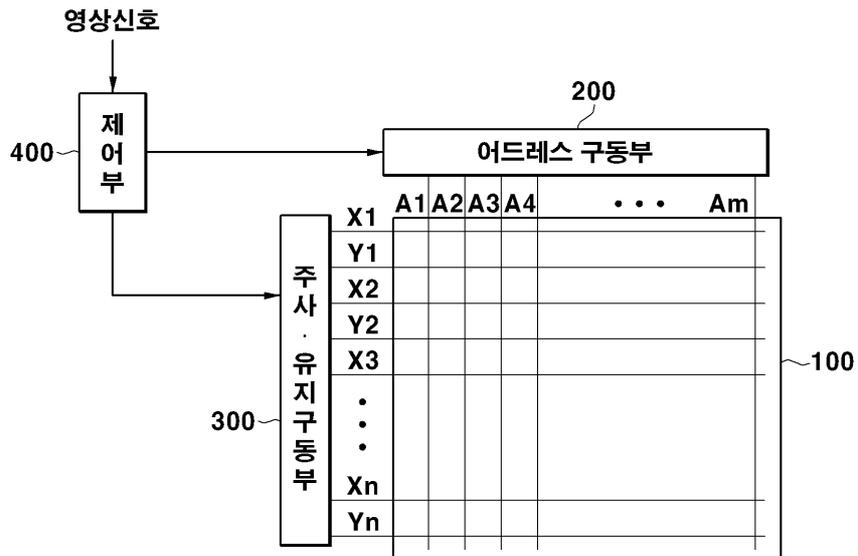
상기 제3 전극에 상기 제1 전압과 동일한 극성을 가진 제4 전압을 인가하는 것을 특징으로 하는 플라즈마 표시 장치.

도면

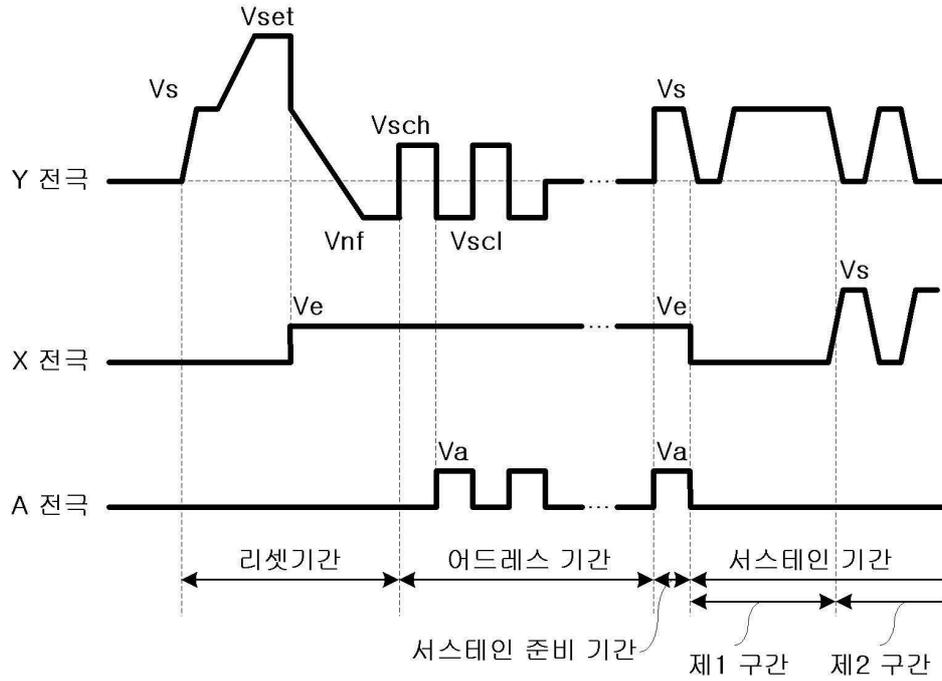
도면1



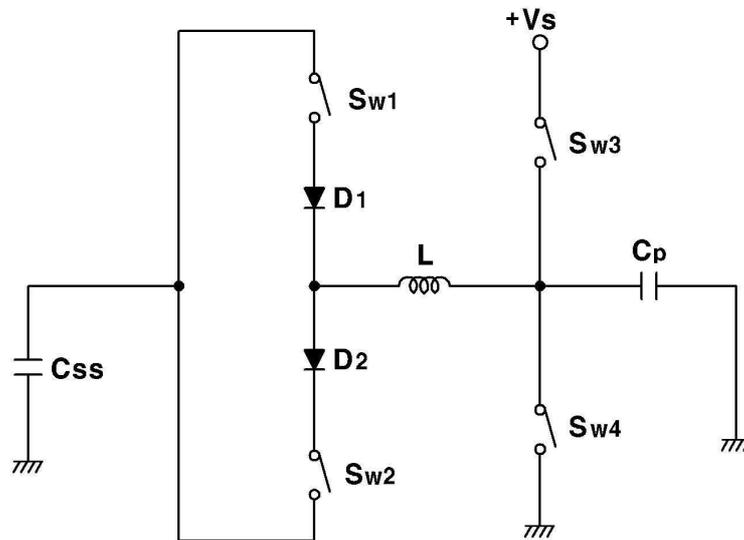
도면2



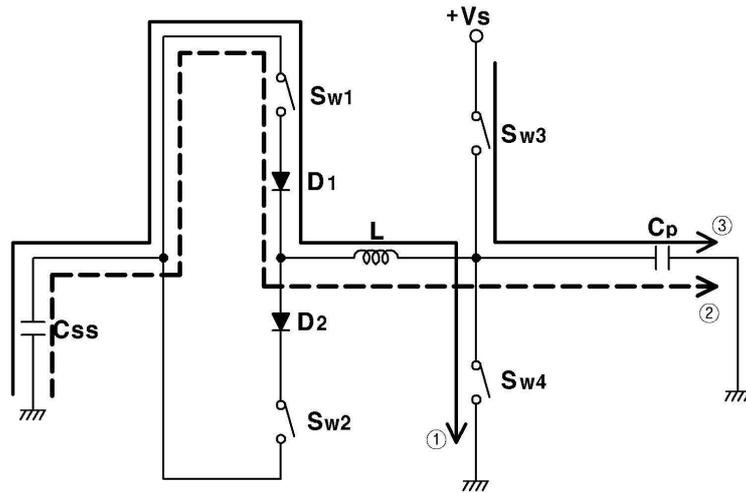
도면3



도면4



도면5



도면6

