



(12)发明专利

(10)授权公告号 CN 104681102 B

(45)授权公告日 2018.08.14

(21)申请号 201510104035.4

(22)申请日 2015.03.10

(65)同一申请的已公布的文献号
申请公布号 CN 104681102 A

(43)申请公布日 2015.06.03

(73)专利权人 武汉新芯集成电路制造有限公司
地址 430205 湖北省武汉市东湖开发区高新四路18号

(72)发明人 罗旖旎 张宇飞

(74)专利代理机构 上海思微知识产权代理事务所(普通合伙) 31237

代理人 屈蘅 李时云

(51)Int.Cl.
G11C 29/56(2006.01)

(56)对比文件

CN 102436850 A,2012.05.02,
CN 101197196 A,2008.06.11,
CN 104051005 A,2014.09.17,
US 6400608 B1,2002.06.04,

审查员 陈雪梅

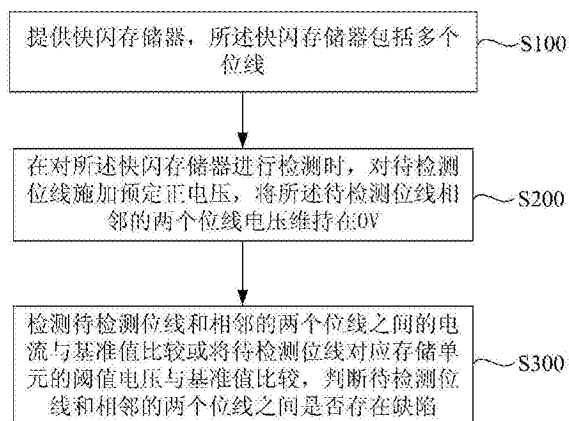
权利要求书1页 说明书4页 附图2页

(54)发明名称

快闪存储器位线间缺陷的检测方法

(57)摘要

本发明提出了一种快闪存储器位线间缺陷的检测方法,在对所述快闪存储器进行检测时,对待检测位线施加预定正电压,将所述待检测位线相邻的两个位线电压维持在0V,从而可以通过检测待检测位线与相邻的两个位线之间电流或通过检测待检测位线对应存储单元的阈值电压,精确判断所述待检测位线和相邻的两个位线之间是否存在缺陷,以筛选出制造过程中引入的缺陷问题,提高产品的可靠性。



1. 一种快闪存储器位线间缺陷的检测方法,其特征在于,包括步骤:
提供快闪存储器,所述快闪存储器包括多个位线;
在对所述快闪存储器进行检测时,对待检测位线施加预定正电压,将所述待检测位线相邻的两个位线电压维持在0V;
检测所述待检测位线和相邻的两个位线之间的电流与基准值比较或将所述待检测位线对应存储单元的阈值电压与基准值比较,判断所述待检测位线和相邻的两个位线之间是否存在缺陷。
2. 如权利要求1所述的快闪存储器位线间缺陷的检测方法,其特征在于,对所述快闪存储器进行检测为擦除检测。
3. 如权利要求2所述的快闪存储器位线间缺陷的检测方法,其特征在于,在进行擦除检测时,先将所述快闪存储器所有单元进行擦除,接着对待检测位线施加预定正电压,将所述待检测位线相邻的两个位线电压维持在0V,其余位线不接电压,根据检测结果判断在擦除状态下所述待检测位线和相邻的两个位线之间是否存在缺陷。
4. 如权利要求1所述的快闪存储器位线间缺陷的检测方法,其特征在于,对所述快闪存储器进行检测为编程检测。
5. 如权利要求4所述的快闪存储器位线间缺陷的检测方法,其特征在于,在进行编程检测时,先将所述快闪存储器所有单元编程至任意数据状态,接着对待检测位线施加预定正电压,将所述待检测位线相邻的两个位线电压维持在0V,其余位线不接电压,根据检测结果判断在编程状态下所述待检测位线和相邻的两个位线之间是否存在缺陷。
6. 如权利要求1所述的快闪存储器位线间缺陷的检测方法,其特征在于,对所述快闪存储器进行检测为读取检测。
7. 如权利要求6所述的快闪存储器位线间缺陷的检测方法,其特征在于,在进行读取检测时,读取所述快闪存储器所有单元,读到的所述待检测位线施加预定正电压,将所述待检测位线相邻的两个位线电压维持在0V,其余位线不接电压,根据检测结果判断在读取状态下所述待检测位线和相邻的两个位线之间是否存在缺陷。
8. 如权利要求1所述的快闪存储器位线间缺陷的检测方法,其特征在于,所述预定正电压范围是0.5V~1.5V。

快闪存储器位线间缺陷的检测方法

技术领域

[0001] 本发明涉及半导体制造及测试领域,尤其涉及一种快闪存储器位线间缺陷的检测方法。

背景技术

[0002] 快闪存储器(FlashMemory)不断地朝着高集成度和高容量存储单元的方向发展,制作过程引入缺陷的概率也随之提升。在快闪存储器晶圆测试中,对缺陷筛选的相关检测主要包括:编程、擦除、读取等。具体的,对快闪存储器单元进行编程测试时,外接电路对栅极施加正高压,漏极施加正高压;进行擦除测试时,外接电路对栅极施加负高压,阱为正高压,漏极悬空(Floating);进行读取测试时:外接电路对栅极施加正高压,对漏极施加正低压。此外,还可以采用特殊数据排列的擦写读进行测试,例如全0、全1、棋盘格或随机数形式对快闪存储器晶圆进行测试。测试完成后将测试的结果与基准值(Baseline)进行比较,剔除不符合规定的快闪存储器。

[0003] 从快闪存储器(NOR型)的可靠性测试失效分析发现,相邻位线(BitLine,BL)之间的缺陷会造成产品级的可靠性问题。然而现有的快闪存储器晶圆测试项目中,棋盘格数据排列只能筛选出较大的缺陷,缺乏有效的对某一区域微小缺陷的筛选。目前筛选方法中两条相邻BL的漏极间不存在电压差,无法有效筛选介质层中存在的缺陷,导致后续使用过程中BL之间或通孔连线之间的漏电,出现可靠性问题。

[0004] 具体的,请参考图1,图1为快闪存储器阵列的剖面示意图,快闪存储器包括衬底10、形成在衬底10中的隔离层11、形成在衬底10上层间介质层21、形成在层间介质层21内并与所述衬底10相连的通孔连线20、形成在所述层间介质层21上的金属间介质层31以及形成在所述金属间介质层31内并与所述通孔连线20相连的金属连线30。在进行生产中,通常会出现类似金属扩散至层间介质层21中、层间介质层21出现孔洞或者金属连线30出现部分桥连(bridge)的小缺陷,如图1中所示的层介质层缺陷41和金属连线缺陷42等,该类缺陷早期不会造成较大的漏电流,无法被现有的检测方法检测出,并具体定位,然而该类小缺陷会影响快闪存储器的可靠性性能。

发明内容

[0005] 本发明的目的在于提供一种快闪存储器位线间缺陷的检测方法,能够精确对位线之间的缺陷进行检测,提高检测精度。

[0006] 为了实现上述目的,本发明提出了一种快闪存储器位线间缺陷的检测方法,包括步骤:

[0007] 提供快闪存储器,所述快闪存储器包括多个位线;

[0008] 在对所述快闪存储器进行检测时,对待检测位线施加预定正电压,将所述待检测位线相邻的两个位线电压维持在0V;

[0009] 检测所述待检测位线和相邻的两个位线之间的电流与基准值比较或将所述待检

测位线对应存储单元的阈值电压与基准值比较,判断所述待检测位线和相邻的两个位线之间是否存在缺陷。

[0010] 进一步的,在所述的快闪存储器位线间缺陷的检测方法中,对所述快闪存储器进行检测为擦除检测。

[0011] 进一步的,在所述的快闪存储器位线间缺陷的检测方法中,在进行擦除检测时,先将所述快闪存储器所有单元进行擦除,接着对待检测位线施加预定正电压,将所述待检测位线相邻的两个位线电压维持在0V,其余位线不接电压,根据检测结果判断在擦除状态下所述待检测位线和相邻的两个位线之间是否存在缺陷。

[0012] 进一步的,在所述的快闪存储器位线间缺陷的检测方法中,对所述快闪存储器进行检测为编程检测。

[0013] 进一步的,在所述的快闪存储器位线间缺陷的检测方法中,在进行编程检测时,先将所述快闪存储器所有单元编程至任意数据状态,接着对待检测位线施加预定正电压,将所述待检测位线相邻的两个位线电压维持在0V,其余位线不接电压,根据检测结果判断在编程状态下所述待检测位线和相邻的两个位线之间是否存在缺陷。

[0014] 进一步的,在所述的快闪存储器位线间缺陷的检测方法中,对所述快闪存储器进行检测为读取检测。

[0015] 进一步的,在所述的快闪存储器位线间缺陷的检测方法中,在进行读取检测时,读取所述快闪存储器所有单元,读到的所述待检测位线施加预定正电压,将所述待检测位线相邻的两个位线电压维持在0V,其余位线不接电压,根据检测结果判断在读取状态下所述待检测位线和相邻的两个位线之间是否存在缺陷。

[0016] 进一步的,在所述的快闪存储器位线间缺陷的检测方法中,所述预定正电压范围是0.5V~1.5V。

[0017] 与现有技术相比,本发明的有益效果主要体现在:在对所述快闪存储器进行检测时,对待检测位线施加预定正电压,将所述待检测位线相邻的两个位线电压维持在0V,从而可以通过检测待检测位线与相邻的两个位线之间电流或通过检测待检测位线对应存储单元的阈值电压,精确判断所述待检测位线和相邻的两个位线之间是否存在缺陷,以筛选出制造过程中引入的缺陷问题,提高产品的可靠性。

附图说明

[0018] 图1为快闪存储器阵列的剖面示意图;

[0019] 图2为本发明实施例中快闪存储器位线间缺陷的检测方法的流程图;

[0020] 图3为本发明实施例中对闪存位线施加电压的电路示意图。

具体实施方式

[0021] 下面将结合示意图对本发明的快闪存储器位线间缺陷的检测方法进行更详细的描述,其中表示了本发明的优选实施例,应该理解本领域技术人员可以修改在此描述的本发明,而仍然实现本发明的有利效果。因此,下列描述应当被理解为对于本领域技术人员的广泛知道,而并不作为对本发明的限制。

[0022] 为了清楚,不描述实际实施例的全部特征。在下列描述中,不详细描述公知的功能

和结构,因为它们会使本发明由于不必要的细节而混乱。应当认为在任何实际实施例的开发中,必须做出大量实施细节以实现开发者的特定目标,例如按照有关系统或有关商业的限制,由一个实施例改变为另一个实施例。另外,应当认为这种开发工作可能是复杂和耗费时间的,但是对于本领域技术人员来说仅仅是常规工作。

[0023] 在下列段落中参照附图以举例方式更具体地描述本发明。根据下面说明和权利要求书,本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0024] 通常,快闪存储器在晶圆可接受测试(WAT)完成之后,会进行第一次探针检测(CP1),在此会对快闪存储器进行擦除、编程及读取的检测,剔除检测不合格的快闪存储器,然后对快闪存储器进行高温(例如是250摄氏度)的烘烤处理,然后再对其进行第二次探针检测(CP2),同样的,在第二次探针检测时,还会对快闪存储器进行擦除、编程及读取的检测。正如背景技术所提及,现有的检测流程无法检测出较小的缺陷,因此,本发明的核心思想是,在相邻的漏极与漏极之间(包括位线金属层间和通孔连线之间)施加一个1V左右的电压应力,该电压应力对层间介质层和金属间介质层的缺陷部位存在一定的应力(stress),使检测能及时探测到数据错误,如漏电变大或阈值电压偏移的问题,但施加的电压应力不会对层间介质层和金属间介质层造成损害。

[0025] 请参考图2,在本实施例中,提出了一种快闪存储器位线间缺陷的检测方法,包括步骤:

[0026] S100:提供快闪存储器,所述快闪存储器包括多个位线;

[0027] S200:在对所述快闪存储器进行检测时,对待检测位线施加预定正电压,将所述待检测位线相邻的两个位线电压维持在0V;

[0028] S300:检测所述待检测位线和相邻的两个位线之间的电流与基准值比较或将所述待检测位线对应存储单元的阈值电压与基准值比较,判断所述待检测位线和相邻的两个位线之间是否存在缺陷。

[0029] 在步骤S100中,所述快闪存储器与背景技术中的一致,均包括层间介质层、金属间介质层、通孔连线和金属连线等,具体可以参考背景技术以及附图1,在此不作赘述。

[0030] 在步骤S200中,对所述快闪存储器进行检测为擦除检测,具体的,在进行擦除检测时,先将所述快闪存储器所有单元进行擦除,接着对待检测位线施加预定正电压,将所述待检测位线相邻的两个位线电压维持在0V,其余位线不接电压,根据检测结果判断在擦除状态下所述待检测位线和相邻的两个位线之间是否存在缺陷。

[0031] 在步骤S200中,对所述快闪存储器进行检测还可以为编程检测。具体的,在进行编程检测时,先将所述快闪存储器所有单元编程至任意数据状态,接着对待检测位线施加预定正电压,将所述待检测位线相邻的两个位线电压维持在0V,其余位线不接电压,根据检测结果判断在编程状态下所述待检测位线和相邻的两个位线之间是否存在缺陷。

[0032] 此外,在步骤S200中,对所述快闪存储器进行检测还可以为读取检测。具体的,在进行读取检测时,读取所述快闪存储器所有单元,读到的所述待检测位线施加预定正电压,将所述待检测位线相邻的两个位线电压维持在0V,其余位线不接电压,根据检测结果判断在读取状态下所述待检测位线和相邻的两个位线之间是否存在缺陷。

[0033] 上文所述的预定正电压范围是0.5V~1.5V,优选为1V,一方面可以便于检测出缺

陷引起的漏电流,另一方面不会对快闪存储器造成损伤。具体的,请参考图3,快闪存储器包括多条位线BL (BL0~BLn) 和 多条字线WL (WL0~WLn),例如选定BL1为待检测位线,对其施加1V的正电压,对其相邻的BL0和BL2维持在0V状态,其他BL均不加电压,WL用于施加验证/读取所需的电压,通过检测BL1和BL0、BL2之间存在的漏电流与基准值(Baseline)是否匹配来判断三者之间是否存在缺陷,若漏电流大于基准值,则视为存在缺陷,若漏电流小于基准值,则视为不存在缺陷;或者,若待检测位线对应存储单元的处于擦除状态时读取到的阈值电压大于基准值或编程状态时读取到的阈值电压小于基准值,则视为存在缺陷,反之则不存在。

[0034] 由于对快闪存储器进行的检测可能包括多次检测,例如第一次探针测试和第二次探针测试,并且第一次探针测试和第二次探针测试中均包括多次擦除、编程和读取测试,而本实施例提出的擦除、编程及读取测试方法均可以嵌入至对擦除、编程和读取的正常测试中,根据需要增加测试循环次数,并且并不额外占用测试资源。在测试过程中可以发现微小缺陷导致的数据错误,例如漏电变大或阈值电压偏移等问题,提高检测的精确度。

[0035] 综上,在本发明实施例提供的快闪存储器位线间缺陷的检测方法中,在对所述快闪存储器进行检测时,对待检测位线施加预定正电压,将所述待检测位线相邻的两个位线电压维持在0V,从而可以通过检测待检测位线与相邻的两个位线之间电流或通过检测待检测位线对应存储单元的阈值电压,精确判断所述待检测位线和相邻的两个位线之间是否存在缺陷,以筛选出制造过程中引入的缺陷问题,提高产品的可靠性。

[0036] 上述仅为本发明的优选实施例而已,并不对本发明起到任何限制作用。任何所属技术领域的技术人员,在不脱离本发明的技术方案的范围内,对本发明揭露的技术方案和技术内容做任何形式的等同替换或修改等变动,均属未脱离本发明的技术方案的内容,仍属于本发明的保护范围之内。

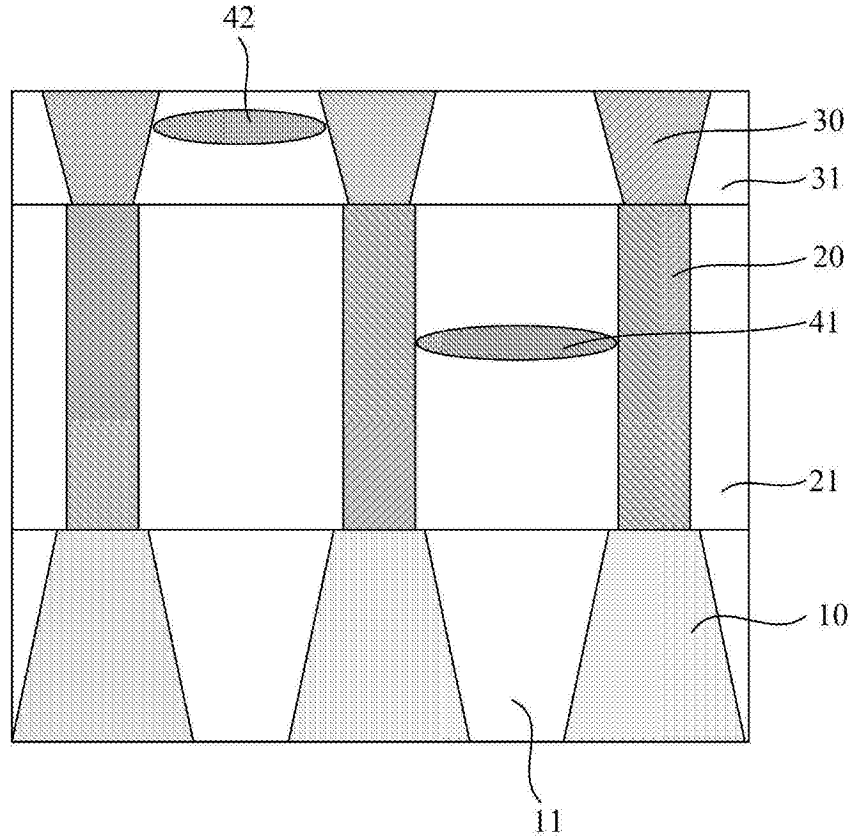


图1

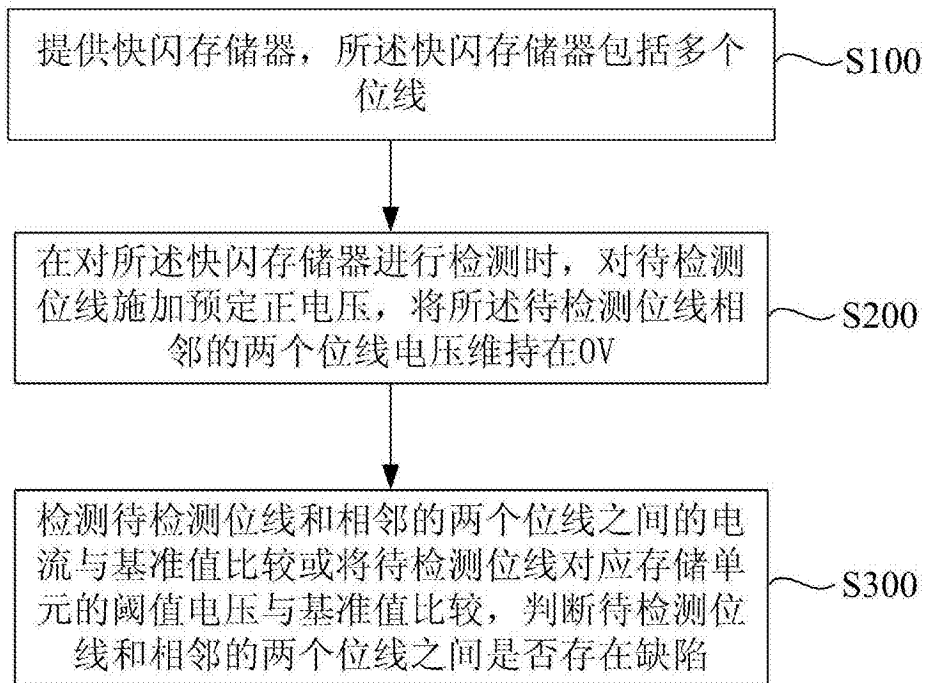


图2

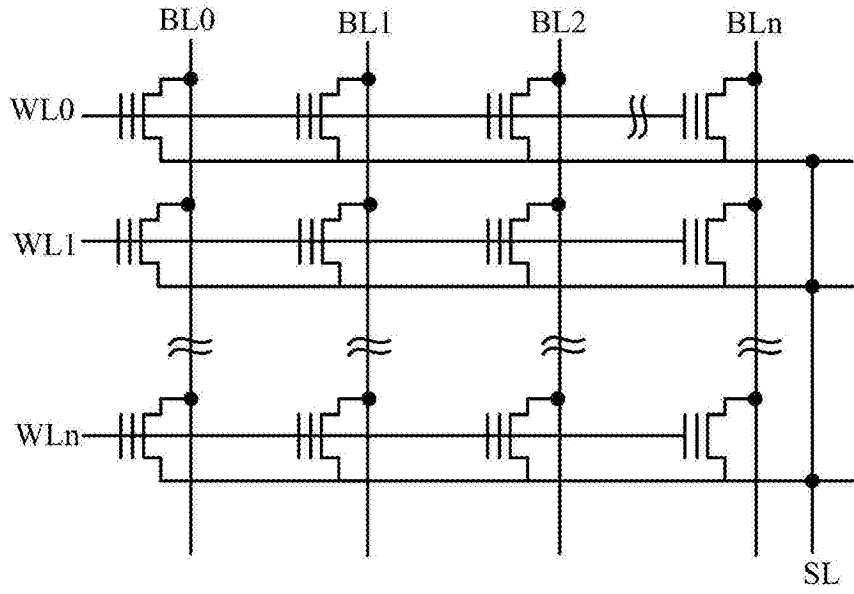


图3