

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-172163  
(P2004-172163A)

(43) 公開日 平成16年6月17日(2004.6.17)

(51) Int. Cl.<sup>7</sup>

H01L 23/12

F I

H01L 23/12 501P

テーマコード (参考)

審査請求 有 請求項の数 4 O L (全 8 頁)

(21) 出願番号	特願2002-332732 (P2002-332732)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成14年11月15日 (2002.11.15)	(74) 代理人	110000040 特許業務法人池内・佐藤アンドパートナーズ
		(72) 発明者	渡瀬 和美 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	植岡 浩喜 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	佐原 隆一 大阪府門真市大字門真1006番地 松下電器産業株式会社内

最終頁に続く

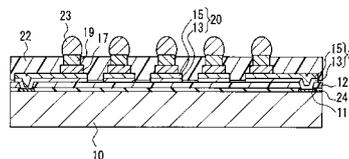
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 実装基板及び外部端子の応力を緩和し、ポスト電極の抜け不良を解消する半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板(10)と、半導体基板表面上に形成された素子電極(11)と、開口を持つ絶縁樹脂層(12)と、素子電極(11)上から絶縁樹脂層(12)の上に亘って連続的に形成された外部端子形成用ランド部(21)を有する金属配線(13, 15)と、これに電気的に接続された第一ポスト電極(17)と、その上に電気的に接続された第一ポスト電極よりポスト周辺長が短い第二ポスト電極(19)と、絶縁樹脂層(12)上であって、かつ金属配線(13, 15)と第一ポスト電極(17)と第二ポスト電極(19)の側面上を覆うように形成された封止樹脂(22)と、第二ポスト電極(19)表面上に外部端子として形成された半田バンプ(23)を含む半導体装置とする。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

半導体基板と、  
 前記半導体基板表面上に形成された素子電極と、  
 前記素子電極を露出させるように部分的に開口した絶縁樹脂層と、  
 前記素子電極上から前記絶縁樹脂層の上に亘って連続的に形成された外部端子形成用ランド部を含む金属配線と、  
 前記外部端子形成用ランド部上に電氣的に接続された少なくとも 2 層以上のポスト電極と、  
 前記絶縁樹脂層上であって、かつ前記金属配線と前記 2 層以上のポスト電極側面上を覆うように形成された封止樹脂と、  
 前記 2 層以上のポスト電極の最上電極表面に外部端子として形成された半田バンプを含む半導体装置であって、  
 前記 2 層以上のポスト電極のうち、上層電極は下層電極に比べてポスト周辺長が短く形成されていることを特徴とする半導体装置。

10

## 【請求項 2】

前記外部端子形成用ランド部上に電氣的に接続された前記第一ポスト電極及び第二ポスト電極の半導体基板表面に平行な断面形状は円形、楕円、正方形、長方形、及び前記以外の多角形から選ばれる少なくとも一つの形状である請求項 1 に記載の半導体装置。

## 【請求項 3】

半導体基板の素子電極の上方に位置する絶縁樹脂層の領域を選択的に除去して、前記素子電極を露出させて開口部を形成する第 1 の工程と、  
 前記開口部に露出した前記素子電極上から前記絶縁樹脂層上に亘り、一部が外部端子形成用ランド部として素子電極に電氣的に接続される金属配線を形成する第 2 の工程と、  
 前記外部端子形成用ランド部上に電氣的に接続された前記第一ポスト電極を形成する第 3 の工程と、  
 前記第一ポスト電極上に電氣的に接続されて外部電極の機能を有する少なくとも 1 層の第二ポスト電極を、上層電極は下層電極に比べてポスト周辺長が短く形成する第 4 の工程と、

20

前記絶縁樹脂層及び前記金属配線及び前記少なくとも 2 層のポスト電極を保護する封止樹脂を形成する第 5 の工程と、  
 前記ポスト電極の最表面上に半田バンプを形成する第 6 の工程とを含むことを特徴とする半導体装置の製造方法。

30

## 【請求項 4】

前記第一ポスト電極及び第二ポスト電極の半導体基板表面に平行な断面形状が円形、楕円、正方形、及び前記以外の多角形から選ばれる少なくとも一つの形状である請求項 3 に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、情報通信機器、事務用電子機器に利用される半導体の集積回路部を内蔵し、さらに外部電極としてポスト電極を有する半導体装置及びその製造方法に関する。特に外部電極と封止樹脂との密着性の向上及び印刷によって形成される半田バンプの狭ピッチ化、多ピン化を実現する半導体装置及びその製造方法に関するものである。

40

## 【0002】

## 【従来技術】

近年、半導体装置及びその製造方法は電子機器の小型化、高密度化に伴い、小型化、高密度化を要求されるようになった。

## 【0003】

以下にウェハレベル CSP (Chip Size Package) のおいてポスト電極

50

を外部電極とし、半田バンプ部を外部端子とする半導体装置及びその製造方法について断面図を参照しながら、説明する。

【0004】

図5（下記特許文献1の図面）において、101は半導体基板、102は素子電極、109はパッシベーション膜、103は絶縁樹脂層、104は金属配線、108は外部端子形成用ランド部、105はポスト電極、106は半田バンプ、107はモールド樹脂である。次に製造方法については、素子電極102から絶縁膜層103上に亘って金属配線104及び外部端子形成用ランド部108が形成され、外部端子形成用ランド部上にポスト電極105を形成する。絶縁樹脂層103及び金属配線104、ポスト電極105を覆う封止樹脂107を形成し、ポスト電極105表面上に半田バンプ106を形成する。ウェハレベルにより、小型化、高密度化が図れ、ポスト電極の構造により実装基板からの応力を緩和し、印刷による半田バンプ形成により、更なる狭ピッチ対応の外部端子を形成することができる。

10

【0005】

【特許文献1】

特開2001-223242

【0006】

【発明が解決しようとする課題】

しかしながら、前記従来半導体装置においては、以下のような諸問題があった。前記従来半導体装置は更なる狭ピッチ化、多ピン化への対応の為、外部端子である半田バンプにつながるポスト電極は小径化を要求される。ところが、実装基板及び外部端子である半田バンプから生じる応力によりポスト電極の側面を封止樹脂で覆っても、ポスト電極小径化に伴い、ポスト電極の抜け不良が発生する。また応力を緩和させる為にポスト電極の高さをかせぐ必要があるが、フォトリソ工程によるポスト電極形成にはアスペクト比による小径化の限界がある。

20

【0007】

本発明は、前記従来問題を解決するため、実装基板及び外部端子の応力を緩和し、ポスト電極の抜け不良を解消する半導体装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

前記目的を達成するため本発明の半導体装置は、半導体基板と、前記半導体基板表面上に形成された素子電極と、前記素子電極を露出させるように部分的に開口した絶縁樹脂層と、前記素子電極上から前記絶縁樹脂層の上に亘って連続的に形成された外部端子形成用ランド部を含む金属配線と、前記外部端子形成用ランド部上に電氣的に接続された少なくとも2層以上のポスト電極と、前記絶縁樹脂層上であって、かつ前記金属配線と前記2層以上のポスト電極側面上を覆うように形成された封止樹脂と、前記2層以上のポスト電極の最上電極表面に外部端子として形成された半田バンプを含む半導体装置であって、前記2層以上のポスト電極のうち、上層電極は下層電極に比べてポスト周辺長が短く形成されていることを特徴とする。

30

【0009】

次に本発明の半導体装置の製造方法は、半導体基板の素子電極の上方に位置する絶縁樹脂層の領域を選択的に除去して、前記素子電極を露出させる開口部を形成する第1の工程と、前記開口部に露出した前記素子電極上から前記絶縁樹脂層上に亘り、一部が外部端子形成用ランド部として素子電極に電氣的に接続される金属配線を形成する第2の工程と、前記外部端子形成用ランド部上に電氣的に接続された前記第一ポスト電極を形成する第3の工程と、前記第一ポスト電極上に電氣的に接続されて外部電極の機能を有する少なくとも1層の第二ポスト電極を、上層電極は下層電極に比べてポスト周辺長が短く形成する第4の工程と、前記絶縁樹脂層及び前記金属配線及び前記少なくとも2層のポスト電極を保護する封止樹脂を形成する第5の工程と、前記ポスト電極の最表面上に半田バンプを形成する第6の工程とを含むことを特徴とする。

40

50

## 【0010】

前記本発明においては、前記外部端子形成用ランド部上に電氣的に接続された前記第一ポスト電極及び第二ポスト電極の半導体基板表面に平行な断面形状は円形、楕円、正方形、長方形、及び前記以外の多角形から選ばれる少なくとも一つの形状であることが好ましい。

## 【0011】

## 【発明の実施の形態】

本発明によれば、実装基板及び外部端子の応力を、2層以上で形成された階段状のポスト電極構造により、下段と上段のポスト電極の直径及び断面形状の差による封止樹脂のかぶりで実装基板及び外部端子である半田バンプの応力を緩和し、ポスト電極の抜け不良を解消できる。また、外部電極としての機能を有する最上段のポスト電極以外のポスト電極は、外部端子のピッチに制約されず、ポスト電極の直径を大きくすることで、封止樹脂との密着性を増加し、実装基板及び外部端子である半田バンプの応力を分散できる。これにより、抜け不良を生じないポスト電極を確保できる。

10

## 【0012】

本発明において、外部端子形成用ランド部上に2層以上の階段状のポスト電極を形成するが、階段状のポスト電極は何層でも形成可能であると共に、フォトリソ工程によってポスト電極の形状を円、多角形、四角等に自由に形成できる。階段状にポスト電極を形成することによって、封止樹脂のポスト電極へのかぶりが生じ、ポスト電極の抜け不良を防ぐことができる。最上部のポスト電極以外のポスト電極はその直径をある程度自由に設定し、封止樹脂と接する表面積を大きくすることで更なる封止樹脂との密着性を向上できる。

20

## 【0013】

以下本発明の実施例について図面を参照しながら、説明する。

## 【0014】

図1は本実装形態における半導体装置を封止樹脂の一部を部分的に、また全部開封して示す上面図である。図2は本実装形態の半導体装置の断面図である。次に図3は(a)~(d)、図4(a)~(d)は本実装形態における半導体装置の製造工程を示す断面図である。

## 【0015】

まず図1、図2において10はトランジスタ等の半導体素子によって構成される半導体集積回路を内部に有する半導体基板である。11は半導体基板上にある素子電極、24はSG膜、12は絶縁樹脂層、17は第一ポスト電極、19は第二ポスト電極、20は外部端子形成用ランド部、21は金属配線、22は封止樹脂、23は半田バンプである。

30

## 【0016】

本実装形態ではポスト電極構造を有することで実装基板及び外部端子である半田バンプから生じる応力をポスト電極で緩和し、高い実装信頼性を確保することが可能である。また階段状のポスト電極構造により、ポスト電極の抜け不良を改善することができる。また外部電極としての機能を有する最上段のポスト電極は狭ピッチ化、及び多ピン化に対応するために電極の更なる小径化が要求されるが、最上段以外のポスト電極においては小径化すること無く、封止樹脂との接触面積を維持することで、更なる封止樹脂との密着性を向上させることが可能であり、更なる高信頼性の実装を確保できる。

40

## 【0017】

次に本実装形態の半導体装置での製造方法について、図3(a)~(d)、図4(a)~(d)を参照しながら説明する。図3(a)~(d)、図4(a)~(d)は、図1及び図2に示す半導体装置の構造を実現するための製造工程を示す断面図である。

## 【0018】

図3(a)に示すように、半導体基板上にスピコートで感光性を有する絶縁材料を塗布、乾燥し、露光及び現像とを順次に行い、半導体基板10上の素子電極11における領域を選択的に除去し、複数の素子電極11を露出させた開口部を有する絶縁樹脂層12を形成する。尚、感光性を有する絶縁層12としてはエステル結合型ポリイミドまたはアクリ

50

レート系エポキシ等のポリマーでもよく、感光性であればよい。また感光性を有する絶縁樹脂層12はフィルム状に予め形成された材料を用いても構わない。その場合は絶縁樹脂層12を半導体基板10上に貼り合わせ、露光及び現像によって絶縁層12に開口部を形成し、素子電極11を露出させる。

【0019】

次に図3(b)に示すように、絶縁樹脂層12及び開口部が形成された素子電極11上全面において、スパッタリング法、真空蒸着法、CVD法または無電解メッキ法の薄膜形成技術により、例えば、厚みが0.2 $\mu$ m程度のTiW膜とその上に形成された厚みが0.5 $\mu$ m程度のCu膜からなる薄膜金属層13を形成する。

【0020】

次に図3(c)に示すように、スピンコートでポジ型感光性レジスト膜またはネガ型感光性レジスト膜を覆い、周知の露光、現像によりメッキレジスト14を形成する。パターン形成されたメッキレジスト14のパターン部以外において、薄膜金属層13上に電解メッキ等の厚膜形成技術により厚膜金属層15を選択的に形成する。例えば厚みが5 $\mu$ m程度のCu膜からなる厚膜金属層15を選択的に形成する。

【0021】

次に図3(d)に示すように、厚膜金属層15を形成し、メッキレジスト14を熔融除去後、ポジ型感光性レジスト膜またはネガ型感光性レジスト膜を多い、周知の露光、現像によりメッキレジスト16を形成する。ここで感光性を有するメッキレジスト16はフィルム状に予め形成された材料を用いても構わない。パターン形成されたメッキレジスト16のパターン部以外において、厚膜金属層15上に電解メッキ等のポスト形成技術により第一ポスト電極17を選択的に形成する。例えば、電極の材料はCuを用い、形成方法は電解メッキを用いると、0.4mmピッチの外部端子ピッチであれば、厚みが50 $\mu$ m程度のポスト電極の断面形状が円形の場合、直径が200 $\mu$ m程度の第一ポスト電極17を選択的に形成できる。なお、フォトリソ工程にて形成するポスト電極の断面形状は、封止樹脂との密着面積を大きくすることを目的に、多角形や星形に形成することも可能である。

【0022】

次に図4(a)に示すように、第一ポスト電極17を形成、メッキレジスト16を熔融除去後、更にポジ型感光性レジスト膜またはネガ型感光性レジスト膜を多い、周知の露光、現像によりメッキレジスト18を形成する。ここで感光性を有するメッキレジスト18はフィルム状に予め形成された材料を用いても構わない。パターン形成されたメッキレジスト18のパターン部以外において、第一ポスト電極17上に電解メッキ等の形成技術により第二ポスト電極19を選択的に形成する。例えば、第一ポスト電極17の直径が200 $\mu$ m程度であれば、第一ポスト電極17上に180 $\mu$ m程度の直径を持つ第二ポスト電極19を形成する。

【0023】

電極材料はCuを用いて、電解メッキを施しても良い。第一ポスト電極17上に形成された第二ポスト電極19は、電極中心部が第一ポスト電極17の中心部に位置していなくとも階段状の部分が形成されていれば構わない。なお、フォトリソ工程にて形成するポスト電極19の断面形状は、第一ポスト電極17の断面形状と同形でも異形でも構わない。

【0024】

次に図4(b)に示すように、第二ポスト電極19を形成後、メッキレジスト18を熔融除去し、薄膜金属層13を熔融除去できるエッチング液を施す。例えばCu膜に対しては塩化鉄第二銅溶液で、TiW膜に対しては過酸化水素水で全面エッチングすると、厚膜金属層15よりも層厚が薄い薄膜金属層13が先行して除去される。この工程により半導体基板10において所定の金属配線21、外部端子形成用ランド20が形成される。例えばCuメッキにて形成された金属配線21は厚み5 $\mu$ mに対して、Line/Space = 20/20 $\mu$ mの配線形成が可能である。

【0025】

次に図4(c)に示すように、金属配線21及び絶縁樹脂層12上を樹脂で覆い、加圧、

10

20

30

40

50

加温を施し、第二ポスト電極の表面が露出するように封止樹脂 22 を形成する。例えば封止樹脂はエポキシ樹脂を用いて、厚みは 50 ~ 100 μm で形成する。封止樹脂 22 によって、金属配線 22、外部端子形成用ランド 20、第一ポスト電極 17、第二ポスト電極 19 の側面は溶融したクリーム半田から保護される。

#### 【0026】

次に図 4 (d) に示すように、第二ポスト電極 19 の表面上に酸化防止処理を施し、表面張力により接している第二ポスト電極 19 の表面に半田バンプ 23 が形成され、絶縁材料である封止樹脂 22 表面上には半田バンプは形成されない。この時の加熱温度はクリーム半田の融点以上である。印刷工程において、マスク 20 は一般的に用いられるマスクであっても、金属マスクを用いても構わない。

10

#### 【0027】

##### 【発明の効果】

以上説明したとおり、本発明の半導体装置は、を 2 層以上の階段状ポスト電極構造により、実装時の実装基板及び外部端子によって生じる応力を緩和し、ポスト電極抜け不良を解消することができる。また階段状ポスト電極により、最上段のポスト電極のみが外部端子である印刷による半田バンプ形成の影響を受けるが、最上段以外のポスト電極は電極の直径を大きくし、ポスト電極側面と封止樹脂との密着面積を増加させ、更なる応力緩和を図ることができる。

##### 【図面の簡単な説明】

【図 1】本発明の一実装形態における半導体装置の封止樹脂を部分的に及び全面開封して示す平面図である。

20

【図 2】本発明の一実装形態における半導体装置の断面図である。

【図 3】(a) ~ (d) は、本発明の一実装形態における半導体装置の製造工程のうち絶縁樹脂層形成から第一ポスト電極部形成までの製造工程を示す断面図である。

【図 4】(a) ~ (d) は、本発明の一実装形態における半導体装置の製造工程のうち第二ポスト電極形成から半田バンプ形成までの製造工程を示す断面図である。

【図 5】従来の金属バンプを形成した半導体装置の断面図である。

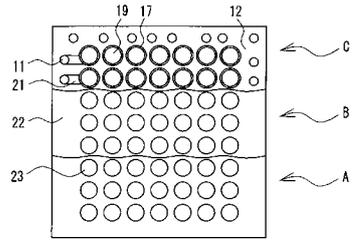
##### 【符号の説明】

- 10, 101 半導体基板
- 11, 102 半導体素子電極
- 12, 103 絶縁樹脂層
- 13 薄膜金属層
- 14 メッキレジスト
- 15 厚膜金属層
- 16 メッキレジスト
- 17 第一ポスト電極
- 18 メッキレジスト
- 19 第二ポスト電極
- 20 外部端子形成用ランド
- 21 金属配線
- 22, 107 封止樹脂
- 23, 106 半田バンプ
- 24, 109 パッシベーション膜
- 104 金属配線
- 105 ポスト電極

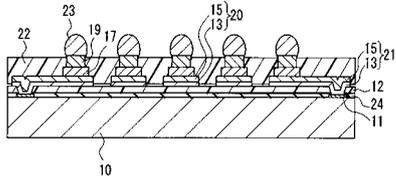
30

40

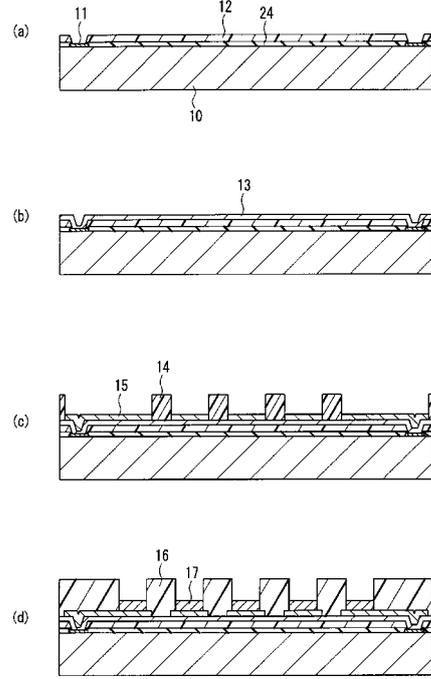
【 図 1 】



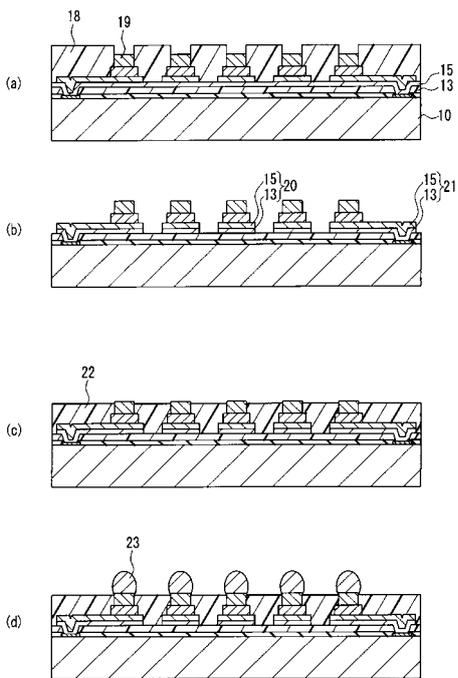
【 図 2 】



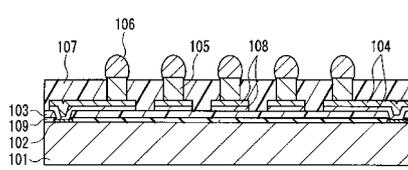
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(72)発明者 藤作 実

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72)発明者 中野 高宏

大阪府門真市大字門真1006番地 松下電器産業株式会社内