

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H03L 7/07 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월03일 10-0555733 2006년02월21일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0009850 2004년02월14일	(65) 공개번호 (43) 공개일자	10-2005-0081545 2005년08월19일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	쿠너르트홀거 경기도군포시산본동수리-한양APT801동1701호
(74) 대리인	정홍식

심사관 : 김기완

(54) 차동 및 직교 고조파 신호를 발생하는 전압 제어 발진기

요약

본 발명은 차동 및 직교 고조파 신호를 발생하는 전압 제어 발진기 및 차동 및 직교 고조파 신호를 발생하는 방법을 개시한다. 본 발명에 따른 전압 제어 발진기는 제1 신호, 제3 신호를 발생하는 제1 발진부, 제1 신호 및 제3 신호를 더하는 제1 합성부, 제2 신호, 제4 신호를 발생하는 제2 발진부, 제2 신호 및 제4 신호를 더하는 제2 합성부를 포함하며, 제2 신호의 위상은 제1 신호를 이용하여 위상반전과 딜레이를 시킴으로써 결정되며, 제3 신호의 위상은 제2 신호를 이용하여 위상반전과 딜레이를 시킴으로써 결정되며, 제4 신호의 위상은 제3 신호를 이용하여 위상반전과 딜레이를 시킴으로써 결정되며, 제1 신호의 위상은 제4 신호를 이용하여 위상반전과 딜레이를 시킴으로써 결정됨을 특징으로 한다. 이에 의해, 제1 고조파의 직교 신호 및 제2 고조파의 차동 신호가 발생된다.

대표도

도 5a

색인어

발진기, 고조파, 위상

명세서

도면의 간단한 설명

도 1은 로직 인버터 게이트를 이용한 다중위상 출력 발진기를 도시한 도면,  
도 2는 링 형태에서 주파수 고정된 두개의 발진기가 결합된 것을 도시한 도면,

도 3a는 종래의 광대역/다대역 전압 제어 발진기를 도시한 도면,  
 도 3b는 종래의 LC VCO를 위한 결합의 예를 도시한 도면,  
 도 4는 본 발명에 따른 전압 제어 발진기의 개략도를 도시한 도면,  
 도 5a는 본 발명의 일 실시예인 VCO의 개략도를 도시한 도면,  
 도 5b는 본 발명의 다른 실시예로서 도 5a에 도시된 VCO를 이용한 VCO의 회로를 도시한 도면,  
 도 5c는 도 5b의 회로에 검출회로가 추가된 회로를 나타낸 도면,  
 도 6a 및 6b는 도 5c에 도시된 회로에서 출력되는 신호의 RF 파워 스펙트럼을 도시한 도면,  
 도 7a 내지 도 7c는 도 5c에 도시된 회로에서 필터링된 신호의 파형을 도시한 도면,  
 도 8은 본 발명의 일 실시예인 VCO를 이용한 무선 수신기 구조의 개략도,  
 도 9a 및 도 9b는 제1 및 제2 고조파의 튜닝 범위 및 신호의 크기를 도시한 도면, 그리고  
 도 10은 본 발명의 실시예에 따른 전압 제어 발진기를 이용하여 차동 및 직교 고조파 신호를 발생 방법의 흐름을 도시한 도면이다.

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 전압 제어 발진기(voltage controlled oscillator:이하 'VCO'라 한다)에 관한 것으로, 더욱 상세하게는, 다중 위상, 다중-고조파(multi-harmonic) 출력 신호를 발생하는 VCO에 관한 것이다.

VCO는 전압 조절로 가변 커패시터의 커패시턴스를 변화시켜 주파수를 조절하는 발진기를 의미한다.

VCO는 모든 전기 통신 시스템의 없어서는 안될 부분이다. 현대 시스템에서 VCO는 송수신기의 기저대역 회로로 무선 신호의 업 및 다운 컨버전을 위한 국부 발진기(local oscillator: 이하 'LO'라 한다)를 발생시키는 위상 동기 루프(phase-locked-loop: 이하 'PLL'이라 한다) 합성기의 부분이다. 예를 들면 단일 IF, 이중 IF, 또는 직접 컨버전과 같은 송수신 구성에 따라, 송수신기 칩은 모든 LO 신호를 발생하기 위한 소정의 개수의 VCO 회로를 포함할 수 있다. 통신 시스템의 스펙트럼 순도 및 위상잡음에 대처하기 위하여 각각의 VCO는 PLL에 의하여 안정되어야 한다. 이중(dual)-다운컨버전 슈퍼헤테로다인 라디오에서의 다른 문제점으로서 마지막 다운-컨버전 스텝은 직교 기저대역 신호로 변환되어야 한다. 이런 동작을 위해 직교 위상 LO 신호(IQ신호라고도 불림)가 필요하다. 이러한 IQ신호는 종래 기술로 언급되는, 예를 들면 차동 발진기의 출력에 다상(poly-phase) 필터를 적용하거나, 또는 토큰 링 구조에 4분할(divide-by-4) 회로를 적용하거나, 또는 결합된 발진기 세트들과 같은 여러가지 수단들에 의해 발생된다. 이러한 방법들 모두는 송수신기가 복잡해지고 개별적인 결점 및 한계를 갖는다. RC 다상 필터의 경우에는 집적된 저항들의 제조 과정 중의 공정 편차로 인하여 90도 위상차의 주파수는 디자인 타겟 주파수와 상당히 다를 수 있다고 알려져 있다. 4분할 회로의 경우에는 복잡해진다. 종래에 결합 발진기는 최대 동작 주파수를 제한하는 불충분한 출력 전력 또는 복잡한 결합 구조와 같은 많은 단점들이 있다.

도 1은 로직 인버터 게이트를 이용한 다중위상 출력 발진기를 도시한 도면이다.

도 1을 참조하면, US Patent 5,592,126에서 언급하고 있는 다중위상 출력 발진기는 다수의 링 발진기가 결합 루프에서 직렬로 연결된 것을 보여준다. 발진기 중 어느 하나도 자유롭게 발진할 수 없는데, 단일 발진기 각각은 루프를 따라서 후임 발진기에 조정되어 있기 때문이다. 루프를 따라 두 포인트 간의 위상 전이는 360도의 인테거 프랙션(integer fraction)이고 발진기의 수에 의존한다. 4중 결합 발진기(즉 an integer multiple of four oscillator)의 경우에는 90도의 위상 전이가

가능하다. 이러한 다중위상 출력 발진기에서 RF 주파수는 다른 위상으로 분리될 수 있지만, 제1 고조파로부터 제2 고조파를 분리하는 것은 불가능하다. 따라서 직교 발생기로서는 사용되나, 고조파 발생기로서는 사용될 수 없는 문제점이 있었다. 두번째 결점은 회로가 링 발진기 빌딩 블록으로 이뤄짐으로서, RF 출력 및 잡음 효율(noise performance)이 추가적인 회로가 없으면 충분하지 않을 수 있다는 문제점이 있었다.

도 2는 링 형태에서 주파수 고정된 두개의 발진기가 결합된 것을 도시한 도면이다. US6,188,292에서 언급하고 있는 이러한 발진기에서 주파수 변화는 두 개의 발진기 사이의 결합 세기를 변화시킴으로써 얻어진다. 가변 전류 또는 전압 소스를 이용함으로써 결합 세기를 변화 시킨다. 이러한 회로는 제1 고조파를 조정할 수 있는 직교 발생기로 사용될 수 있으나, 고조파 발생기로 사용될 수 없는 문제점이 있었다.

도 3a는 종래의 광대역/다대역 전압 제어 발진기를 도시한 도면이다.

US6,417,740에서 언급하고 있는 이러한 전압 제어 발진기는 LC 발진기 한쌍이 상호컨덕턴스 제어 회로(transconductance control circuits)를 통해 상호-결합되어 있다. MOS 버랙터 튜닝(전압 Vcap에 의해 제어되는 M13, 14, 15, 16) 및 전류 주입(전압 Vcon에 의해 제어되는 회로 340, 380)을 통한 상호컨덕턴스 제어에 의해 900MHz에서 1.3GHz, 그리고 1.3GHz에서 2.4GHz 두 부분의 튜닝 범위가 된다. 직교 출력 전압은 -10dBV로 주어지며, 이는 50ohm부하에서 -18dBm와 같다. 이 회로는 광대역 수신기 시스템을 위한 직교 발생기로서 사용될 수 있으나, 고조파 발생기로서는 사용될 수 없는 문제점이 있었다.

도 3b는 종래의 LC VCO를 위한 결합의 예를 도시한 도면이다.

이러한 결합은 US6,492,877에 개시되어 있는데, 두 개의 LC VCO 신호는 버퍼 및 결합 루프를 위한 커플러(coupler) 단계를 통해 결합되며, 동상(in-phase) 그리고 직교 신호를 제공한다. 이에 관한 시뮬레이션 또는 측정 데이터는 주어지지 않았으며, 신호 크기 및 최대 시스템 주파수(속력)은 알 수 없다. 자세한 회로 개략도는 주어지지 않았다. 버퍼 단계의 포함은 각각의 VCO의 용량성의 부하를 감소시키고 발진기 "효율"을 향상시킨다. 발진기 효율을 위한 언급은 주어지지 않았다. 이러한 결합 방식은 동상의 그리고 직교의 위상 신호를 발생하는데 유용하지만, 차동 위상 신호를 발생시킬 수 없는 문제점이 있었다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은, 제1 고조파에서 직교 및 차동 위상 출력 신호를 그리고 제2 고조파에서 차동 위상 출력 신호를 발생시키는 전압 제어 발진기를 제공함에 있다.

본 발명의 다른 목적은, RF 전력 출력이 향상으로 큰 증폭없이 특히 제2 고조파 신호를 사용할 수 있는 전압 제어 발진기를 제공함에 있다.

본 발명의 또 다른 목적은, 튜닝 범위가 향상되고 보다 간단한 구조로 된 전압 제어 발진기를 제공함에 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명에 따른 전압 제어 발진기는 제1 신호, 제3 신호를 발생하는 제1 발진부, 제1 신호 및 제3 신호를 합성하는 제1 합성부, 제2 신호, 제4 신호를 발생하는 제2 발진부 및 제2 신호 및 제4 신호를 합성하는 제2 합성부를 포함하며, 제2 신호의 위상은 제1 신호를 이용하여 위상반전과 딜레이를 시킴으로써 결정되며, 제3 신호의 위상은 제2 신호를 이용하여 위상반전과 딜레이를 시킴으로써 결정되며, 제4 신호의 위상은 제3 신호를 이용하여 위상반전과 딜레이를 시킴으로써 결정되며, 제1 신호의 위상은 제4 신호를 이용하여 위상반전과 딜레이를 시킴으로써 결정됨을 특징으로 한다.

제1, 제2, 제3 및 제4 신호의 제1 고조파를 각각 검출하는 제1 검출부 및 제1, 제2 합성부의 제2 고조파를 각각 검출하는 제2 검출부를 더 포함하는 것이 바람직하다.

제1 신호 및 제3 신호의 제1 고조파는 차동(differential) 신호이며, 제2 신호 및 제4 신호의 제1 고조파는 차동(differential) 신호를 이루며, 제1 신호 및 제2 신호의 제1 고조파는 직교(quadrature) 신호를 이루는 것이 바람직하다.

제1, 제2 합성부에서 검출되는 제2 고조파는 차동(differential) 신호를 이루는 것이 바람직하다.

제1, 제2 발진부는 각각 적어도 하나의 인덕터와 적어도 두개의 가변 커패시터를 포함하는 탱크회로를 포함하는 것이 바람직하다.

제1 합성부는 제1 및 제3 신호가 합성되는 접속점 및 그라운드에 접속되는 저항을 포함하며, 제2 합성부는 제2 및 제4 신호가 합성되는 접속점 및 그라운드에 접속되는 저항을 포함하는 것이 바람직하다.

제1, 제2, 제3 및 제4 신호의 주파수는 튜닝 전압의 변화에 의하여 가변됨이 바람직하다.

제1 발진부는 소스 단자가 그라운드에 접속된 제1 트랜지스터, 드레인 단자가 상기 제1 트랜지스터의 게이트에 접속되고, 게이트 단자는 제1 트랜지스터의 드레인에 접속되어 있고, 소스 단자가 제1 트랜지스터의 소스와 공통 접속되어 그라운드에 연결되어 있는 제2 트랜지스터, 드레인 단자가 제1 트랜지스터의 드레인에 접속되어 있는 제5 트랜지스터, 드레인 단자가 제2 트랜지스터의 드레인에 접속되는 있는 제6 트랜지스터를 포함하며, 제2 발진부는 소스 단자가 그라운드에 접속된 제3 트랜지스터, 드레인 단자가 제3 트랜지스터의 게이트에 접속되고, 게이트 단자는 제3 트랜지스터의 드레인에 접속되어 있고, 소스 단자가 제3 트랜지스터의 소스와 공통 접속되어 그라운드에 연결되어 있는 제4 트랜지스터, 드레인 단자가 제3 트랜지스터의 드레인에 접속되어 있는 제7 트랜지스터, 드레인 단자가 제4 트랜지스터의 드레인에 접속되는 있는 제8 트랜지스터를 포함하며, 제7 트랜지스터의 게이트 단자는 제1 트랜지스터의 드레인에 접속되어 있고, 제3 트랜지스터의 드레인 단자는 제6 트랜지스터의 게이트에 접속되어 있고, 제8 트랜지스터의 게이트 단자는 제2 트랜지스터의 드레인에 접속되어 있고, 제4 트랜지스터의 드레인 단자는 제5 트랜지스터의 게이트에 접속되어 있음이 바람직하다.

제1 내지 제8 트랜지스터는 NMOS트랜지스터임이 바람직하다.

제1 합성부는 일단은 제5 트랜지스터의 소스 및 제6 트랜지스터 소스에 공통으로 접속되고 타단은 그라운드에 연결된 제1 저항을 포함하며, 제2 합성부는 일단은 제7 트랜지스터의 소스 및 제8 트랜지스터 소스에 공통으로 접속되고 타단은 그라운드에 연결된 제2 저항을 포함하는 것이 바람직하다.

제1 발진부는 제1 트랜지스터의 드레인에 일단이 접속되고, 제2 트랜지스터의 드레인에 타단이 접속된 제1 인덕터, 제1 전압, 일단이 제1 인덕터의 일단에 접속되고, 타단이 제1 전압에 접속된 제1 커패시터, 일단이 제1 커패시터의 타단에 공통으로 접속되어 제1 전압에 접속되고, 타단이 제1 인덕터의 타단에 접속된 제2 커패시터, 제2 전압, 드레인 단자가 제1 커패시터의 일단에 접속되고, 소스 단자가 제2 전압에 접속된 제9 트랜지스터 및 소스 단자가 제2 전압에 접속되고, 드레인 단자가 제2 커패시터의 타단에 접속되고, 게이트 단자가 제9 트랜지스터의 드레인에 접속된 제10 트랜지스터를 포함하며, 제2 발진부는 제3 트랜지스터의 드레인에 일단이 접속되고, 제4 트랜지스터의 드레인에 타단이 접속된 제2 인덕터, 제3 전압, 일단이 제2 인덕터의 일단에 접속되고, 타단이 제3 전압에 접속된 제3 커패시터, 일단이 제3 커패시터의 타단에 공통으로 접속되어 제3 전압에 접속되고, 타단이 제2 인덕터의 타단에 접속된 제4 커패시터, 제4 전압, 드레인 단자가 제3 커패시터의 일단에 접속되고, 소스 단자가 제4 전압에 접속된 제11 트랜지스터 및 소스 단자가 제4 전압에 접속되고, 드레인 단자가 제4 커패시터의 타단에 접속되고, 게이트 단자가 제11 트랜지스터의 드레인에 접속된 제12 트랜지스터를 더 포함하는 것이 바람직하다.

제1 내지 제8 트랜지스터는 NMOS트랜지스터이며, 상기 제9 내지 제12 트랜지스터는 PMOS트랜지스터임이 바람직하다.

제1, 제2, 제3, 제4 커패시터는 가변 커패시터임이 바람직하다.

제2, 제4 전압은 1.8볼트이며, 제1, 제3 전압은 가변전압임이 바람직하다.

제1 신호의 제1 고조파를 검출하기 위해 제1 커패시터의 일단에 접속되는 제1 검출회로, 제2 신호의 제1 고조파를 검출하기 위해 제3 커패시터의 일단에 접속되는 제2 검출회로, 제3 신호의 제1 고조파를 검출하기 위해 제2 커패시터의 타단에 접속되는 제3 검출회로, 제4 신호의 제1 고조파를 검출하기 위해 제2 커패시터의 타단에 접속되는 제4 검출회로, 제5 신호의 제2 고조파를 검출하기 위해 제1 저항의 일단에 접속되는 제5 검출회로 및 제6 신호의 제2 고조파를 검출하기 위해 상기 제2 저항의 일단에 접속되는 제6 검출회로를 더 포함하는 것이 바람직하다.

제1 내지 제4 검출 회로 각각은 일단이 그라운드에 접속된 저항, 일단이 저항의 타단에 접속되고, 타단이 그라운드에 접속된 커패시터 및 일단이 커패시터의 일단에 접속된 버퍼를 포함하며, 제5 및 제6 검출 회로 각각은 일단이 그라운드에 접속된 커패시터를 포함하는 것이 바람직하다.

제1, 제3 신호에서 검출된 제1 고조파는 차동 신호를 이루며, 제1, 제4 신호에서 검출된 제1 고조파는 직교 신호를 이루며, 제5 및 제6 신호에서 검출된 제2 고조파 신호는 차동 신호를 이루며 바람직하다.

차동 및 직교 고조파 신호의 발생 방법은 제1 RF 신호가 발생하는 단계, 제1 RF신호를 입력받아 지연시킴으로서 제1 RF 신호가 소정의 시간만큼 지연된 제2 RF신호가 발생하는 단계, 제2 RF신호를 입력받아 지연시킴으로서 제2 RF신호가 소정의 시간만큼 지연된 제3 RF신호가 발생하는 단계, 제3 RF신호를 입력받아 지연시킴으로서, 제3 RF신호가 소정의 시간만큼 지연된 제4 RF신호가 발생하는 단계, 및 제4 RF신호를 입력받아 지연시킴으로서 제4 RF신호가 소정의 시간만큼 지연된 제1 RF신호가 발생하는 단계를 포함한다.

제1 및 제3 RF 신호를 더하여 제5 RF신호, 상기 제2 및 제4 RF 신호를 더하여 제6 RF 신호가 발생하는 단계를 더 포함하는 것이 바람직하다.

제1, 제2, 제3, 제4 RF신호 각각의 위상차는 90도임이 바람직하다.

제1, 제2, 제3, 제4 RF신호에서 제1 고조파 신호가 검출되는 단계;를 더 포함하는 것이 바람직하다.

제5 및 제6 RF신호의 제2 고조파 신호가 검출되는 단계를 더 포함하는 것이 바람직하다.

제1, 제2, 제3, 제4 RF신호 각각의 제1 고조파 신호, 제5 및 제6 RF신호 각각의 제2 고조파 신호가 검출되는 단계를 더 포함하는 것이 바람직하다.

전압 제어 발진기를 이용하여 다운 컨버전하는 방법은 전압 제어 발진기에서 제1 RF 신호가 발생하는 단계, 제1 RF신호를 입력받아 지연시킴으로서 제1 RF신호가 소정의 시간만큼 지연된 제2 RF신호가 발생하는 단계, 제2 RF신호를 입력받아 지연시킴으로서 상기 제2 RF신호가 소정의 시간만큼 지연된 제3 RF신호가 발생하는 단계, 제3 RF신호를 입력받아 지연시킴으로서 제3 RF신호가 소정의 시간만큼 지연된 제4 RF신호가 발생하는 단계, 제4 RF신호를 입력받아 지연시킴으로서 제4 RF신호가 소정의 시간만큼 지연된 제1 RF신호가 발생하는 단계, 제1 및 제3 RF 신호를 더하여 제5 RF신호, 제2 및 제4 RF 신호를 더하여 제6 RF 신호가 발생하는 단계, 제1, 제2, 제3, 제4 RF신호 각각의 제1 고조파 신호 제5 및 제6 RF 신호 각각의 제2 고조파 신호가 검출되는 단계 및 제2 고조파 신호를 이용하여 1차 다운컨버전, 제1 고조파 신호를 이용하여 2차 다운컨버전이 되는 단계를 포함하는 것이 바람직하다.

이하에서는 도면을 참조하여 본 발명을 보다 상세하게 설명한다.

본 발명은 고조파 결합(harmonic coupling)에 의해 제1 고조파에서는 직교(quadrature) 및 차동 위상 출력 신호를 그리고 제2 고조파에서는 차동 위상 출력 신호를 발생하는 CMOS기술에 있어 모놀리식으로 집적된, 체배 기능이 내장된 VCO회로에 관한 것이다. 위 신호들은 모두 동시에 발생되며 그리고 서로 다른 출력 노드에서 감지될 수 있으며, 거의 각각으로부터 디커플(decoupled)된다. 이 회로는 바람직하게는 0.18 $\mu$ m CMOS 기술에서 실시된다. 그리고 NMOS 트랜지스터, PMOS 트랜지스터, MOS 버랙터 다이오드, 나선형 인덕터, 및 MIM 커패시터를 포함한다. 회로 형태는 CMOS에 제한되지 않을 뿐만 아니라, 양극 또는 이종양극(heterobipolar) 과정에 쉽게 변형될 수 있다.

도 4는 본 발명에 따른 전압 제어 발진기의 개략도를 도시한 도면이다.

본 발명은 제1 발진부(501), 제2 발진부(502), 제1 합성부(530) 및 제2 합성부(540)을 포함한다.

제1 발진부(501)에서는 제1 신호, 제3 신호가 발생된다. 제2 발진부(502)에서는 제2 신호, 제4 신호가 발생된다.

제2 신호의 위상은 제1 신호를 이용하여 위상반전과 딜레이를 시킴으로써 결정되며, 제3 신호의 위상은 제2 신호를 이용하여 위상반전과 딜레이를 시킴으로써 결정되며, 제4 신호의 위상은 제3 신호를 이용하여 위상반전과 딜레이를 시킴으로써 결정되며, 제1 신호는 제4 신호를 이용하여 위상반전과 딜레이를 시킴으로써 결정된다.

제1 합성부(530)에서는 제1 신호 및 상기 제3 신호를 더한다. 제2 합성부(560)에서는 제2 신호 및 제4 신호를 더한다.

제1, 제2, 제3 신호 및 제4 신호의 제1 고조파는 제1 검출부(미도시)를 통하여 각각 검출된다. 제1, 제2 합성부의 제2 고조파는 제2 검출부(미도시)를 통하여 각각 검출된다.

바람직하게는 제1 신호 및 제3 신호의 제1 고조파는 차동(differential) 신호를 이루며(서로 차동 신호이다), 제2 신호 및 제4 신호의 제1 고조파는 차동(differential) 신호를 이루며, 제1 신호 및 제4 신호의 제1 고조파는 직교(quadrature) 신호를 이룬다. 또한 제1, 제2 합성부의 제2 고조파는 차동(differential) 신호를 이룬다.

도 5a는 본 발명의 일 실시예인 VCO의 개략도를 도시한 도면이다.

본 발명에 따른 VCO는 두 개의 발진부, 제1 발진부 및 제2 발진부를 포함한다. 도 5a에서는 VCO에 포함되는 탱크회로, 전원 등에 대해서는 도시하지 않았으며, 간략하게 VCO를 표현하였다. 제1 발진부는 4개의 MOS트랜지스터 Q1, Q2, Q5 및 Q6을 포함한다. 제2 발진부는 4개의 MOS트랜지스터 Q3, Q4, Q7 및 Q8을 포함한다. 제1 NMOS트랜지스터(Q1)의 게이트는 제2 NMOS트랜지스터(Q2)의 드레인에 접속되어 있다. 제1 NMOS트랜지스터(Q1)의 드레인은 제2 NMOS트랜지스터(Q2)의 게이트 및 제5 NMOS트랜지스터(Q5)의 드레인에 접속되어 있다. 제1 MOS트랜지스터(Q1)의 소스는 제2 MOS트랜지스터(Q2)의 소스와 공통으로 접속되어 그라운드에 연결되어 있다.

제2 MOS트랜지스터(Q2)의 드레인은 제1 MOS트랜지스터(Q1)의 게이트 및 제6 NMOS트랜지스터(Q6)의 드레인에 접속되어 있다.

제5 NMOS트랜지스터(Q5)의 게이트는 제5 출력(OUT5)과 연결된다. 제5 NMOS트랜지스터(Q5)의 소스는 제6 NMOS트랜지스터(Q6)의 소스와 공통으로 접속되어 저항(R3)을 통해 그라운드에 연결되어 있다.

제6 NMOS트랜지스터(Q6)의 게이트는 제4 출력(OUT4)과 연결된다.

제1 출력(OUT1)은 제1 MOS트랜지스터(Q1)의 드레인 및 제5 NMOS트랜지스터(Q5)의 드레인의 접속점에서 얻는다. 제2 출력(OUT2)은 제2 MOS트랜지스터(Q2)의 드레인 및 제6 MOS트랜지스터(Q6)의 드레인의 접속점에서 얻는다. 제3 출력(OUT3)은 제5 NMOS트랜지스터(Q5)의 소스 및 제6 NMOS트랜지스터(Q6)의 소스의 공통 접속점에서 얻는다.

제2 발진부는 제1 발진부와 대응하는 구조를 갖는데 중복되는 부분에 대해서는 설명을 생략한다.

제7 NMOS트랜지스터(Q7)의 게이트는 제1 발진부의 제1 출력(OUT1)에 접속되어 있다. 제7 NMOS트랜지스터(Q7)의 드레인은 제1 발진부의 제6 NMOS트랜지스터(Q6)의 게이트 및 제3 MOS트랜지스터(Q3)의 드레인에 접속되어 있다.

제8 NMOS트랜지스터(Q8)의 게이트는 제1 발진부의 제2 출력(OUT2)에 접속되어 있다. 제8 NMOS트랜지스터(Q8)의 드레인은 제5 NMOS트랜지스터(Q5)의 게이트 및 제4 MOS트랜지스터(Q4)의 드레인에 접속되어 있다.

제4 출력(OUT4)은 제3 MOS트랜지스터(Q3)의 드레인 및 제7 NMOS트랜지스터(Q7)의 드레인의 접속점에서 얻는다. 제5 출력(OUT5)은 제4 MOS트랜지스터(Q4)의 드레인 및 제8 NMOS트랜지스터(Q8)의 드레인의 접속점에서 얻는다. 제6 출력(OUT6)은 제7 NMOS트랜지스터(Q7)의 소스 및 제8 NMOS트랜지스터(Q8)의 소스의 접속점에서 얻는다.

도 5a를 참조하면, 두 개의 발진부의 연결은 굵은 선으로 표시되어 있다. 도 5a의 구조에 의하여 직교(quadrature) 신호 뿐만 아니라 차동(differential) 신호를 발생하는 발진기로서 작동하는 원리를 설명하면 다음과 같다.

제 1 내지 제4 출력(OUT1 - OUT4) 각각에는 모든 고조파가 포함되어 있다.

RF신호만 고려하며, 회로는 바이어스된 것을 가정한다.

제1 출력(OUT 1) 단자에서 소정의 위상 및 주파수를 갖는 신호 A를 기준으로 설명한다. 신호 A가 제7 트랜지스터(Q7)의 게이트에 입력되면, 제7 NMOS트랜지스터(Q7)의 드레인에서는 신호 B가 발생된다. 신호 B는 신호 A와 비교하였을 때 위상이 반전되고 지연(Delay)이 발생된 신호이다. 신호 B는 제4 출력(OUT 4)이 된다.

신호 B가 제6 NMOS트랜지스터(Q6)의 게이트에 입력되면, 제6 NMOS트랜지스터(Q6)의 드레인에서는 신호 C가 발생된다. 신호 C는 신호 B와 비교하였을 때 위상이 반전되고 지연(Delay)이 발생된 신호이다. 신호 C는 제2 출력(OUT2)이 된다.

신호 C가 제8 NMOS트랜지스터(Q8)의 게이트에 입력되면, 제8 NMOS트랜지스터(Q8)의 드레인에서는 신호 D가 발생된다. 신호 D는 신호 C와 비교하였을 때 위상이 반전되고 지연(Delay)이 발생된 신호이다. 신호 D는 제5 출력(OUT 5)이 된다.

신호 D가 제5 NMOS트랜지스터(Q5)의 게이트에 입력되면, 제5 NMOS트랜지스터(Q5)의 드레인에서는 신호 A가 발생된다. 신호 A는 신호 D와 비교하였을 때 위상이 반전되고 지연(Delay)이 발생된 신호이다. 신호 A는 제1 출력(OUT1)이 된다.

도 5a에서 각각의 전압의 위상-각(phase-angles)(이하 'arg(v)'로 표시한다)을 살펴보면 다음과 같다.

$$\arg(V_{G1}) = \arg(V_{D2}) = \arg(V_{D6}) = \arg(V_{G8}) \quad (1)$$

$$\arg(V_{G2}) = \arg(V_{D1}) = \arg(V_{D5}) = \arg(V_{G7}) \quad (2)$$

$$\arg(V_{G3}) = \arg(V_{D4}) = \arg(V_{D8}) = \arg(V_{G5}) \quad (3)$$

$$\arg(V_{G4}) = \arg(V_{D3}) = \arg(V_{D7}) = \arg(V_{G6}) \quad (4)$$

8개의 소스-전압의 위상-각 모두는 제로(0)이며, 이는 기준위상(그라운드)이다.

$$\arg(V_{S1}) = \arg(V_{S2}) = \arg(V_{S3}) = \arg(V_{S4}) = 0 \quad (5)$$

상호-결합(cross-coupling)되어 있기 때문에, 제1 고조파에 대해서는 다음과 같다.

$$\arg(V_{D1}) = \arg(V_{G1}) - 180^\circ \quad (6)$$

$$\arg(V_{D2}) = \arg(V_{G2}) + 180^\circ \quad (7)$$

식(6) 및 식(7)은 발진기의 정상상태(steady-state)를 나타낸다. 이 수식들은 Barkhausen - criterion에 따른 것이다.

식(1)에 의하여 다음과 같이 쓸 수 있다.

$$\arg(V_{D2}) = \arg(V_{G1}) \quad (8)$$

$$\arg(V_{D1}) = \arg(V_{G1}) - 180^\circ = \arg(V_{D2}) - 180^\circ \quad (9)$$

제1 출력 및 제2 출력 단자 사이의 위상-차이는 180도가 된다.

제4 출력 및 제5 출력 단자 사이의 위상-차이도 위와 같은 방식으로 구할 수 있다. 따라서 제4 출력 및 제5 출력 단자 사이의 위상-차이뿐만 아니라 제1 출력 및 제2 출력 단자 사이의 위상-차이도 180도이다. 이는 두 발진기의 제1 고조파는 차동(differential)임을 의미한다.

2개의 결합된 발진기(two coupled oscillators)

두 발진기의 결합에 대하여 살펴 보면 다음과 같다.

$$\arg(V_{D7}) = \arg(V_{G6}) \quad (10)$$

$$\arg(V_{D8}) = \arg(V_{G5}) \quad (11)$$

$$\arg(V_{G7}) = \arg(V_{D5}) \quad (12)$$

$$\arg(V_{G8}) = \arg(V_{D6}) \quad (13)$$

두 개의 발진기는 결합되어 있기 때문에, 도 5a에 나타난 8개의 MOS트랜지스터의 드레인 및 게이트 단자에 대한 위상-차이를 식(14) - 식(21)로 나타낼 수 있다.

$$\arg(V_{D1}) - \arg(V_{G1}) = -180^\circ \quad (14)$$

$$\arg(V_{D2}) - \arg(V_{G2}) = 180^\circ \quad (15)$$

$$\arg(V_{D3}) - \arg(V_{G3}) = 180^\circ \quad (16)$$

$$\arg(V_{D4}) - \arg(V_{G4}) = -180^\circ \quad (17)$$

$$\arg(V_{D5}) - \arg(V_{G5}) = -90^\circ \quad (18)$$

$$\arg(V_{D6}) - \arg(V_{G6}) = -90^\circ \quad (19)$$

$$\arg(V_{D7}) - \arg(V_{G7}) = -90^\circ \quad (20)$$

$$\arg(V_{D8}) - \arg(V_{G8}) = -90^\circ \quad (21)$$

출력단자 '제1 출력' 및 '제4 출력' 사이의 위상-차이를 계산하면 다음과 같다.

$$\arg(V_{D1}) = \arg(V_{D5}) = \arg(V_{G5}) - 90^\circ = \arg(V_{D8}) - 90^\circ = \arg(V_{D4}) - 90^\circ = \arg(V_{G3}) - 90^\circ = \arg(V_{D3}) + 180^\circ - 90^\circ = \arg(V_{D3}) + 90^\circ \quad (22)$$

$$\arg(V_{D2}) = \arg(V_{D6}) = \arg(V_{G6}) - 90^\circ = \arg(V_{D7}) - 90^\circ = \arg(V_{D3}) - 90^\circ = \arg(V_{G3}) + 180^\circ - 90^\circ = \arg(V_{G3}) + 90^\circ = \arg(V_{D4}) + 90^\circ \quad (23)$$

이다.

최종적으로는

$$\arg(V_{D1}) - \arg(V_{D3}) = 90^\circ \quad (24)$$

이고

$$\arg(V_{D2}) - \arg(V_{D4}) = 90^\circ \quad (25)$$

이다.

두 개의 결합된 발진기는 (식(24) 및 식(25)에서 보는 바와 같이) 직교 위상 뿐만 아니라 (식(9)에서 보는 바와 같이) 차등 위상을 갖는 제1 고조파를 발생한다.

이 발진기에서 발생하는 제2 고조파의 위상 특성에 대하여 살펴 보면 다음과 같다.



모든 홀수(odd) 고조파(제1, 제3, ...)는 차동(differential)(두 개의 출력은 180도의 위상 차이를 갖는다)이고, 모든 짝수(even) 고조파(제2, 제4, ...)는 동상(in-phase)(위상 차이는 0도이다)인 것이 차동 발진기(differential oscillator)의 일반적인 특성이다. 이러한 특성이 일어나는 것은 Q1이 Q2에 상호-결합(cross-coupling)되었기 때문이다. 회로를 디자인함에 있어서 일반적으로 제1 고조파에 관심을 갖는데, 두 개의 출력은 180도의 위상 차이를 갖는다. 이러한 타입의 발진기를 차동 발진기라 한다.

일반적으로, 모든 신호는 짝수 모드 신호 및 홀수 모드 신호로 구성된다(홀수 모드를 홀수 고조파와 혼동해서는 안된다). 제1 고조파 신호에서는 홀수 모드가 지배적이고 짝수 모드는 상쇄되는데, 그 결과 180도의 위상 차이가 있게 된다. 그러나 제2 고조파에서는 홀수 모드가 상쇄되고 짝수 모드가 지배적이다. 이러한 경우, 0도의 위상 차이가 있는 결과가 된다.

도 5a를 참조하면, 제5 NMOS트랜지스터(Q5)의 소스 및 제6 NMOS트랜지스터(Q6)의 소스는 상호 접속되어 있고, 저항(R3)의 일단 및 타단은 이 접속점 및 그라운드에 연결되어 있다. 제7 NMOS트랜지스터(Q7)의 소스 및 제8 NMOS트랜지스터(Q8)의 소스도 이와 같은 방식으로 접속되어 있다.

위 접속점에서 양 경로(paths)의 신호들은 결합, 즉 더해진다. 식(9)에서 보는 바와 같이 제1 고조파 신호는 차동 위상(differential)이므로, 제2 고조파 신호는 동상(in-phase)이다. 따라서 제1(또는 각각의 홀수) 고조파를 결합하면 소멸(실제 회로에서는 매우 작은 크기)되고, 제2(또는 각각의 짝수) 고조파를 결합하면 두 배의 신호의 강도(동상으로 더함)로 된다. 따라서, '제3 출력' 단자에서의 신호는 강한 제2 고조파 및 약한 제1 고조파로 구성된다. 물론 다른 고조파들도 존재하지만, 그들의 크기는 매우 작아서 관련성(relevance)은 무시할 수 있다.

동일한 방식으로 접속되어 있으므로, '제6 출력' 단자에서의 신호는 다른 위상으로 나타난다. 식(14) - 식(17)에서, 위상-차이는 180도임을 알 수 있다.

마지막으로 '제3 출력' 및 '제6 출력' 단자 사이에는 차동 제2 고조파 신호가 있음을 알 수 있다. 하모닉 신호들을 더함으로써 그것이 발생된다.

도 5b는 본 발명의 다른 실시예로서 도 5a에 도시된 VCO를 이용한 VCO의 회로를 도시한 도면이다.

도 5b를 참조하면, 도 5a에 도시된 VCO를 이용하였다. 도 5b는 2개의 발진기를 포함하는데, 상단과 하단의 발진기의 트랜지스터는 대응되는 구조로 접속되어 있다.

상단의 발진기를 참조하면, 두 개의 PMOS트랜지스터는 상호 대칭적으로 접속되어 있다. 제1 PMOS트랜지스터(PMOS1)의 소스(S)는 제2 전압(Vdd)에 접속되어 있다. 제1 PMOS트랜지스터의 게이트(G)는 제2 PMOS트랜지스터(PMOS2)의 드레인(D)에 접속되어 있다. 제1 PMOS트랜지스터의 드레인(D)은 제2 PMOS트랜지스터(PMOS2)의 게이트(G), 제1 가변 커패시터(즉, 버랙터 다이오드)(MV1)의 일단, 제1 인덕터의 일단, 제1 NMOS트랜지스터의 드레인(D), 제5 NMOS트랜지스터의 드레인(D) 및 제7 NMOS트랜지스터의 게이트(G)에 접속되어 있다.

제2 PMOS트랜지스터(PMOS2)의 소스(S)는 제2 전압(Vdd)에 접속되어 있다. 제2 PMOS트랜지스터의 게이트(G)는 제1 PMOS트랜지스터(PMOS1)의 드레인(D)에 접속되어 있다. 제2 PMOS트랜지스터의 드레인(D)은 제1 PMOS트랜지스터(PMOS1)의 게이트(G), 제2 가변 커패시터(MV2)의 일단, 제1 인덕터의 타단, 제2 NMOS트랜지스터의 드레인(D), 제6 NMOS트랜지스터의 드레인(D) 및 제8 NMOS트랜지스터의 게이트(G)에 접속되어 있다.

제1 가변 커패시터(MV2)의 타단 및 제2 가변 커패시터(MV1)의 타단은 상호 접속되어 있고, 이 접속점은 제1 전압(Vdc=Vtune)에 연결되어 있다.

도 5b의 하단에 도시된 발진기는 상단의 발진기와 대응한 구조로 접속되어 있다.

도 5b의 상단 및 하단의 Vdd는 동일한 것임이 바람직하다.

도 5b의 상단 및 하단의 Vdc = Vtune는 동일한 것임이 바람직하다.

PMOS트랜지스터의 역할은 NMOS트랜지스터를 위한 액티브 로드(active load)로서, 그 반대로서(vice verse) 작용하는 것이다.

MV1,2 및 L1의 역할은 공진 회로(탱크 회로)를 제공하는 것이다.

도 5c는 도 5b의 회로에 검출회로가 추가된 회로를 나타낸 도면이다.

즉, 도 5c는 도 5b에 도시된 회로 출력단에 버퍼와 필터회로가 추가된 회로이다.

Q1 내지 Q8은 도 5b에 도시된 NMOS1 내지 NMOS8을 나타낸다. Q'1 내지 Q'4는 도 5b에 도시된 PMOS1 내지 PMOS4를 나타낸다.

제1 고조파는 OUT11, 21, 41 및 51에서 검출되고, 제2 고조파는 OUT31 및 61에서 검출된다.

제1 고조파의 주파수( $f_{1stHarm}$ ), 제2 고조파( $f_{2ndHarm}$ )의 주파수 및 LC 탱크 회로에서 발생하는 신호의 주파수( $f_{Tank}$ )의 관계는 다음과 같이 표현될 수 있다.

$$f_{1stHarm} = 2\pi/\sqrt{L*(Cv/2)} = f_{Tank}$$

$$f_{2ndHarm} = 2 * f_{1stHarm} = 2 * f_{Tank}$$

Cv는 MOS 버랙터(varator)의 접합(junction) 커패시턴스이다(MV1와 MV2는 동일하고, 직렬로 연결되어 있으므로 Cv/2). L은 L1의 인덕턴스 값이다.

제1 고조파의 주파수는 탱크 회로에서 발생하는 신호의 주파수와 동일하며, 제2 고조파의 주파수는 제1 고조파의 주파수의 2배이다.

Vtune의 전압을 변화시킴으로써 커패시턴스 값(Cv)이 달라진다. 따라서 주파수는 조정된다.

제2 고조파의 신호 강도(signal strength)는 다른 전압을 가함으로써 변화된다.

도 6a 및 6b는 도 5c에 도시된 회로에서 출력되는 신호의 RF 파워 스펙트럼을 도시한 도면이다.

도 6a는 도 5c에 도시된 회로의 'out 11'에서 출력되는 신호의 RF 파워 스펙트럼을 도시한 도면이다. 도6a를 참조하면, 출력되는 신호의 RF 파워 스펙트럼이 순차적으로 감소하며, 제1 고조파 신호의 RF 파워 스펙트럼이 가장 큰 것을 알 수 있다.

도 6b는 도 5c에 도시된 회로의 'out 31'에서 출력되는 신호의 RF 파워 스펙트럼을 도시한 도면이다. 도 6b를 참조하면, 출력되는 신호의 RF 파워 스펙트럼이 순차적으로 감소하지 않고 있다. 짝수 고조파 신호의 RF 파워 스펙트럼이 홀수 고조파 신호의 RF 파워 스펙트럼보다 크며, 제2 고조파 신호의 RF 파워 스펙트럼이 가장 큰 것을 알 수 있다.

도 7a 내지 도 7c는 도 5c에 도시된 회로에서 필터링된 신호의 파형을 도시한 도면이다.

도 7a는 도 5c에 도시된 회로의 'out 11' 및 'out 21'에서 각각 필터링된 신호의 파형을 나타내고 있다. 이는 제1 고조파 차동 신호(First harmonic differential signal)의 파형을 보여준다. 'out 11' 및 'out 21'에서 각각 필터링된 신호는 180도의 위상 차이를 나타내고 있다.

도 7b는 도 5c에 도시된 회로의 'out 31' 및 'out 61'에서 각각 필터링된 신호의 파형을 나타내고 있다. 이는 제2 고조파 차동 신호(Second harmonic differential signal)의 파형을 보여준다. 'out 31' 및 'out 61'에서 각각 필터링된 신호는 180도의 위상 차이를 나타내고 있다.

도 7c는 도 5c에 도시된 회로의 'out 11' 및 'out 51'에서 각각 필터링된 신호의 파형을 나타내고 있다. 이는 제1 고조파 직교 신호(First harmonic quadrature signal)의 파형을 보여준다. 'out 11' 및 'out 51'에서 각각 필터링된 신호는 90도의 위상 차이를 나타내고 있다.

도 8은 본 발명의 일 실시예인 VCO를 이용한 무선 수신기 구조의 개략도이다.

도 8은 슬라이딩 프로포셔널(sliding proportional)IF를 갖는 2단계 다운컨버전을 이용한 무선 수신기 구조의 개략도이다. 여기서 본 발명에 의한 전압 제어 발진기는 VCO로 나타내었다.

중간 주파수(intermediate frequency; 이하 'IF'라 한다)을 정하기 위한 초기 조건은 다음과 같다.

1)  $F_{in} - F_{LO} = IF$

2)  $F_{LO} / 4 = IF$

따라서  $IF = F_{in} / 5$  이다.

$F_{in}$ 은 무선 주파수(Radio Frequency; 이하 'RF'라 한다)이며, 기저 대역 신호(Baseband signal; 이하 'BB'라 한다)로 다운 컨버트 된다.  $F_{LO}$ 는 제2 고조파 신호이고  $FB$ 는 제1 고조파 신호이며, 이들은 VCO에 의해 발생된다.  $FB_2$ 는 DIV의 출력 으로서 그 주파수는  $FB$ 주파수의 반이다. 튜닝 전압( $V_{tune}$ )이 변할 때, 변수  $R$ 은  $FB$  및  $F_{LO}$  주파수에 대한 변화를 나타낸다.

예를 들어 설명하면 다음과 같다.

1) 입력 주파수  $F_{in}$ 는 5GHz이다

2)  $R = 1$ . 이것은 제1 고조파에 대해서  $FB = 2 \text{ GHz}$ 의 주파수로, 그리고 제2 고조파에 대해서  $F_{LO} = 4\text{GHz}$ 로 VCO를 조절하는 것이다.

3)  $FB_2$ 는  $FB_2 = 1\text{GHz}$ 의 주파수를 갖는다(DIV의 작용에 의한 결과이다)

믹싱 과정을 분석하면 다음과 같다.

제1 단계(⊗)

$F_{in}$ 은  $F_{LO}$ 와 믹스(mix)된다.  $F_{LO}$ 의 크기가  $F_{in}$ 의 크기보다 훨씬 큰 경우에, 일반적으로 그러하며, 믹싱 결과는 다음과 같다.

$F_{in} - F_{LO}, F_{in} + F_{LO}, 2 * F_{in} - F_{LO}, 2 * F_{in} + F_{LO}, \dots, n * F_{in} - F_{LO}, n * F_{in} + F_{LO}$

모든 신호들 중에 관심있는 것은 첫번째 믹싱 결과인데,  $F_{in} - F_{LO}$  주파수를 갖으며 차 신호(difference signal)라 한다. 이 신호는  $F_{in} - F_{LO} = 1\text{GHz}$ 의 주파수를 갖는다. 이러한 신호를 중간 주파수(intermediate frequency; 이하 'IF'라 한다)라 하는데, 왜냐하면 최종 컨버전(conversion) 결과가 아니고 단지 중간 결과이기 때문이다.

제2 단계(⊗)

차 신호  $F_{in} - F_{LO}$ 는  $FB_2$ 와 믹스된다. 양 신호의 주파수는  $F_{in} - F_{LO} = FB_2 = 1\text{GHz}$ 로 같다. 다시 믹싱 과정의 차 신호만 살펴보자. 그 주파수는  $F_{in} - F_{LO} = FB_2 = 0$ 이다. 이를 BB라 한다. 두 번째 컨버전 단계 후에 RF의 BB로 변환은 끝난다.

만일 RF신호( $F_{in}$ )의 주파수가 변한다면, 어떠한 결과가 나올까 고려해 보자.

초기 조건  $IF = F_{in} / 5$  를 유지하는 한, 튜닝 전압( $V_{tune}$ )을 이용하여 VCO 주파수를 조정(튜닝)함으로써 RF신호( $F_{in}$ )의 주파수에 있어 이러한 변화를 따른다.

예를 들면 다음과 같다.

입력 주파수가 5GHz에서 6GHz로 변한다. 이는 20%의 변화 즉 팩터 1.2이다.

이제, VCO를 20% 높은 주파수로 튜닝한다;  $FB = 2\text{GHz} * 1.2 = 2.4\text{GHz}$ , 그리고  $FLO = 4\text{GHz} * 1.2 = 4.8\text{GHz}$ .

따라서, 새로운 IF는  $F_{in} - FLO = 6\text{GHz} - 4.8\text{GHz} = 1.2\text{GHz}$ 로 된다. 이는 1GHz 에서 1.2GHz 로의 변화이다.

이와 같이, IF는 RF 입력 신호  $F_{in}$ 에 비례적으로 변한다. 비례적으로 이동한다.

도 9a 및 도 9b는 제1 및 제2 고조파의 튜닝 범위 및 신호의 크기를 도시한 도면이다. 도 9a를 참조하면  $V_{tune}$ 의 변화에 따른 제1 고조파의 튜닝 범위는 700MHz이다. 도 9b를 참조하면  $V_{tune}$ 의 변화에 따른 제2 고조파의 튜닝 범위는 1.4GHz ( $2 * 700\text{MHz}$ )이다. 따라서, 튜닝 범위는 100%이상 향상된다.

네 번째로 칩 크기가 감소된다. 탱크 회로를 위해 2개의 나선형 인덕터(L1, L2)를 사용할 뿐이다. 단일 집적 회로에서 나선형 인덕터는 최대 칩 공간을 필요로 함에 따라, 크기 그리고 비용, 감소는 중요하다.

도 10은 본 발명의 실시예에 따른 전압 제어 발진기를 이용하여 차동 및 직교 고조파 신호를 발생 방법의 흐름을 도시한 도면이다.

도 5b를 참조하여 설명하며, 바이어스가 된 것으로 보고 RF신호만 고려하여 설명한다. 도 5b에 도시된 발진기에서 제1 RF신호가 발생된다(S110). 제1 RF신호를 NMOS7의 게이트에서 입력받는다. 그러면 NMOS7의 드레인에 위상이 반전되고 소정 시간만큼 지연된 신호가 흐른다. 이 신호는 제1 RF신호가 소정의 시간만큼 지연된 제2 RF신호가 된다(S120). 제2 RF신호를 NMOS6의 게이트에서 입력받는다. 그러면 NMOS6의 드레인에 위상이 반전되고 소정 시간만큼 지연된 신호가 흐른다. 이 신호는 제2 RF신호가 소정의 시간만큼 지연된 제3 RF신호가 된다(S130). 제3 RF신호를 NMOS8의 게이트에서 입력받는다. 그러면 NMOS8의 드레인에 위상이 반전되고 소정 시간만큼 지연된 신호가 흐른다. 이 신호는 제3 RF신호가 소정의 시간만큼 지연된 제4 RF신호가 된다(S140). 제4 RF신호를 NMOS5의 게이트에서 입력받는다. 그러면 NMOS5의 드레인에 위상이 반전되고 소정 시간만큼 지연된 신호가 흐른다. 이 신호는 제3 RF신호가 소정의 시간만큼 지연된 제1 RF신호가 된다(S150). OUT3에서는 제1 및 제3 RF 신호가 더해져 제5 RF신호가 발생되고, OUT6에서는 제2 및 제4 RF 신호를 더해져 제6 RF 신호가 발생된다(S160). 제1, 제2, 제3 및 제4 RF신호 각각이 90도의 위상차를 갖는 경우, (즉 제1 및 제3 RF신호가 180도, 제2 및 제4 RF신호가 180도의 위상차를 갖는 경우), 제5 및 제6 RF 신호 각각의 홀수 고조파는 거의 상쇄되고 짝수 고조파는 신호 크기가 두 배가 된다.

도 5c를 참조하며, 도 5c의 검출회로를 거쳐 OUT11, OUT41, OUT21 및 OUT51에서 제1, 제2, 제3 및 제4 RF신호 각각의 제1 고조파 신호가 검출되고, 필터 회로를 거쳐 도 5c의 OUT31 및 OUT61에서 제5 및 제6 RF신호 각각의 제2 고조파 신호가 검출된다(S170).

전압 제어 발진기를 이용하여 다운컨버전을 하는 경우, 제2 고조파 신호를 이용하여 1차 다운컨버전, 제1 고조파 신호를 이용하여 2차 다운컨버전이 가능하다. 이러한 경우 하나의 발진기로서 2단계 다운컨버전(2step down conversion with a sliding proportional IF)이 가능하다.

### 발명의 효과

이상 설명한 바와, 본 발명에 따르면, 다음과 같은 점이 개선되었다.

첫번째로 RF 전력 출력에서 향상된 점이 뚜렷하다. 본 발명에 따르면 제1 고조파(2.6GHz)에서 RF 전력은 -16.8dBm, 그리고 제2 고조파(5.2GHz)에서 RF 전력은 -16.8dBm이다.

두번째로 RF출력 전력에서의 향상으로 큰 증폭없이 특히 제2 고조파 신호를 사용할 수 있고 따라서 회로의 복잡성 및 비용을 줄일 수 있다. 만일 트랜지스터의 최대 발진 주파수(the maximum oscillation frequency)( $f_{max}$ )가 예를 들어 9GHz 라고 하면, 제1 고조파로서 10GHz를 갖는 신호를 발생시킬 수는 없다( $f_{max} < 10\text{GHz}$ 이기 때문에, 10GHz에서 직접 주파수 발생은 가능하지 않다). 그러나 5GHz의 제1 고조파를 발생시킬 수 있고, 그것의 제2 고조파 신호(10GHz)를 이용할 수 있다. 일반적으로 제2 고조파는 보통 매우 작은 크기를 갖지만, 본 발명에서는 그렇지 않다. 본 발명의 실시예에 따른 구조 때문에, 제2 고조파는 매우 큰 크기를 갖는다. 따라서, 9GHz의  $f_{max}$ 를 갖는 트랜지스터로부터 10GHz의 신호를 발생시킬 수 있다. 제2 고조파의 신호 크기는 전압의 조절에 의하여 변할 수 있다.

본 발명의 경우에 공급전압이 낮아짐에 따라, 본 발명의 전력 손실(power dissipation)은 30% 정도 낮아진다.

세 번째로 튜닝 범위의 향상이다.

본 발명에 일 실시예에 따른 전압 제어 발진기는 4개의 출력단자에서 직교 위상의 제1 고조파를 발생하고, 2개의 출력단자에서 차동 위상의 제2 고조파를 발생한다. 본 발명에 따른 전압 제어 발진기는 간단화된 무선 송수신기의 부분으로서 합성기에 사용될 수 있다. 정확한 위상 차이를 갖는 것이 필요한 국부 발진기 신호 모두를 발생할 수 있다. 2배로 된 VCO 신호(doubled VCO signal)가 하프 주파수(half frequency)에 고정되므로 PA 출력을 VCO에 결합하여 야기되는 VCO 풀링(pulling)의 문제를 피할 수 있다.

더욱이, 완전한 더블 컨버전(double conversion) 수신기를 위해 하나의 VCO회로만 필요하며, 안정화를 위해 하나의 PLL만이 필요하다. 이것은 생산비용 및 복잡성을 크게 절감시킬 것이다.

또한, 이상에서는 본 발명의 바람직한 실시예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특정의 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어져서는 안 될 것이다.

**(57) 청구의 범위**

**청구항 1.**

제1 신호, 제3 신호를 발생하는 제1 발진부;

상기 제1 신호 및 상기 제3 신호를 합성하는 제1 합성부;

제2 신호, 제4 신호를 발생하는 제2 발진부; 및

상기 제2 신호 및 상기 제4 신호를 합성하는 제2 합성부를 포함하며,

상기 제2 신호의 위상은 상기 제1 신호를 이용하여 위상반전과 딜레이를 시킴으로써 결정되며, 상기 제3 신호의 위상은 상기 제2 신호를 이용하여 위상반전과 딜레이를 시킴으로써 결정되며, 상기 제4 신호의 위상은 상기 제3 신호를 이용하여 위상반전과 딜레이를 시킴으로써 결정되며, 상기 제1 신호의 위상은 상기 제4 신호를 이용하여 위상반전과 딜레이를 시킴으로써 결정됨을 특징으로 하는 차동 및 직교 고조파 신호를 발생하는 전압 제어 발진기.

**청구항 2.**

제1 항에 있어서,

상기 제1, 제2, 제3 및 제4 신호의 제1 고조파를 각각 검출하는 제1 검출부; 및

상기 제1, 제2 합성부의 제2 고조파를 각각 검출하는 제2 검출부를 더 포함하는 것을 특징으로 하는 차동 및 직교 고조파 신호를 발생하는 전압 제어 발진기.

**청구항 3.**

제1 항에 있어서,

상기 제1 신호 및 상기 제3 신호의 제1 고조파는 차동(differential) 신호를 이루며,

상기 제2 신호 및 상기 제4 신호의 제1 고조파는 차동(differential) 신호를 이루며,

상기 제1 신호 및 상기 제2 신호의 제1 고조파는 직교(quadrature) 신호를 이루는 것을 특징으로 하는 차동 및 직교 고조파 신호를 발생하는 전압 제어 발진기.

#### 청구항 4.

제 1항에 있어서,

상기 제1, 제2 합성부에서 검출되는 제2 고조파는 차동(differential) 신호를 이루는 것을 특징으로 하는 차동 및 직교 고조파 신호를 발생하는 전압 제어 발진기.

#### 청구항 5.

제 1항에 있어서

상기 제1, 제2 발진부는 각각 적어도 하나의 인덕터와 적어도 두개의 가변 커패시터를 포함하는 탱크회로를 포함하는 것을 특징으로 하는 차동 및 직교 고조파 신호를 발생하는 전압 제어 발진기.

#### 청구항 6.

제 1항에 있어서

상기 제1 합성부는 제1 및 제3 신호가 합성되는 접속점 및 그라운드에 접속되는 저항을 포함하며,

상기 제2 합성부는 제2 및 제4 신호가 합성되는 접속점 및 그라운드에 접속되는 저항을 포함하는 것을 특징으로 하는 차동 및 직교 고조파 신호를 발생하는 전압 제어 발진기.

#### 청구항 7.

제 1항에 있어서

상기 제1, 제2, 제3 및 제4 신호의 주파수는 튜닝 전압의 변화에 의하여 가변됨을 특징으로 하는 차동 및 직교 고조파 신호를 발생하는 전압 제어 발진기.

#### 청구항 8.

제 1항에 있어서

상기 제1 발진부는

소스 단자가 그라운드에 접속된 제1 트랜지스터;

드레인 단자가 상기 제1 트랜지스터의 게이트에 접속되고, 게이트 단자는 상기 제1 트랜지스터의 드레인에 접속되어 있고, 소스 단자가 상기 제1 트랜지스터의 소스와 공통 접속되어 그라운드에 연결되어 있는 제2 트랜지스터;

드레인 단자가 상기 제1 트랜지스터의 드레인에 접속되어 있는 제5 트랜지스터; 및

드레인 단자가 상기 제2 트랜지스터의 드레인에 접속되는 있는 제6 트랜지스터를 포함하며,

상기 제2 발진부는

소스 단자가 그라운드에 접속된 제3 트랜지스터;

드레인 단자가 상기 제3 트랜지스터의 게이트에 접속되고, 게이트 단자는 상기 제3 트랜지스터의 드레인에 접속되어 있고, 소스 단자가 상기 제3 트랜지스터의 소스와 공통 접속되어 그라운드에 연결되어 있는 제4 트랜지스터;

드레인 단자가 상기 제3 트랜지스터의 드레인에 접속되어 있는 제7 트랜지스터; 및

드레인 단자가 상기 제4 트랜지스터의 드레인에 접속되는 있는 제8 트랜지스터를 포함하며

상기 제7 트랜지스터의 게이트 단자는 상기 제1 트랜지스터의 드레인에 접속되어 있고, 제3 트랜지스터의 드레인 단자는 제6 트랜지스터의 게이트에 접속되어 있고, 제8 트랜지스터의 게이트 단자는 제2 트랜지스터의 드레인에 접속되어 있고, 제4 트랜지스터의 드레인 단자는 제5 트랜지스터의 게이트에 접속되어 있음을 특징으로 하는 차동 및 직교 고조파 신호를 발생하는 전압 제어 발진기.

### 청구항 9.

제 8항에 있어서

상기 제1 내지 제8 트랜지스터는 NMOS트랜지스터임을 특징으로 하는 차동 및 직교 고조파 신호를 발생하는 전압 제어 발진기.

### 청구항 10.

제 8항에 있어서

상기 제1 합성부는

일단은 상기 제5 트랜지스터의 소스 및 제6 트랜지스터 소스에 공통으로 접속되고 타단은 그라운드에 연결된 제1 저항을 포함하며,

상기 제2 합성부는

일단은 상기 제7 트랜지스터의 소스 및 제8 트랜지스터 소스에 공통으로 접속되고 타단은 그라운드에 연결된 제2 저항을 포함하는 것을 특징으로 하는 차동 및 직교 고조파 신호를 발생하는 전압 제어 발진기.

### 청구항 11.

제 10항에 있어서

상기 제1 발진부는

상기 제1 트랜지스터의 드레인에 일단이 접속되고, 상기 제2 트랜지스터의 드레인에 타단이 접속된 제1 인덕터;

제1 전압;

일단이 상기 제1 인덕터의 일단에 접속되고, 타단이 상기 제1 전압에 접속된 제1 커패시터;

일단이 상기 제1 커패시터의 타단에 공통으로 접속되어 상기 제1 전압에 접속되고, 타단이 상기 제1 인덕터의 타단에 접속된 제2 커패시터;

제2 전압;

드레인 단자가 상기 제1 커패시터의 일단에 접속되고, 소스 단자가 제2 전압에 접속된 제9 트랜지스터; 및

소스 단자가 상기 제2 전압에 접속되고, 드레인 단자가 상기 제2 커패시터의 타단에 접속되고, 게이트 단자가 상기 제9 트랜지스터의 드레인에 접속된 제10 트랜지스터를 포함하며,

상기 제2 발진부는

상기 제3 트랜지스터의 드레인에 일단이 접속되고, 상기 제4 트랜지스터의 드레인에 타단이 접속된 제2 인덕터;

제3 전압;

일단이 상기 제2 인덕터의 일단에 접속되고, 타단이 상기 제3 전압에 접속된 제3 커패시터;

일단이 상기 제3 커패시터의 타단에 공통으로 접속되어 상기 제3 전압에 접속되고, 타단이 상기 제2 인덕터의 타단에 접속된 제4 커패시터;

제4 전압;

드레인 단자가 상기 제3 커패시터의 일단에 접속되고, 소스 단자가 상기 제4 전압에 접속된 제11 트랜지스터; 및

소스 단자가 상기 제4 전압에 접속되고, 드레인 단자가 상기 제4 커패시터의 타단에 접속되고, 게이트 단자가 상기 제11 트랜지스터의 드레인에 접속된 제12 트랜지스터를 더 포함하는 것을 특징으로 하는 차동 및 직교 고조파 신호를 발생하는 전압 제어 발진기.

**청구항 12.**

제 11항에 있어서

상기 제 1 내지 제8 트랜지스터는 NMOS트랜지스터이며, 상기 제9 내지 제12 트랜지스터는 PMOS트랜지스터임을 특징으로 하는 차동 및 직교 고조파 신호를 발생하는 전압 제어 발진기.

**청구항 13.**

제 11항에 있어서

상기 제1, 제2, 제3, 제4 커패시터는 가변 커패시터(버랙터 다이오드)임을 특징으로 하는 차동 및 직교 고조파 신호를 발생하는 전압 제어 발진기.

**청구항 14.**

삭제

**청구항 15.**

제 11항에 있어서



상기 제1 신호의 제1 고조파를 검출하기 위해 상기 제1 커패시터의 일단에 접속되는 제1 검출회로;

상기 제2 신호의 제1 고조파를 검출하기 위해 상기 제3 커패시터의 일단에 접속되는 제2 검출회로;

상기 제3 신호의 제1 고조파를 검출하기 위해 상기 제2 커패시터의 타단에 접속되는 제3 검출회로;

상기 제4 신호의 제1 고조파를 검출하기 위해 상기 제2 커패시터의 타단에 접속되는 제4 검출회로;

상기 제5 신호의 제2 고조파를 검출하기 위해 상기 제1 저항의 일단에 접속되는 제5 검출회로; 및

상기 제6 신호의 제2 고조파를 검출하기 위해 상기 제2 저항의 일단에 접속되는 제6 검출회로를 더 포함하는 것을 특징으로 하는 차동 및 직교 고조파 신호를 발생하는 전압 제어 발진기.

### 청구항 16.

제 15항에 있어서

상기 제1 내지 제4 검출 회로 각각은

일단이 그라운드에 접속된 저항;

일단이 상기 저항의 타단에 접속되고, 타단이 그라운드에 접속된 커패시터; 및

일단이 상기 커패시터의 일단에 접속된 버퍼를 포함하며,

상기 제5 및 상기 제6 검출 회로 각각은

일단이 그라운드에 접속된 커패시터를 포함하는 것을 특징으로 하는 차동 및 직교 고조파 신호를 발생하는 전압 제어 발진기.

### 청구항 17.

제 16항에 있어서

상기 제1, 제3 신호에서 검출된 제1 고조파는 차동 신호를 이루며

상기 제1, 제4 신호에서 검출된 제1 고조파는 직교 신호를 이루며,

상기 제5 및 제6 신호에서 검출된 제2 고조파는 차동 신호를 이루는 것을 특징으로 하는 차동 및 직교 고조파 신호를 발생하는 전압 제어 발진기.

### 청구항 18.

제1 RF 신호가 발생하는 단계;

상기 제1 RF신호를 입력받아 지연시킴으로서 상기 제1 RF신호가 소정의 시간만큼 지연된 제2 RF신호가 발생하는 단계;

상기 제2 RF신호를 입력받아 지연시킴으로서 상기 제2 RF신호가 소정의 시간만큼 지연된 제3 RF신호가 발생하는 단계;

상기 제3 RF신호를 입력받아 지연시킴으로서 상기 제3 RF신호가 소정의 시간만큼 지연된 제4 RF신호가 발생하는 단계;  
및

상기 제4 RF신호를 입력받아 지연시킴으로서 상기 제4 RF신호가 소정의 시간만큼 지연된 제1 RF신호가 발생하는 단계를 포함하는 것을 특징으로 하는 차동 및 직교 고조파 신호의 발생 방법.

### 청구항 19.

제 18항에 있어서

상기 제1 및 제3 RF 신호를 더하여 제5 RF신호, 상기 제2 및 제4 RF 신호를 더하여 제6 RF 신호가 발생하는 단계를 더 포함하는 것을 특징으로 하는 차동 및 직교 고조파 신호의 발생 방법.

### 청구항 20.

제 18항에 있어서

상기 제1, 제2, 제3, 제4 RF신호 각각의 위상차는 90도임을 특징으로 하는 차동 및 직교 고조파 신호의 발생 방법.

### 청구항 21.

제 18항에 있어서

상기 제1, 제2, 제3, 제4 RF신호에서 제1 고조파 신호가 검출되는 단계를 더 포함하는 것을 특징으로 하는 차동 및 직교 고조파 신호의 발생 방법.

### 청구항 22.

제 19항에 있어서

상기 제5 및 제6 RF신호의 제2 고조파 신호가 검출되는 단계를 더 포함하는 것을 특징으로 하는 차동 및 직교 고조파 신호의 발생 방법.

### 청구항 23.

제 19항에 있어서

상기 제1, 제2, 제3, 제4 RF신호 각각의 제1 고조파 신호, 상기 제5 및 제6 RF신호 각각의 제2 고조파 신호가 검출되는 단계를 더 포함하는 것을 특징으로 하는 차동 및 직교 고조파 신호의 발생 방법.

### 청구항 24.

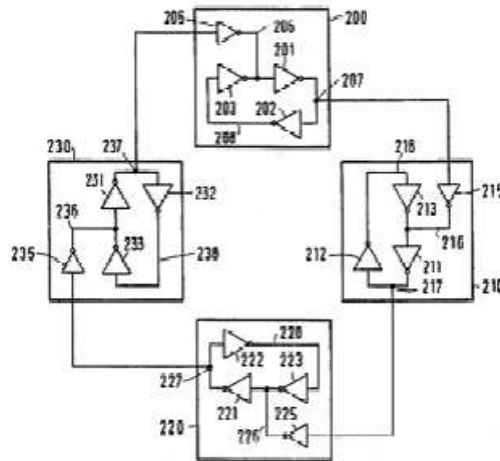
전압 제어 발진기를 이용하여 다운 컨버전하는 방법에 있어서

전압 제어 발진기에서 제1 RF신호가 발생하는 단계;

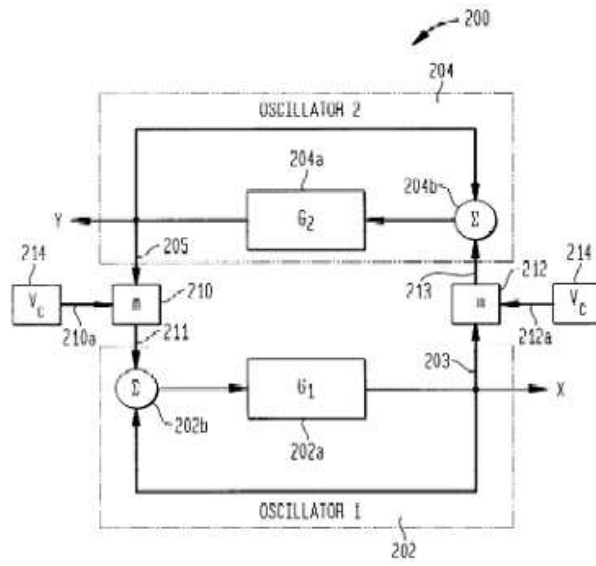
상기 제1 RF신호를 입력받아 지연시킴으로서 상기 제1 RF신호가 소정의 시간만큼 지연된 제2 RF신호가 발생하는 단계;  
 상기 제2 RF신호를 입력받아 지연시킴으로서 상기 제2 RF신호가 소정의 시간만큼 지연된 제3 RF신호가 발생하는 단계;  
 상기 제3 RF신호를 입력받아 지연시킴으로서 상기 제3 RF신호가 소정의 시간만큼 지연된 제4 RF신호가 발생하는 단계;  
 상기 제4 RF신호를 입력받아 지연시킴으로서 상기 제4 RF신호가 소정의 시간만큼 지연된 제1 RF신호가 발생하는 단계;  
 상기 제1 및 제3 RF 신호를 더하여 제5 RF신호, 상기 제2 및 제4 RF 신호를 더하여 제6 RF 신호가 발생하는 단계;  
 상기 제1, 제2, 제3, 제4 RF신호 각각의 제1 고조파 신호, 상기 제5 및 제6 RF신호 각각의 제2 고조파 신호가 검출되는 단계; 및  
 상기 제2 고조파 신호를 이용하여 1차 다운컨버전, 상기 제1 고조파 신호를 이용하여 2차 다운컨버전이 되는 단계를 포함하는 것을 특징으로 하는 전압 제어 발진기를 이용하여 다운 컨버전하는 방법.

도면

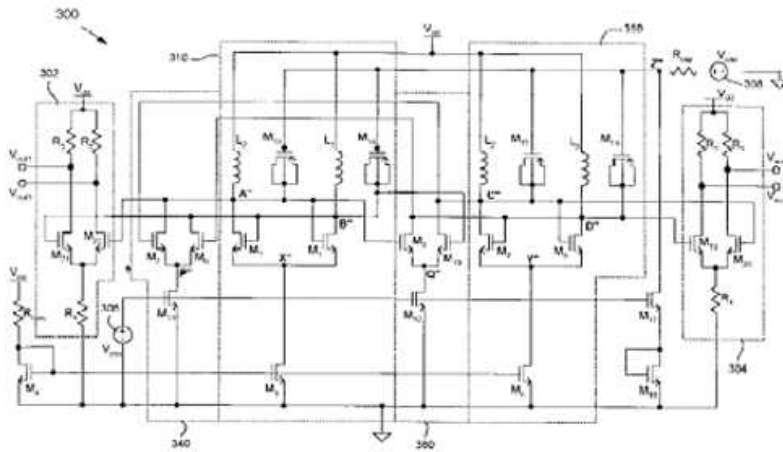
도면1



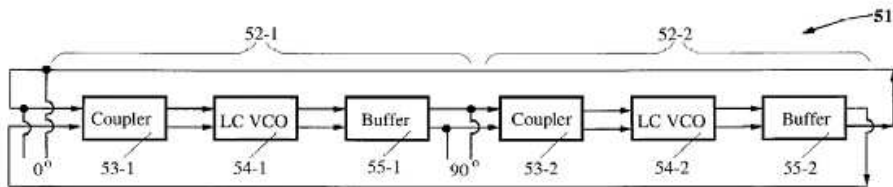
도면2



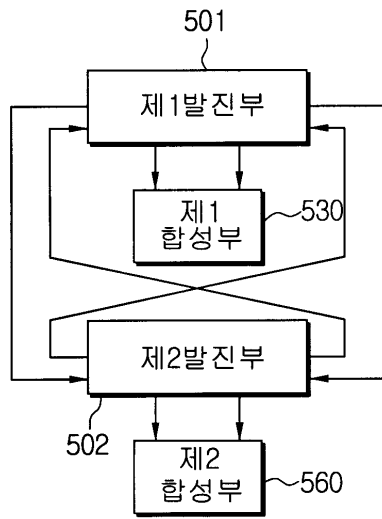
도면3a



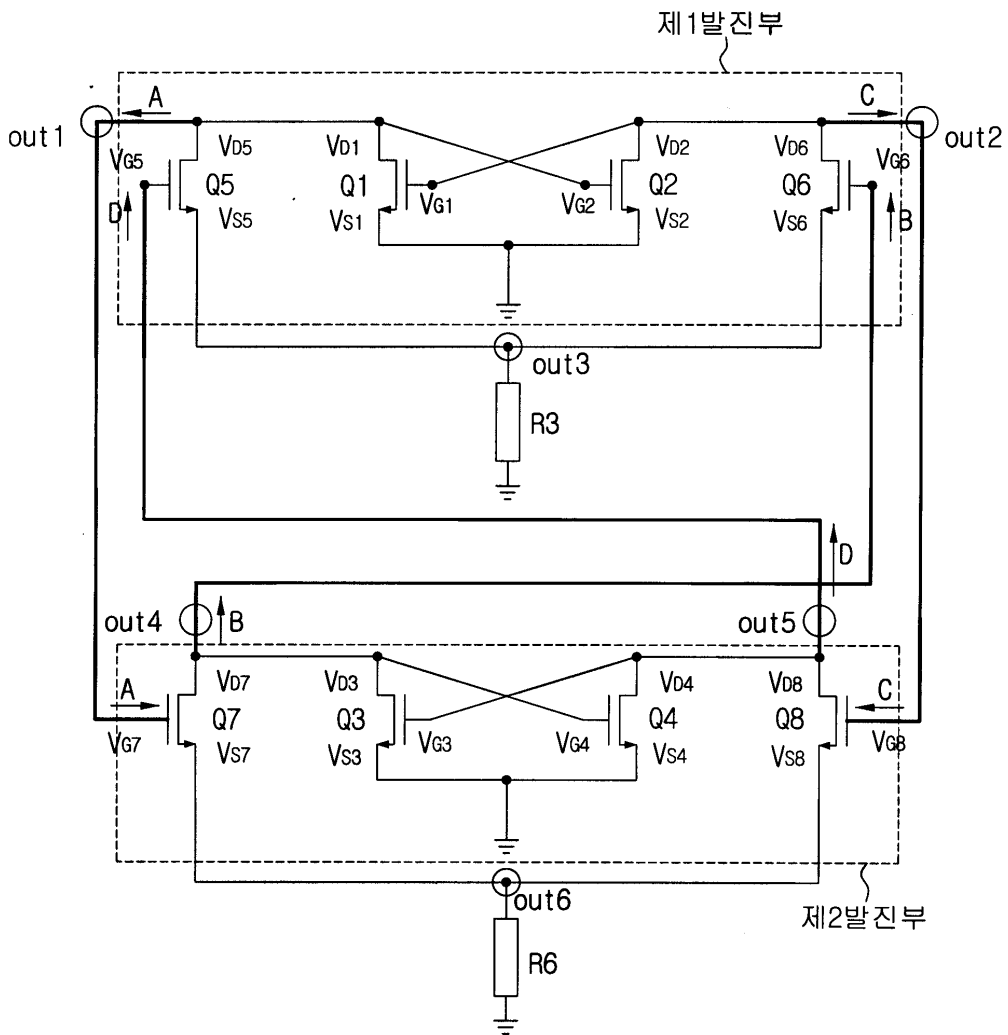
도면3b



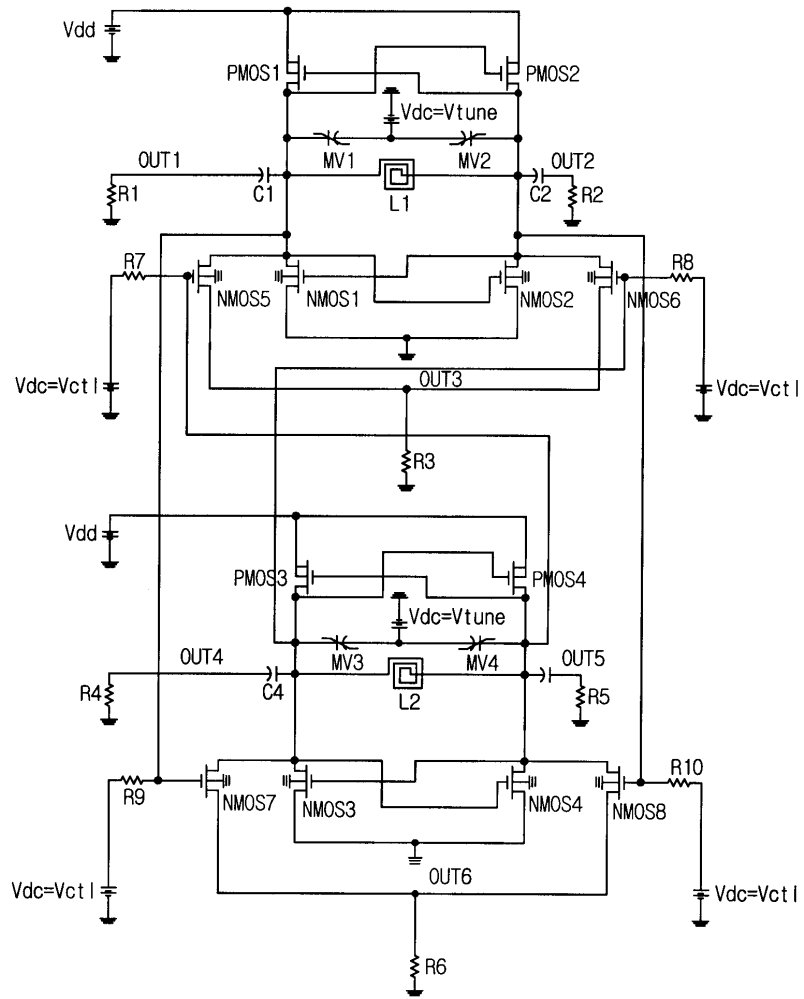
도면4



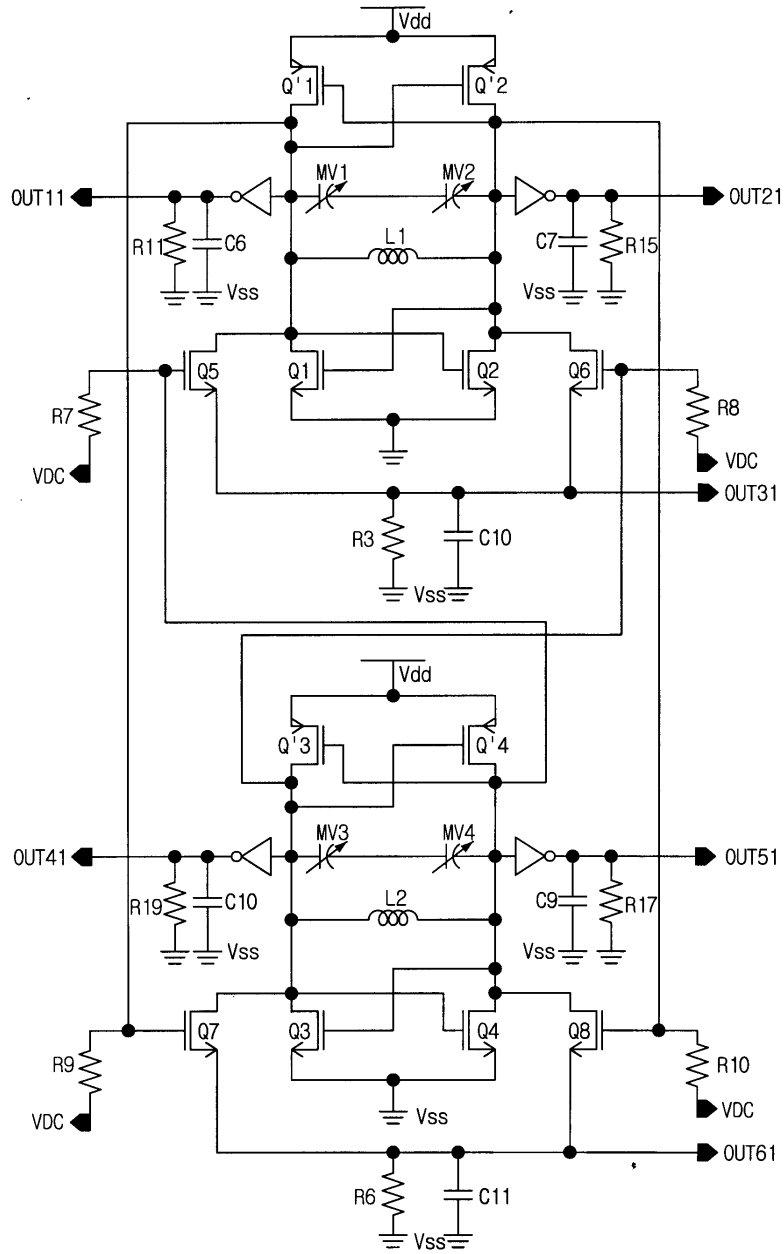
도면5a



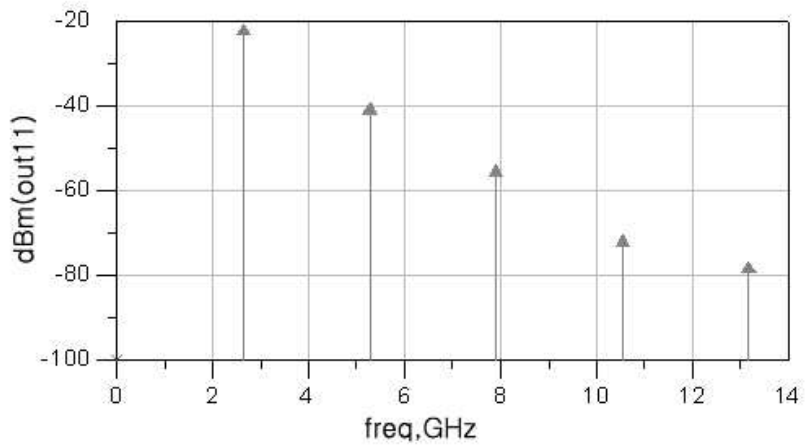
도면5b



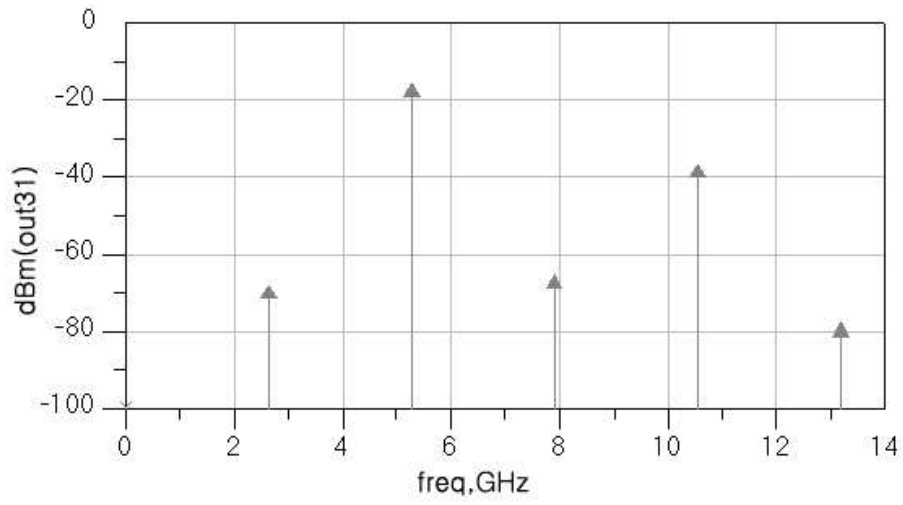
도면5c



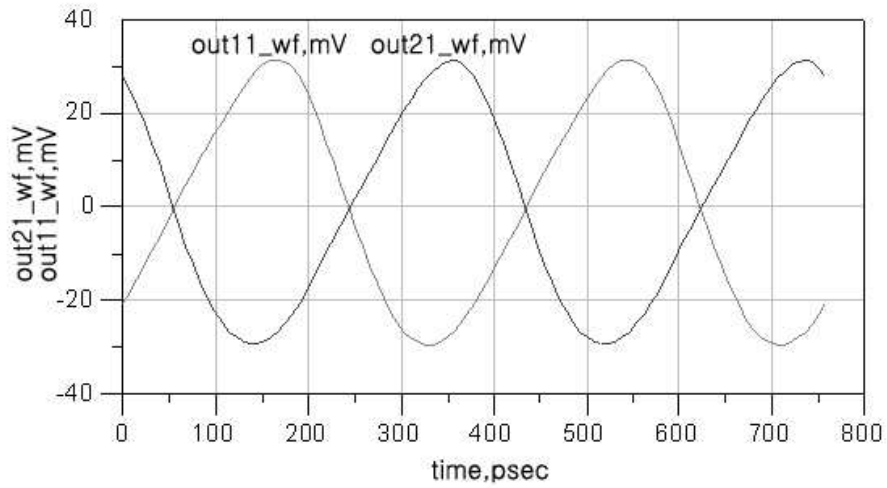
도면6a



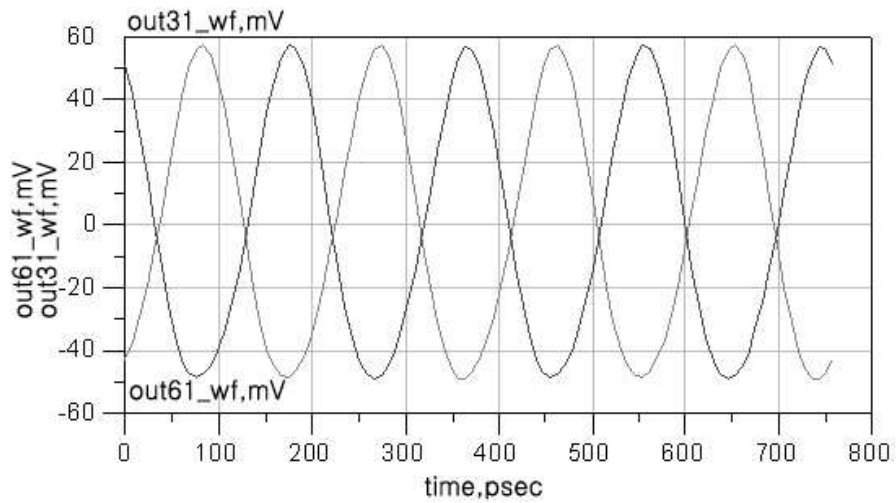
도면6b



도면7a

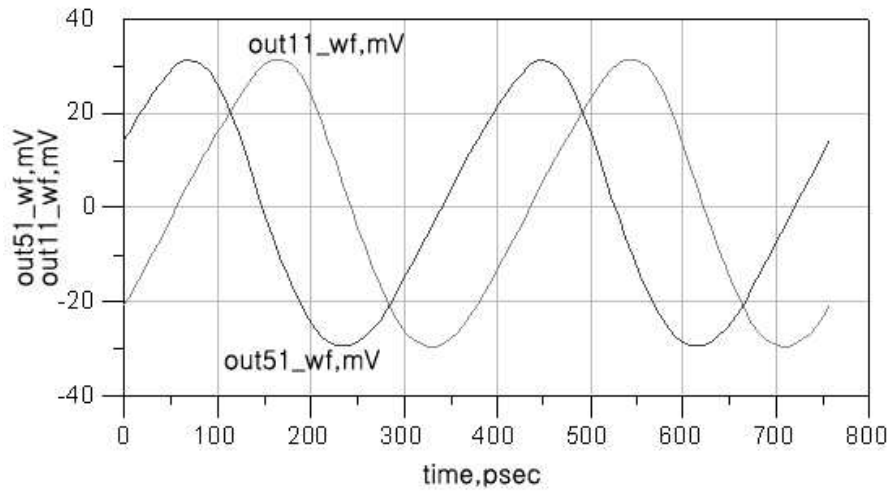


도면7b

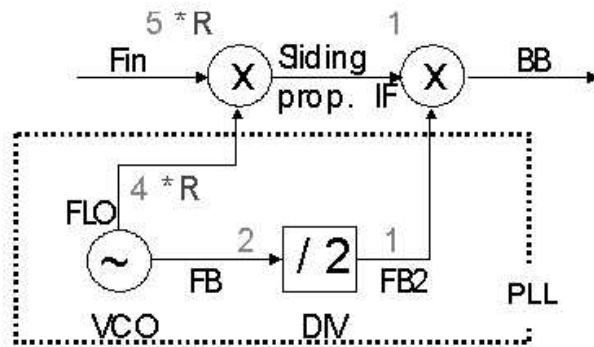




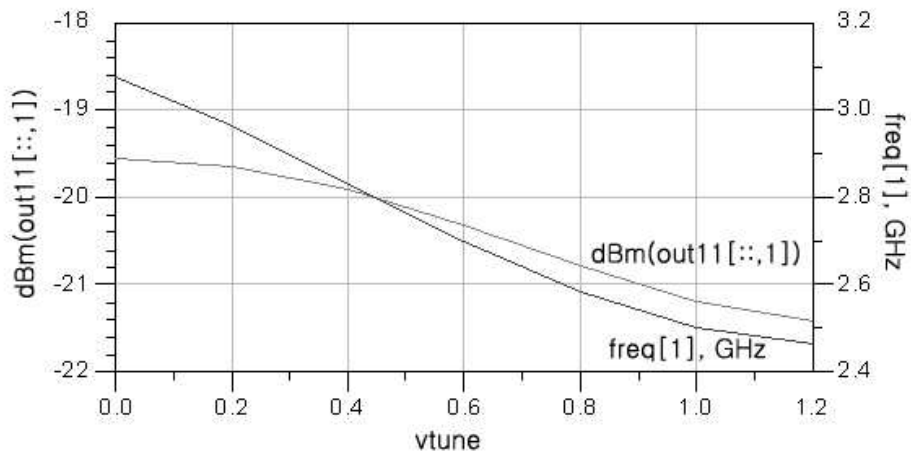
도면7c



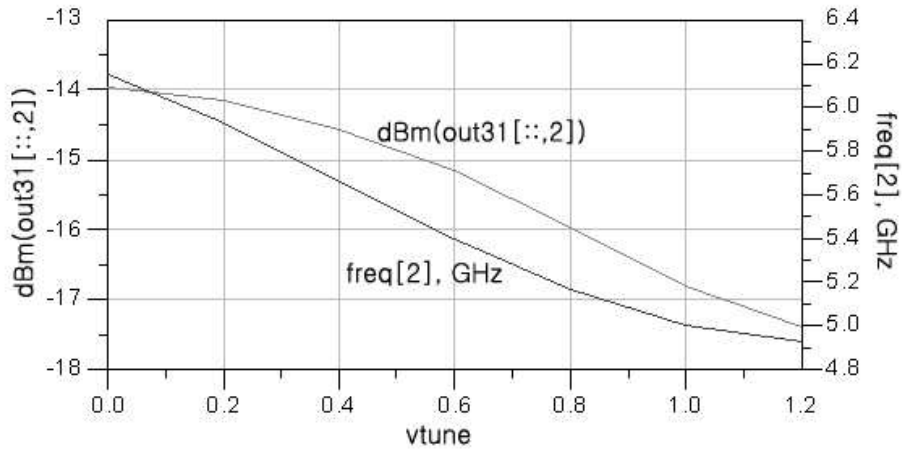
도면8



도면9a



도면9b



도면10

