

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-94170

(P2009-94170A)

(43) 公開日 平成21年4月30日(2009.4.30)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 29/792 (2006.01)		
HO 1 L 27/115 (2006.01)		

審査請求 未請求 請求項の数 9 O L (全 18 頁)

(21) 出願番号 特願2007-261391 (P2007-261391)  
 (22) 出願日 平成19年10月4日 (2007. 10. 4)

(71) 出願人 302062931  
 NECエレクトロニクス株式会社  
 神奈川県川崎市中原区下沼部1753番地  
 (74) 代理人 100102864  
 弁理士 工藤 実  
 (72) 発明者 菊地 武  
 神奈川県川崎市中原区下沼部1753番地  
 NECエレクトロニクス株式会社内  
 Fターム(参考) 5F083 EP17 EP18 EP22 EP30 EP35  
 EP37 EP63 EP68 ER02 ER11  
 ER21 ER30 GA01 GA03 GA27  
 JA04 JA35 JA53 KA01 KA05  
 KA11 NA01 PR09 PR10 ZA21

最終頁に続く

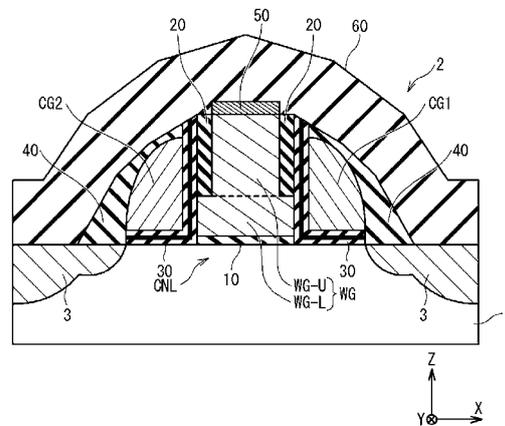
(54) 【発明の名称】 不揮発性半導体メモリ及びその製造方法

(57) 【要約】 (修正有)

【課題】電荷トラップ型の不揮発性半導体メモリの動作速度を向上させること。

【解決手段】不揮発性半導体メモリは、半導体基板1と、半導体基板1上にゲート絶縁膜10を介して形成された第1ゲート電極WGと、第1ゲート電極WGの側方に形成され第1ゲート電極WGから電氣的に絶縁された第2ゲート電極CG1、CG2と、半導体基板1と第2ゲート電極CG1、CG2との間に少なくとも形成された電荷トラップ膜30と、を備える。第1ゲート電極WGは、ゲート絶縁膜10に接触する下方部WG-Lと、下方部WG-Lの上に形成された上方部WG-Uと、を含む。上方部WG-Uと第2ゲート電極CG1、CG2との間隔は、下方部WG-Lと第2ゲート電極CG1、CG2との間隔より大きい。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

半導体基板と、  
前記半導体基板上にゲート絶縁膜を介して形成された第 1 ゲート電極と、  
前記第 1 ゲート電極の側方に形成され、前記第 1 ゲート電極から電氣的に絶縁された第 2 ゲート電極と、  
前記半導体基板と前記第 2 ゲート電極との間に少なくとも形成された、電荷をトラップする絶縁膜である電荷トラップ膜と  
を備え、  
前記第 1 ゲート電極は、  
前記ゲート絶縁膜に接触する下方部と、  
前記下方部の上に形成された上方部と  
を含み、  
前記上方部と前記第 2 ゲート電極との間隔は、前記下方部と前記第 2 ゲート電極との間隔より大きい  
不揮発性半導体メモリ。

10

## 【請求項 2】

請求項 1 に記載の不揮発性半導体メモリであって、  
前記電荷トラップ膜は、前記第 1 ゲート電極と前記第 2 ゲート電極との間に延在する  
不揮発性半導体メモリ。

20

## 【請求項 3】

請求項 2 に記載の不揮発性半導体メモリであって、  
前記下方部と前記第 2 ゲート電極との間には、前記電荷トラップ膜が形成され、  
前記上方部と前記第 2 ゲート電極との間には、前記電荷トラップ膜及び前記電荷トラップ膜と異なる絶縁膜が形成された  
不揮発性半導体メモリ。

## 【請求項 4】

請求項 1 乃至 3 のいずれかに記載の不揮発性半導体メモリであって、  
更に、前記第 1 ゲート電極上に形成されたシリサイド層を備える  
不揮発性半導体メモリ。

30

## 【請求項 5】

請求項 4 に記載の不揮発性半導体メモリであって、  
前記シリサイド層は、前記第 1 ゲート電極の上面を全て覆うように形成された  
不揮発性半導体メモリ。

## 【請求項 6】

請求項 1 乃至 5 のいずれかに記載の不揮発性半導体メモリであって、  
前記第 2 ゲート電極は、前記第 1 ゲート電極の両側に形成された  
不揮発性半導体メモリ。

## 【請求項 7】

請求項 1 乃至 6 のいずれかに記載の不揮発性半導体メモリであって、  
前記電荷トラップ膜は、ONO (Oxide Nitride Oxide) 膜である  
不揮発性半導体メモリ。

40

## 【請求項 8】

半導体基板と、  
前記半導体基板上にゲート絶縁膜を介して形成された第 1 ゲート電極と、  
前記第 1 ゲート電極の側方に形成され、前記第 1 ゲート電極から電氣的に絶縁された第 2 ゲート電極と、  
前記半導体基板と前記第 2 ゲート電極との間に少なくとも形成された、電荷をトラップする絶縁膜である電荷トラップ膜と  
を備え、

50

前記半導体基板の表面に直角な方向とゲート長方向とで規定される面内における前記第1ゲート電極の断面形状は、凸形状である  
不揮発性半導体メモリ。

【請求項9】

(A) 半導体基板上にゲート絶縁膜を形成する工程と、  
(B) 前記ゲート絶縁膜上に第1ポリシリコン膜を堆積する工程と、  
(C) 所定の領域以外の前記第1ポリシリコン膜を途中までエッチングし、前記所定の領域に前記第1ポリシリコン膜からなる突起構造を形成する工程と、  
(D) 前記突起構造の側面にスペーサ絶縁膜を形成する工程と、  
(E) 前記突起構造と前記スペーサ絶縁膜が形成された領域外の前記第1ポリシリコン膜及び前記ゲート絶縁膜を除去する工程と、  
(F) 電荷をトラップする絶縁膜である電荷トラップ膜を全面に形成する工程と、  
(G) 前記電荷トラップ膜上に第2ポリシリコン膜を堆積する工程と、  
(H) 前記第2ポリシリコン膜をエッチバックする工程と  
を含む  
不揮発性半導体メモリの製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体メモリ及びその製造方法に関する。特に、本発明は、電氣的に消去/書き込みが可能な不揮発性半導体メモリ及びその製造方法に関する。

20

【背景技術】

【0002】

電氣的に消去/書き込みが可能な不揮発性半導体メモリとして、フラッシュメモリや電荷トラップ型メモリ (Charge Trapping Memory) が知られている。このうち電荷トラップ型メモリは、電荷をトラップする素子を用いてデータを記憶する。電荷をトラップする素子は、例えば、MONOS (Metal Oxide Nitride Oxide Silicon) トランジスタである。MONOS トランジスタは、MIS (Metal Insulator Silicon) トランジスタの一種であり、そのゲート絶縁膜として、シリコン酸化膜、シリコン窒化膜、及びシリコン酸化膜が順番に積層されたONO (Oxide Nitride Oxide) 膜が用いられる。

30

【0003】

ONO膜中のシリコン窒化膜は、電荷をトラップする性質を有している。例えば、ゲート電極、ソース/ドレイン及び基板に適当な電圧を印加することにより、シリコン窒化膜に電子をトラップさせることができる。シリコン窒化膜に電子がトラップされている場合、トラップされていない場合に比べて、MONOS トランジスタの閾値電圧は増加する。逆に、トラップされた電子がシリコン窒化膜から引き抜かれると、閾値電圧は減少する。このような閾値電圧の変化を利用することにより、MONOS トランジスタは、データ「1」、「0」を不揮発的に記憶することができる。つまり、電荷トラップ型メモリは、MONOS トランジスタをメモリセルとして利用することにより、データを記憶する。

40

【0004】

近年、1メモリセルに2ビットのデータを記憶できる電荷トラップ型メモリも開発されている (例えば、特許文献1参照)。

【0005】

図1は、特許文献1に記載されている電荷トラップ型メモリを示す断面図である。図1において、シリコン基板101上にメモリセル102が形成されている。このメモリセル102は、2つのMONOS トランジスタを含んでいる。より詳細には、シリコン基板101の表面にソース/ドレイン拡散層103が形成されている。ソース/ドレイン拡散層103間のチャンネル領域104の一部の上には、ゲート絶縁膜105を介して第1ゲート電極106が形成されている。第1ゲート電極106の両側には、ONO膜107がL字に形成されており、その両側のONO膜107のそれぞれの上に、第2ゲート電極108

50

が形成されている。つまり、各ONO膜107は、第2ゲート電極108とチャネル領域104との間、及び、第2ゲート電極108と第1ゲート電極106との間に形成されている。各ONO膜107が電荷をトラップする電荷トラップ層として機能し、それにより、2ビットのデータが1つのメモリセル102に記憶される。

【0006】

更に、図1において、第1ゲート電極106の上面の中央に第1シリサイド層109が形成されている。また、第2ゲート電極108上には第2シリサイド層110が形成されている。図1に示されるように、第2ゲート電極108の上端の位置は、第1ゲート電極106の上端の位置よりも高い。そのため、シリサイド形成時に、第1シリサイド層109と第2シリサイド層110とが短絡することが防止される。すなわち、第2ゲート電極108を第1ゲート電極106から絶縁したまま、第2ゲート電極108の抵抗値を低減することが可能となる。

10

【0007】

【特許文献1】特開2005-260164号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本願発明者は、次の点に着目した。例えば図1で示された構成において、第1ゲート電極106と第2ゲート電極108とのカップリング容量は、メモリの高速度動作を妨げる方向に働く。電荷トラップ型メモリにおいて、動作速度の更なる向上が望まれる。

20

【課題を解決するための手段】

【0009】

以下に、[発明を実施するための最良の形態]で使用される番号・符号を用いて、[課題を解決するための手段]を説明する。これらの番号・符号は、[特許請求の範囲]の記載と[発明を実施するための最良の形態]との対応関係を明らかにするために括弧付きで付加されたものである。ただし、それらの番号・符号を、[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

【0010】

本発明の1つの観点において、不揮発性半導体メモリが提供される。その不揮発性半導体メモリは、半導体基板(1)と、半導体基板(1)上にゲート絶縁膜(10)を介して形成された第1ゲート電極(WG)と、第1ゲート電極(WG)の側方に形成され第1ゲート電極(WG)から電気的に絶縁された第2ゲート電極(CG)と、半導体基板(1)と第2ゲート電極(CG)との間に少なくとも形成された電荷トラップ膜(30)と、を備える。第1ゲート電極(WG)は、ゲート絶縁膜(10)に接触する下方部(WG-L)と、下方部(WG-L)の上に形成された上方部(WG-U)と、を含む。上方部(WG-U)と第2ゲート電極(CG)との間隔は、下方部(WG-L)と第2ゲート電極(CG)との間隔より大きい。

30

【0011】

このように構成された不揮発性半導体メモリによれば、第1ゲート電極(WG)と第2ゲート電極(CG)とのカップリング容量が、第1ゲート電極(WG)の上方部(WG-U)において低減されている。それは、第1ゲート電極(WG)の上方部(WG-U)が、その下方部(WG-L)に比べて、第2ゲート電極(CG)から離れているからである。その結果、ゲート電極(WG, CG)に対する充電時間が削減され、動作速度が向上する。

40

【0012】

一方、ゲート絶縁膜(10)に接触する下方部(WG-L)は、上方部(WG-U)に比べて第2ゲート電極(CG)に近い。従って、下方部(WG-L)と第2ゲート電極(CG)との間の下の半導体基板(1)においてチャネル(CNL)が良好に形成され、ドレイン電流の低下が防止される。もし、ゲート絶縁膜(10)に接触する下方部(WG-L)も、上方部(WG-U)と同様に第2ゲート電極(CG)から離されると、チャネル

50

(CNL)が良好に形成されない。その場合、ドレイン電流が減少し、動作特性が悪化する。本発明によれば、カップリング容量の低減と良好なチャンネル形成との両立が実現されていると言える。

#### 【0013】

本発明の他の観点において、不揮発性半導体メモリの製造方法が提供される。その製造方法は、(A)半導体基板(1)上にゲート絶縁膜(10)を形成する工程と、(B)ゲート絶縁膜(10)上に第1ポリシリコン膜(11)を堆積する工程と、(C)所定の領域(R1)以外の第1ポリシリコン膜(11)を途中までエッチングし、その所定の領域(R1)に第1ポリシリコン膜(11)からなる突起構造(14)を形成する工程と、(D)突起構造(14)の側面にスペーサ絶縁膜(20)を形成する工程と、(E)突起構造(14)とスペーサ絶縁膜(20)が形成された領域(R2)外の第1ポリシリコン膜(11)及びゲート絶縁膜(10)を除去する工程と、(F)電荷トラップ膜(30)を全面に形成する工程と、(G)電荷トラップ膜(30)上に第2ポリシリコン膜(31)を堆積する工程と、(H)第2ポリシリコン膜(31)をエッチバックする工程と、を含む。これにより、上述の不揮発性半導体メモリの構造が得られる。

10

#### 【発明の効果】

#### 【0014】

本発明に係る不揮発性半導体メモリによれば、動作速度が向上する。

#### 【発明を実施するための最良の形態】

#### 【0015】

20

##### 1. 第1の実施の形態

##### 1-1. 構造

図2は、本発明の第1の実施の形態に係る不揮発性半導体メモリの構造を示す断面図である。図2に示されるように、半導体基板1上にメモリセル2が形成されている。半導体基板1は、例えばP型シリコン基板である。この半導体基板1の表面にソース/ドレイン拡散層3が形成されている。ソース/ドレイン拡散層3は、例えばN型拡散層である。ソース/ドレイン拡散層3間の半導体領域が、チャンネル領域CNLである。

#### 【0016】

半導体基板1のチャンネル領域CNLの一部の上には、ゲート絶縁膜10を介してワードゲート(第1ゲート電極)WGが形成されている。ワードゲートWGの延在方向は、Y方向である。ワードゲートWGのゲート長は、Y方向に直角なX方向に沿って規定される。X方向とY方向のそれぞれに直交する方向、すなわち、半導体基板1の表面に直角な方向が、Z方向である。

30

#### 【0017】

本実施の形態において、ワードゲートWGは、上方部WG-Uと下方部WG-Lを含んでいる。下方部WG-Lは、ゲート絶縁膜10に接触している。上方部WG-Uは、下方部WG-Lの上に形成されている。図2に示されるように、上方部WG-UのX方向の幅は、下方部WG-LのX方向の幅よりも小さい。つまり、XZ面内におけるワードゲートWGの断面形状は、凸形状である。上方部WG-Uの側面には、スペーサ絶縁膜20が形成されている。スペーサ絶縁膜20は、例えばシリコン酸化膜である。

40

#### 【0018】

ワードゲートWGの両側には、電荷トラップ膜30が形成されている。電荷トラップ膜30は、電荷をトラップすることができる絶縁膜である。例えば、電荷トラップ膜30は、酸化膜、窒化膜、及び酸化膜が順番に積層されたONO(Oxide Nitride Oxide)膜である。この場合、電荷は、窒化膜にトラップされ得る。また、電荷トラップ膜30として、ON膜やONON膜あるいは窒化膜だけが用いられてもよい。

#### 【0019】

この電荷トラップ膜30は、ワードゲートWGとソース/ドレイン拡散層3との間のチャンネル領域CNL上に少なくとも形成されている。その電荷トラップ膜30上に、コントロールゲート(第2ゲート電極)CG1、CG2が形成されている。つまり、電荷トラッ

50

ブ膜30は、コントロールゲートCG1、CG2のそれぞれと半導体基板1のチャネル領域CNLとの間に形成されている。結果として、ワードゲートWGの両側に2つのMONOSTランジスタが構成される。各MONOSTランジスタが記憶素子として機能するため、1つのメモリセル2で2ビットのデータを記憶することができる。

【0020】

電荷トラップ膜30は、更に、ワードゲートWGとコントロールゲートCG1、CG2のそれぞれとの間に延在している。つまり、電荷トラップ膜30は、ワードゲートWGの両側においてL字型に形成されている。図2に示されるように、ワードゲートWGの下方部WG-LとコントロールゲートCG1、CG2の間には、電荷トラップ膜30が介在している。一方、ワードゲートWGの上方部WG-UとコントロールゲートCG1、CG2の間には、上述のスペーサ絶縁膜20と電荷トラップ膜30が介在している。従って、上方部WG-UとコントロールゲートCG1又はCG2との間隔は、下方部WG-LとコントロールゲートCG1又はCG2との間隔より大きい。

10

【0021】

上述の通り、コントロールゲートCG1、CG2は、ワードゲートWGの両側に絶縁膜を介して形成されている。その絶縁膜は、電荷トラップ膜30、あるいは、スペーサ絶縁膜20及び電荷トラップ膜30である。また、コントロールゲートCG1、CG2のそれぞれを覆うように、サイドウォール40が形成されている。

【0022】

更に、ワードゲートWGの上方部WG-U上には、シリサイド層50が形成されている。このシリサイド層50は、ワードゲートWGの上面を全て覆うように形成されている。シリサイド層50により、ワードゲートWGの抵抗が低減される。尚、図2には示されていないが、コントロールゲートCG1、CG2の上面がシリサイド化されていてもよい。また、ソース/ドレイン拡散層3の表面がシリサイド化されていてもよい。

20

【0023】

更に、上述の構造の全体を覆うように、層間絶縁膜60が形成されている。

【0024】

1-2. 動作

次に、メモリセル2に対する書き込み/消去/読み出し動作について説明する。

【0025】

(書き込み)

図3は、書き込み動作を説明するための概略図である。例として、コントロールゲートCG1側のビットにデータを書き込む場合を説明する。コントロールゲートCG1側のソース/ドレイン拡散層3はソース線SLに接続され、コントロールゲートCG2側のソース/ドレイン拡散層3はビット線BLに接続されているとする。

30

【0026】

本実施の形態において、データ書き込みは、CHE (Channel Hot Electron) 方式で行われる。例えば、ワードゲートWG、コントロールゲートCG1、コントロールゲートCG2、ソース線SL、及びビット線BLに、それぞれ+1V、+5V、+2V、+5V、及び0Vの電位が印加される。このとき、コントロールゲートCG2側の拡散層3がソースとして機能し、コントロールゲートCG1側の拡散層3がドレインとして機能する。チャネルエレクトロンは、ドレイン近傍の強電界により加速され、チャネルホットエレクトロンとなる。生成されたチャネルホットエレクトロンの一部が、コントロールゲートCG1下の電荷トラップ膜30の窒化膜に注入される。その結果、コントロールゲートCG1側のトランジスタの閾値電圧が増加する。

40

【0027】

(消去)

図4は、消去動作を説明するための概略図である。例として、コントロールゲートCG1側のビットのデータを消去する場合を説明する。

【0028】

50

本実施の形態において、データ消去は、HHI (Hot Hole Injection) 方式で行われる。例えば、ワードゲートWG、コントロールゲートCG1、コントロールゲートCG2、ソース線SL、及びビット線BLに、それぞれ-2V、-2V、0V、+5V、及び0Vの電位が印加される。ワードゲートWGに負電位(-2V)が印加されるため、チャンネルは導通しない。一方、コントロールゲートCG1に負電位(-2V)が印加され、ソース線SLに正電位(+5V)が印加されるため、コントロールゲートCG1と拡散層3との間に強電界が発生する。

#### 【0029】

その強電界が拡散層3の端部周辺の空乏層に印加されると、その空乏層で「バンド間トンネル(Band-to-Band tunnel)現象」が発生する。バンド間トンネル現象により、本来キャリアの存在しない空乏層中に電子正孔対が発生する。電子正孔対のうち電子は、拡散層3(+5V)の方へ引かれる。一方、電子正孔対のうち正孔(ホール)は、空乏層電界によって、チャンネル領域CNLの方へ引かれる。この時、ホールは、空乏層電界によって加速され、ホットホールとなる。発生したホットホールは、格子に衝突し、新たな電子正孔対を発生させる可能性もある。電子正孔対の消滅数より発生数が多いと、アバランシェ降伏が発生する。このアバランシェ降伏によっても、多数のホットキャリア(ホットホール、ホットエレクトロン)が発生する。

10

#### 【0030】

このように、バンド間トンネル現象に起因して、多数のホットホールが空乏層やチャンネル領域CNLに生成される。それらホットホールは、コントロールゲートCG1の負電位(-2V)に引かれる。そして、高いエネルギーを有するホットホールが、コントロールゲートCG1下の電荷トラップ膜30の窒化膜に注入される。その結果、コントロールゲートCG1側のトランジスタの閾値電圧が減少する。

20

#### 【0031】

(読み出し)

図5は、読み出し動作を説明するための概略図である。例として、コントロールゲートCG1側のビットのデータを読み出す場合を説明する。例えば、ワードゲートWG、コントロールゲートCG1、コントロールゲートCG2、ソース線SL、及びビット線BLに、それぞれ+2V、+2V、+2V、0V、及び1.5Vの電位が印加される。このとき、コントロールゲートCG1側の拡散層3がソースとして機能し、コントロールゲートCG2側の拡散層3がドレインとして機能する。

30

#### 【0032】

閾値電圧が大きいプログラム状態では、コントロールゲートCG1側のトランジスタはOFFし、チャンネルは導通しない。一方、閾値電圧が小さい消去状態では、コントロールゲートCG1側のトランジスタはONする。キャリアがコントロールゲートCG2下のチャンネル領域CNLに到達しさえすれば、ドレイン周辺の空乏層電界によって、そのキャリアはドレインに吸い込まれる。つまり、コントロールゲートCG2側のビットのデータにかかわらず、チャンネルは導通する。従って、ビット線BLの電流に基づいて、コントロールゲートCG1側のビットのデータを判定することができる。

40

#### 【0033】

1-3. 製造方法

図6A~図6Mは、本実施の形態に係る不揮発性半導体メモリの製造工程の一例を示す断面図である。

#### 【0034】

図6Aにおいて、半導体基板1は、例えばP型シリコン基板である。半導体基板1にSTI(Shallow Trench Isolation)構造等の素子分離構造が形成された後、半導体基板1上にゲート絶縁膜10が形成される。ゲート絶縁膜10は、例えば、半導体基板1の表面を酸化処理することによって形成されるシリコン酸化膜である。続いて、ゲート絶縁膜10上にポリシリコン膜11(第1ポリシリコン膜)が堆積される。ポリシリコン膜11は、ワードゲートWGの作成に用いられる。

50

## 【 0 0 3 5 】

次に、図 6 B に示されるように、ポリシリコン膜 1 1 上に、ハードマスク用の絶縁膜 1 2 が形成される。絶縁膜 1 2 は、例えばシリコン窒化膜である。更に、所定の領域 R 1 において、絶縁膜 1 2 上にレジストマスク 1 3 が形成される。

## 【 0 0 3 6 】

次に、レジストマスク 1 3 を用いたエッチングにより、図 6 C に示されるように、領域 R 1 以外の絶縁膜 1 2 及びポリシリコン膜 1 1 の一部が除去される。この時、領域 R 1 外のポリシリコン膜 1 1 は、途中までエッチングされ、全ては除去されないことに留意されたい。結果として、領域 R 1 に、ポリシリコン膜 1 1 からなる突起構造 1 4 が形成される。この突起構造 1 4 が、ワードゲート W G の上方部 W G - U に相当する。また、レジストマスク 1 3 が除去される。

10

## 【 0 0 3 7 】

次に、図 6 D に示されるように、全面に絶縁膜 1 5 が堆積される。絶縁膜 1 5 は、例えばシリコン酸化膜である。

## 【 0 0 3 8 】

続いて、絶縁膜 1 5 のエッチバックが行われる。その結果、図 6 E に示されるように、突起構造 1 4 の側面にスペーサ絶縁膜 2 0 が形成される。絶縁膜 1 2、突起構造 1 4、及びスペーサ絶縁膜 2 0 が形成されている領域は、以下、「領域 R 2」と参照される。

## 【 0 0 3 9 】

次に、図 6 F に示されるように、絶縁膜 1 2 とスペーサ絶縁膜 2 0 をマスクとして用いるエッチングにより、領域 R 2 外のポリシリコン膜 1 1 とゲート絶縁膜 1 0 が除去される。その結果、ワードゲート W G が形成される。このワードゲート W G は、上方部 W G - U と下方部 W G - L を含んでいる。X Z 面内におけるワードゲート W G の断面形状は、凸形状である。上方部 W G - U の側面には、スペーサ絶縁膜 2 0 が形成されている。

20

## 【 0 0 4 0 】

次に、図 6 G に示されるように、全面に電荷トラップ膜 3 0 が形成される。例えば、電荷トラップ膜 3 0 は、シリコン酸化膜、シリコン窒化膜、シリコン酸化膜が順番に積層された O N O 膜である。更に、電荷トラップ膜 3 0 上にポリシリコン膜 3 1 (第 2 ポリシリコン膜) が堆積される。ポリシリコン膜 3 1 は、コントロールゲート C G 1、C G 2 の作成に用いられる。

30

## 【 0 0 4 1 】

続いて、ポリシリコン膜 3 1 のエッチバックが行われる。その結果、図 6 H に示されるように、ワードゲート W G の両側にコントロールゲート C G 1、C G 2 が形成される。またこの時、半導体基板 1 の一部が露出するまで、電荷トラップ膜 3 0 がエッチングされる。これにより、ワードゲート W G の両側に L 字形状の電荷トラップ膜 3 0 が形成される。絶縁膜 1 2 も除去される。

## 【 0 0 4 2 】

次に、イオン注入工程が実施され、図 6 I に示されるように、ソース/ドレイン拡散層 3 の L D D (Lightly Doped Drain) 構造 3 2 が半導体基板 1 の表面に形成される。イオン注入工程においては、砒素等の N 型不純物が注入される。

40

## 【 0 0 4 3 】

次に、シリコン酸化膜が全面に堆積された後、そのシリコン酸化膜のエッチバックが行われる。その結果、図 6 J に示されるように、コントロールゲート C G 1、C G 2 を覆うようにサイドウォール 4 0 が形成される。

## 【 0 0 4 4 】

その後、更にイオン注入工程が実施され、図 6 K に示されるように、ソース/ドレイン拡散層 3 が半導体基板 1 の表面に形成される。

## 【 0 0 4 5 】

次に、図 6 L に示されるように、ワードゲート W G の上面がシリサイド化され、シリサイド層 5 0 が形成される。例えば、スパッタリングにより全面にコバルト膜が形成され、

50

その後、熱処理が実施される。コバルトとワードゲートWGのポリシリコンとのシリサイド反応により、コバルトシリサイド層が形成される。尚、ワードゲートWGの上方はオープンスペースとなっているため、シリサイド反応が進みやすい。また、ワードゲートWGの上面に他の構造が無い場合、シリサイド層50は、ワードゲートWGの上面を全て覆うように形成される。これにより、ワードゲートWGの抵抗が効果的に低減される。

【0046】

その後、図6Mに示されるように、層間絶縁膜60が全面に形成される。このようにして、図2で示された構造が得られる。

【0047】

#### 1-4. 効果

以上に説明されたように、本実施の形態によれば、ワードゲートWGは、下方部WG-Lと上方部WG-Uを含んでいる。上方部WG-UとコントロールゲートCG1又はCG2との間隔は、下方部WG-LとコントロールゲートCG1又はCG2との間隔より大きい。言い換えれば、ワードゲートWGの上方部WG-Uが、その下方部WG-Lに比べて、コントロールゲートCG1、CG2から離れている。その結果、ワードゲートWGとコントロールゲートCG1、CG2とのカップリング容量が、上方部WG-Uにおいて低減される。ゲート電極間のカップリング容量が低減されるため、ゲート電極(WG, CG1, CG2)に対する充電時間が削減される。結果として、不揮発性半導体メモリの動作速度が向上する。

【0048】

一方、ゲート絶縁膜10に接触する下方部WG-Lは、上方部WG-Uに比べて、コントロールゲートCG1、CG2に近い。従って、チャンネル領域CNLにおいてチャンネルが良好に形成される。比較として、下方部WG-Lも上方部WG-Uと同様に、コントロールゲートCG1、CG2から離される場合を考える。つまり、カップリング容量を低減するために、ワードゲートWGの全体とコントロールゲートCG1、CG2との間に介在する絶縁膜の幅を拡げることを考える。その場合、その幅広の絶縁膜下の半導体基板1において、チャンネルが良好に形成されない。結果として、ドレイン電流が減少し、動作特性が悪化する。本実施の形態によれば、上方部WG-UだけがコントロールゲートCG1、CG2から離されるため、チャンネル領域CNLにおいてはチャンネルが良好に形成される。従って、ドレイン電流の低下が防止される。

【0049】

このように、本実施の形態では、ドレイン電流の低下を防止しつつ、カップリング容量を低減することができる。不揮発性半導体メモリの動作速度と電流特性の両立が実現されていると言える。

【0050】

カップリング容量を低減するために、ワードゲートWGを全体的に薄くすることも考えられる。しかしながら、ワードゲートWGを薄くし過ぎると(例えば、30nm以下)、シリサイド反応時にワードゲートWGのポリシリコンが全てシリサイドになってしまう可能性がある(フルシリサイド)。その場合、シリサイドとゲート絶縁膜10が接触し、リーク電流が増加してしまう。これは、不揮発性半導体メモリの信頼性低下を招く。ワードゲートWGの厚さをある程度確保しながら、カップリング容量を低減するためには、本実施の形態に係る構造が好適である。

【0051】

#### 2. 第2の実施の形態

図7は、本発明の第2の実施の形態に係る不揮発性半導体メモリの構造を示す断面図である。図7において、第1の実施の形態と同じ構成には同一の符号が付され、重複する説明は適宜省略される。

【0052】

第2の実施の形態において、コントロールゲートCG1、CG2は、ワードゲートWGよりも高く形成される。図7に示されるように、ワードゲートWGの上方には、スペーサ

10

20

30

40

50

絶縁膜 20 で挟まれた溝部 35 が存在している。溝部 35 中において、スペーサ絶縁膜 20 の側面にはサイドウォール 41 が形成されている。ワードゲート WG の上面には、そのサイドウォール 41 に挟まれるようにシリサイド層 50 が形成されている。

【0053】

本実施の形態のメモリセル 2 に対する書き込み / 消去 / 読み出し動作は、第 1 の実施の形態と同じである。

【0054】

図 8 A ~ 図 8 H を参照して、本実施の形態に係る不揮発性半導体メモリの製造工程の一例を説明する。途中までは、第 1 の実施の形態における製造工程と同じであり、その説明は省略される。

10

【0055】

図 8 A は、既出の図 6 F と同じ段階を示している。但し、図 6 F と比較して、ハードマスク用の絶縁膜 12 はより厚く形成されている。次に、図 8 B に示されるように、全面に電荷トラップ膜 30 が形成される。更に、電荷トラップ膜 30 上にポリシリコン膜 31 が堆積される。

【0056】

続いて、ポリシリコン膜 31 のエッチバックが行われる。その結果、図 8 C に示されるように、ワードゲート WG の両側にコントロールゲート CG1、CG2 が形成される。コントロールゲート CG1、CG2 の上面は、ワードゲート WG の上面よりも高い。またこの時、半導体基板 1 の一部が露出するまで、電荷トラップ膜 30 がエッチングされる。これにより、ワードゲート WG の両側に L 形状の電荷トラップ膜 30 が形成される。図 8 C の段階で、ハードマスク用の絶縁膜 12 は除去されずに残っている。

20

【0057】

次に、図 8 D に示されるように、絶縁膜 12 が除去される。その結果、絶縁膜 12 が存在していた部分に、溝部 35 が形成される。この溝部 35 は、ワードゲート WG の上方に存在しており、また、スペーサ絶縁膜 20 に挟まれている。

【0058】

次に、イオン注入工程が実施され、図 8 E に示されるように、ソース / ドレイン拡散層 3 の LDD 構造 32 が半導体基板 1 の表面に形成される。

【0059】

次に、シリコン酸化膜が全面に堆積された後、そのシリコン酸化膜のエッチバックが行われる。その結果、図 8 F に示されるように、コントロールゲート CG1、CG2 を覆うようにサイドウォール 40 が形成される。更に、溝部 35 中において、スペーサ絶縁膜 20 の側面にサイドウォール 41 が形成される。

30

【0060】

その後、更にイオン注入工程が実施され、図 8 G に示されるように、ソース / ドレイン拡散層 3 が半導体基板 1 の表面に形成される。

【0061】

次に、図 8 H に示されるように、ワードゲート WG の上面がシリサイド化され、シリサイド層 50 が形成される。例えば、スパッタリングにより全面にコバルト膜が形成され、その後、熱処理が実施される。コバルトとワードゲート WG のポリシリコンとのシリサイド反応により、コバルトシリサイド層が形成される。このシリサイド層 50 は、サイドウォール 41 に挟まれるように形成される。

40

【0062】

その後、第 1 の実施の形態と同様に、層間絶縁膜 60 が全面に形成される。このようにして、図 7 で示された構造が得られる。

【0063】

本実施の形態によれば、第 1 の実施の形態と同じ効果が得られる。また、シリサイド層 50 は溝部 35 の底に形成されるため、そのシリサイド層 50 が他のシリサイド層と短絡することが確実に防止される。

50

【 0 0 6 4 】

3 . 第 3 の 実 施 の 形 態

既出の実施の形態では、1つのメモリセル2が2ビットのデータを記憶する構造が示された。当然、1つのメモリセル2が1ビットのデータを記憶する構造も可能である。

【 0 0 6 5 】

図9は、本発明の第3の実施の形態に係る不揮発性半導体メモリの構造を示す断面図である。図9において、第1の実施の形態と同じ構成には同一の符号が付され、重複する説明は適宜省略される。図9に示されるように、ワードゲートWGの側方に、コントロールゲートCG1が形成されており、コントロールゲートCG2が形成されていない。従って、1つのメモリセル2は、1ビットのデータだけを記憶する。

10

【 0 0 6 6 】

図9に示された構造の製造方法は、第1の実施の形態とほぼ同じである。但し、一方のコントロールゲートCG2を除去する工程が追加される。具体的には、図6Hで示された状態から、図10Aに示されるように、コントロールゲートCG1やワードゲートWGを覆うレジストマスク70が形成される。そのレジストマスク70を用いたエッチングにより、コントロールゲートCG2が除去される(図10B参照)。その後、図6Iで示された工程と同様に、ソース/ドレイン拡散層3のLDD構造32が半導体基板1の表面に形成される(図10C参照)。その後の工程は、第1の実施の形態と同様である。

【 図 面 の 簡 単 な 説 明 】

【 0 0 6 7 】

20

【 図 1 】 図 1 は、従来の不揮発性半導体メモリの構造を示す断面図である。

【 図 2 】 図 2 は、本発明の第1の実施の形態に係る不揮発性半導体メモリの構造を示す断面図である。

【 図 3 】 図 3 は、書き込み動作を説明するための概略図である。

【 図 4 】 図 4 は、消去動作を説明するための概略図である。

【 図 5 】 図 5 は、読み出し動作を説明するための概略図である。

【 図 6 A 】 図 6 A は、第1の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【 図 6 B 】 図 6 B は、第1の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

30

【 図 6 C 】 図 6 C は、第1の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【 図 6 D 】 図 6 D は、第1の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【 図 6 E 】 図 6 E は、第1の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【 図 6 F 】 図 6 F は、第1の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【 図 6 G 】 図 6 G は、第1の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

40

【 図 6 H 】 図 6 H は、第1の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【 図 6 I 】 図 6 I は、第1の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【 図 6 J 】 図 6 J は、第1の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【 図 6 K 】 図 6 K は、第1の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【 図 6 L 】 図 6 L は、第1の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

50

【図 6 M】図 6 M は、第 1 の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【図 7】図 7 は、本発明の第 2 の実施の形態に係る不揮発性半導体メモリの構造を示す断面図である。

【図 8 A】図 8 A は、第 2 の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【図 8 B】図 8 B は、第 2 の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【図 8 C】図 8 C は、第 2 の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【図 8 D】図 8 D は、第 2 の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【図 8 E】図 8 E は、第 2 の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【図 8 F】図 8 F は、第 2 の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【図 8 G】図 8 G は、第 2 の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【図 8 H】図 8 H は、第 2 の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【図 9】図 9 は、本発明の第 3 の実施の形態に係る不揮発性半導体メモリの構造を示す断面図である。

【図 10 A】図 10 A は、第 3 の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【図 10 B】図 10 B は、第 3 の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【図 10 C】図 10 C は、第 3 の実施の形態に係る不揮発性半導体メモリの製造工程を示す断面図である。

【符号の説明】

【0068】

- |       |                 |    |
|-------|-----------------|----|
| 1     | 半導体基板           |    |
| 2     | メモリセル           |    |
| 3     | ソース/ドレイン拡散層     |    |
| 10    | ゲート絶縁膜          |    |
| 11    | ポリシリコン膜         |    |
| 12    | 絶縁膜             |    |
| 13    | レジストマスク         |    |
| 14    | 突起構造            |    |
| 15    | 絶縁膜             |    |
| 20    | スペーサ絶縁膜         | 40 |
| 30    | 電荷トラップ膜         |    |
| 31    | ポリシリコン膜         |    |
| 32    | LDD             |    |
| 35    | 溝部              |    |
| 40、41 | サイドウォール         |    |
| 50    | シリサイド層          |    |
| 60    | 層間絶縁膜           |    |
| 70    | レジストマスク         |    |
| WG    | ワードゲート(第1ゲート電極) |    |
| WG-U  | 上方部             | 50 |

10

20

30

40

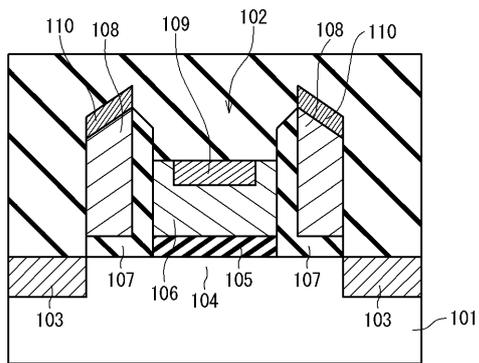
50

WG - L 下方部

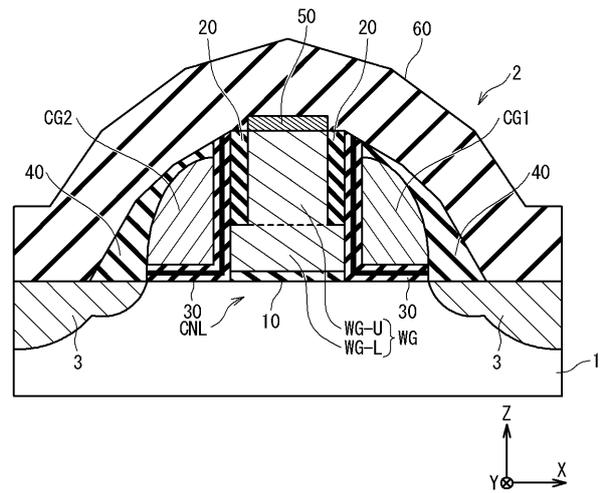
CG 1、CG 2 コントロールゲート (第2ゲート電極)

CNL チャンネル領域

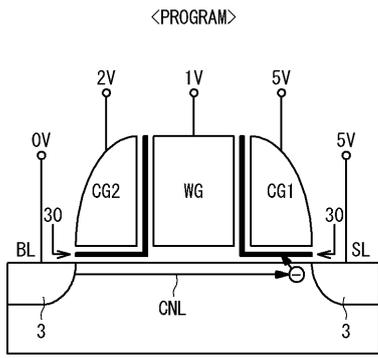
【 図 1 】



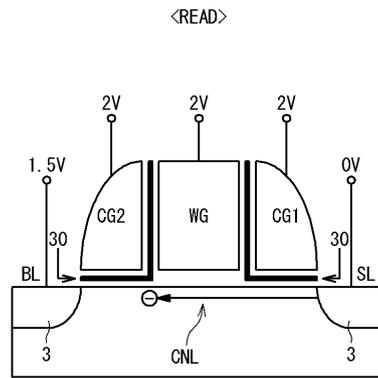
【 図 2 】



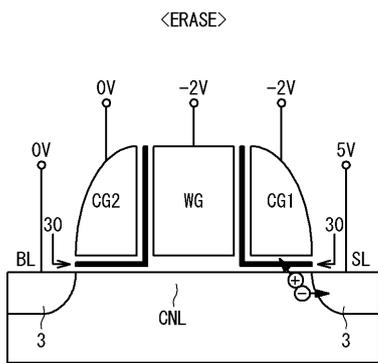
【 図 3 】



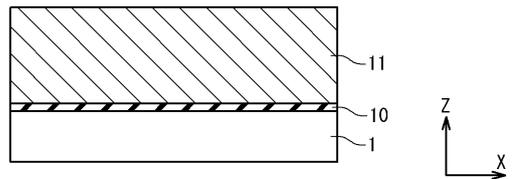
【 図 5 】



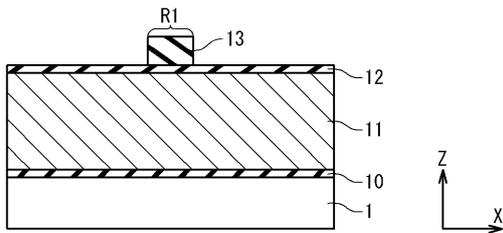
【 図 4 】



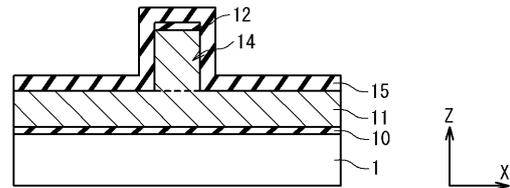
【 図 6 A 】



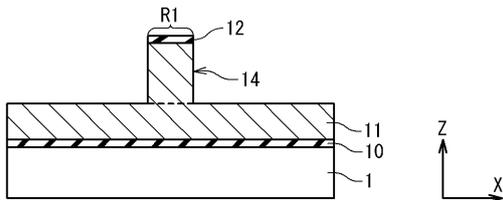
【 図 6 B 】



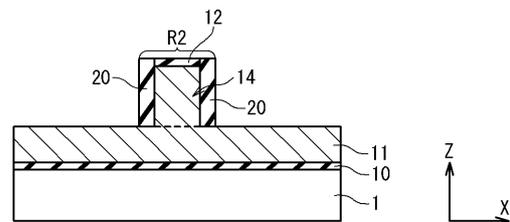
【 図 6 D 】



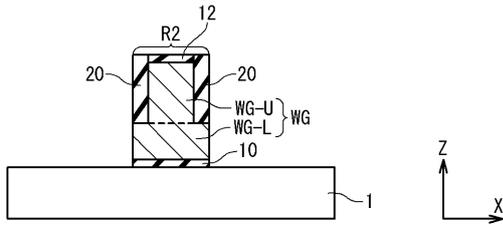
【 図 6 C 】



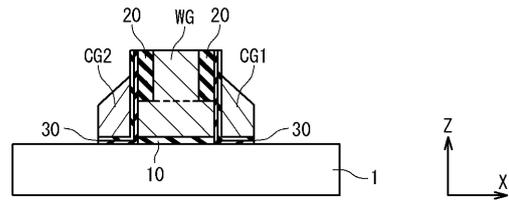
【 図 6 E 】



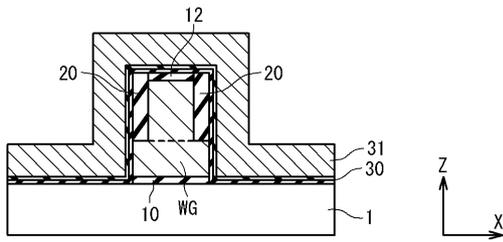
【 図 6 F 】



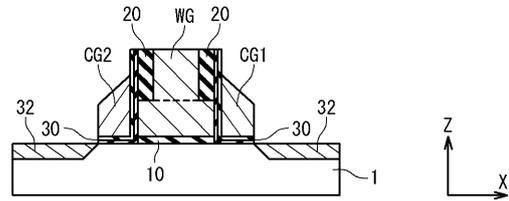
【 図 6 H 】



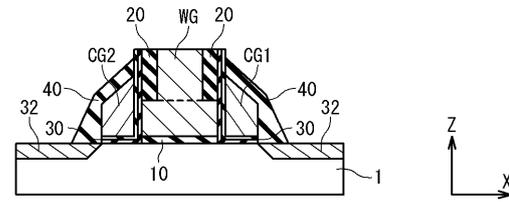
【 図 6 G 】



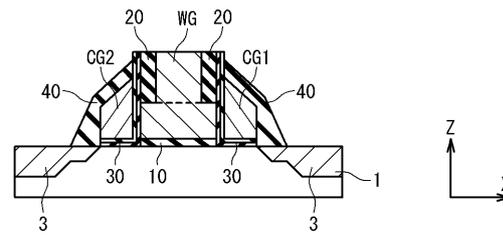
【 図 6 I 】



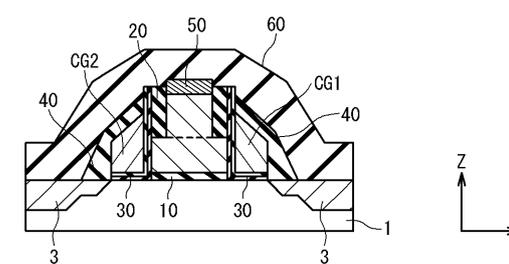
【 図 6 J 】



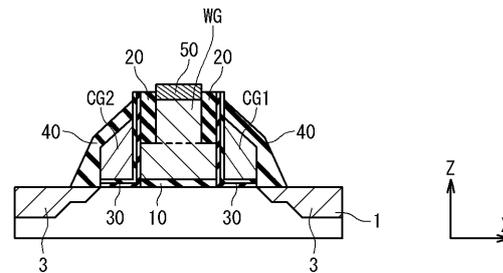
【 図 6 K 】



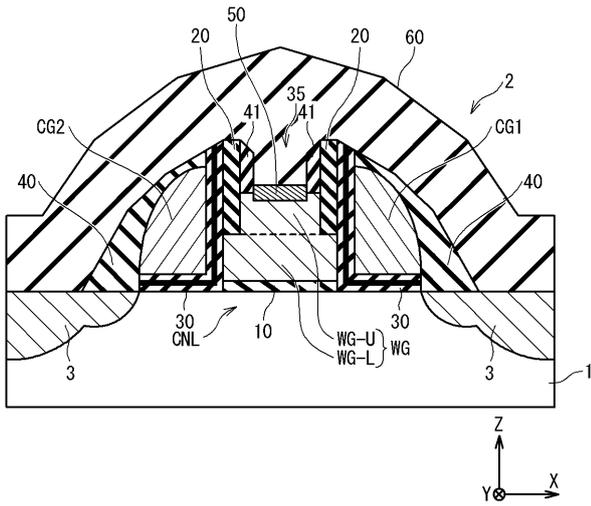
【 図 6 M 】



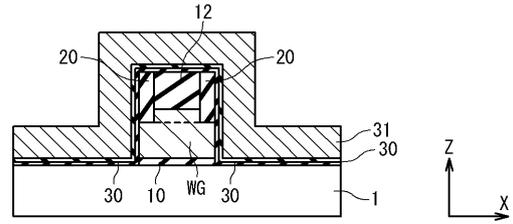
【 図 6 L 】



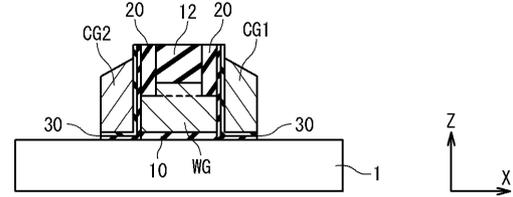
【 図 7 】



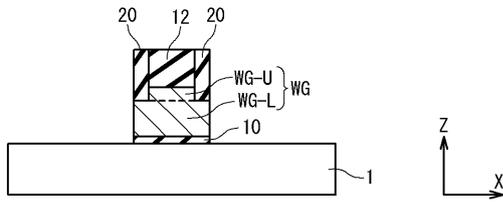
【 図 8 B 】



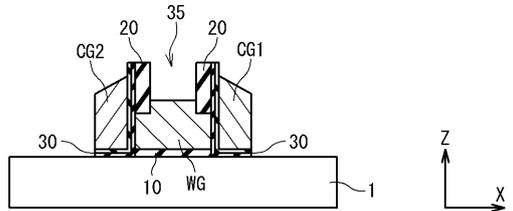
【 図 8 C 】



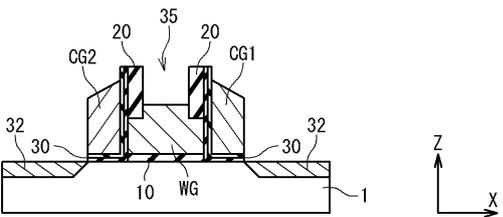
【 図 8 A 】



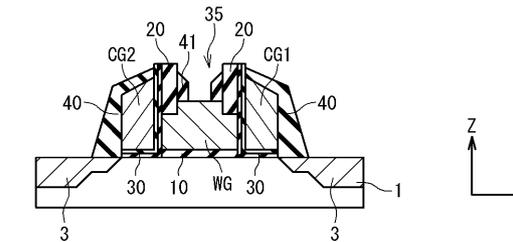
【 図 8 D 】



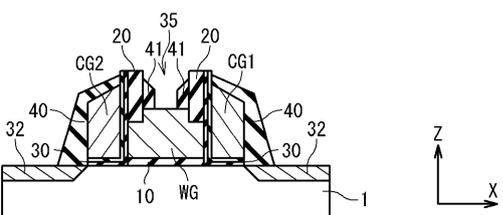
【 図 8 E 】



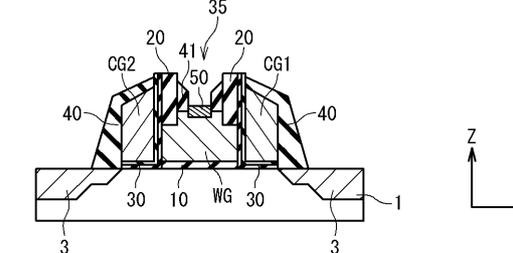
【 図 8 G 】



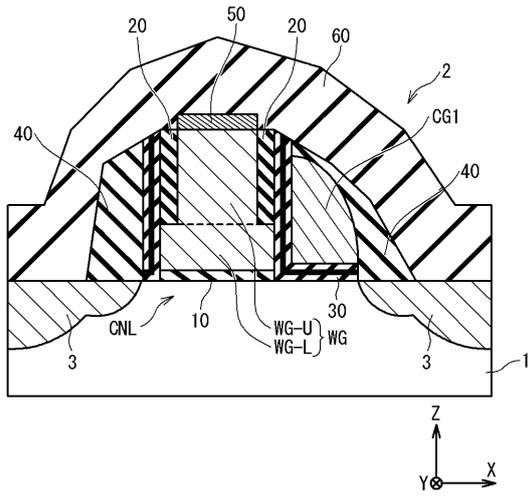
【 図 8 F 】



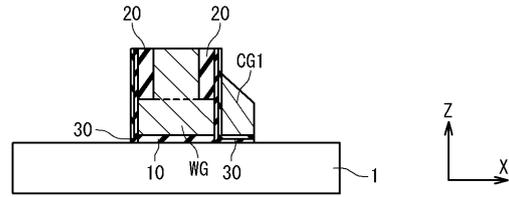
【 図 8 H 】



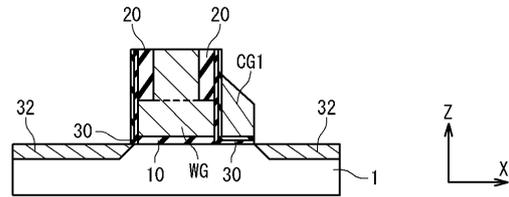
【 図 9 】



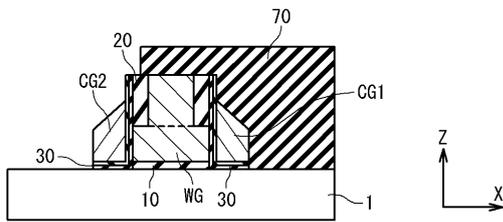
【 図 10 B 】



【 図 10 C 】



【 図 10 A 】



---

フロントページの続き

Fターム(参考) 5F101 BA45 BA46 BB03 BB08 BC05 BC11 BD07 BD22 BD35 BE02  
BE05 BE07 BF05 BF08 BF10 BH19