



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 600 07 702 T2 2004.12.02**

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 090 343 B1**

(21) Deutsches Aktenzeichen: **600 07 702.0**

(86) PCT-Aktenzeichen: **PCT/EP00/03412**

(96) Europäisches Aktenzeichen: **00 926 946.5**

(87) PCT-Veröffentlichungs-Nr.: **WO 00/67101**

(86) PCT-Anmeldetag: **14.04.2000**

(87) Veröffentlichungstag
der PCT-Anmeldung: **09.11.2000**

(97) Erstveröffentlichung durch das EPA: **11.04.2001**

(97) Veröffentlichungstag
der Patenterteilung beim EPA: **14.01.2004**

(47) Veröffentlichungstag im Patentblatt: **02.12.2004**

(51) Int Cl.7: **G06F 1/32**
G06F 1/04

(30) Unionspriorität:
300902 28.04.1999 US

(73) Patentinhaber:
**Koninklijke Philips Electronics N.V., Eindhoven,
NL**

(74) Vertreter:
Meyer, M., Dipl.-Ing., Pat.-Ass., 52076 Aachen

(84) Benannte Vertragsstaaten:
DE, FR, GB, NL

(72) Erfinder:
**DATTA, Dev, NL-5656 AA Eindhoven, NL; JENSEN,
H., Rune, NL-5656 AA Eindhoven, NL; WONG,
Calto, NL-5656 AA Eindhoven, NL; TAKISE,
Daisuke, NL-5656 AA Eindhoven, NL**

(54) Bezeichnung: **SCHLAFMODUSEINSCHALTUNG IN EINEM SLAVE-GERÄT**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

HINTERGRUND DER ERFINDUNG

1. Anwendungsgebiet der Erfindung

[0001] Die vorliegende Erfindung bezieht sich auf das Feld digitaler Systeme, und insbesondere auf Computersysteme, die primäre und sekundäre, oder Master- und Slave-, Vorrichtungskonfigurationen nutzen.

2. Beschreibung verwandter Technik

[0002] Die parallele Verarbeitung wird oft verwendet, um innerhalb eines Computersystems eine Reihe gleichzeitiger Aufgaben zu erfüllen. Spezielle Vorrichtungen, wie beispielsweise mathematische Koprozessoren, Audio- und Video-Koprozessoren und dergleichen, werden häufig benutzt, um den Hauptprozessor von Aufgaben zu entlasten und für die Ausführung anderer Aufgaben freizustellen, während die verlagerten Aufgaben simultan von den speziellen Vorrichtungen ausgeführt werden.

[0003] Eine häufig verlagerte Aufgabe ist das Codieren und Decodieren von Audioinformationen mittels eines Audio-Codec (COdierer-DECodierer), verkörpert beispielsweise durch eine Vorrichtung, die der Spezifikation "Audio Codec '97 Rev 2.1" der Intel Corporation (Reference 1) entspricht. Die fundamentale Aufgabe eines Audio-Codec besteht darin, digital codierte Informationen von einem Prozessor anzunehmen und ein entsprechendes analoges Audiosignal an einen Lautsprecher oder Kopfhörer weiterzuleiten, sowie analoge Audioinformationen von einem Mikrofon anzunehmen und digital codierte Informationen an das Verarbeitungssystem weiterzuleiten.

[0004] Aufgrund des steigenden Bedarfs an Multimediafähigkeiten wird die Verwendung mehrerer Codecs innerhalb eines Computersystems in zunehmendem Maße üblich. Die Architektur einer Mehrfach-Codec-Konfiguration in der erwähnten Spezifikation AC '97 gleicht der, die für andere Konfigurationen von Mehrfachinstanz-Vorrichtungen benutzt wird. Zur Vereinfachung der Verbindungslogistik sind die Mehrfach-Codecs so konfiguriert, dass sie parallel miteinander arbeiten, wie in **Fig. 1** dargestellt. **Fig. 1** veranschaulicht eine AC '97-kompatible digitale Steuereinheit **110** und drei Codecs **121–123**.

[0005] Um die Synchronisierungs- und Steuerungsanforderungen an das Computersystem zu vereinfachen, wird einer der Mehrfach-Codecs **121** als primärer oder Master-Codec bezeichnet und die anderen Codecs **122**, **123** werden jeweils als sekundäre oder Slave-Codecs bezeichnet. Die eindeutige Identifikation jedes Codecs **121–123** erfolgt über die mit den Kennbits ID0 und ID1 jedes Codecs verbundenen

Werte; mit zwei Kennbits lassen sich bis zu vier Codecs eindeutig identifizieren. Andere Mehrfachvorrichtungssysteme verwenden unter Umständen mehr oder weniger Bits, um mehr oder weniger Mehrfachinstanzen aufzunehmen. In einer typischen AC '97-Konfiguration sind die Codecs über externe Anschlussstifte, die mit einem Logisch-Null-Bus **140** oder einem Logisch-Eins-Bus **141** verbunden sind, eindeutigen Identifizierern zugeordnet. Wie in **Fig. 1** veranschaulicht, sind die Kennbits ID0 und ID1 des primären Codecs **121** mit dem Logisch-Null-Bus **140** verbunden, und deshalb lautet die Identifikation oder Adresse des primären Codecs **121** "00". In ähnlicher Form lauten die Adressen der Codecs **122** und **123** "01" bzw. "10". Wie bei dieser Technik üblich, kann die Polarität der Kennbits auch umgekehrt werden; die hier angegebenen spezifischen Werte dienen lediglich zur Veranschaulichung.

[0006] Die digitale Steuereinheit **110** in **Fig. 1** hat einen einzelnen Datenausgabeport SDATA_OUT **132**, der jedem der Codecs **121–123** parallel kommuniziert wird. Die digitale Steuereinheit verwendet die zuvor genannte eindeutige Adresse jedes Codecs, um die jeweiligen Informationen, oder Datenrahmen, zum entsprechenden Codec zu leiten. In **Fig. 2** ist ein Beispiel für einen Codec **120** nach dem Stand der Technik (von dem die Codecs **121–123** Instanzen sind) dargestellt, der für den Betrieb in einer Mehrfach-Codec-Konfiguration konfiguriert ist. Veranschaulicht ist in **Fig. 2** ein Eingangsrahmenpufferspeicher **210**, der jeden Datenrahmen von der Steuereinheit **110** (in **Fig. 2** nicht gezeigt) über SDATA_OUT **132** empfängt. Jeder Datenrahmen beinhaltet ein Adressfeld **212** und ein Befehlsfeld **214**, die die Vorrichtung, für die der Rahmen vorgesehen ist, sowie die erforderliche Aktion der Vorrichtung identifizieren. Nicht dargestellt ist, dass jeder Rahmen üblicherweise auch Datenbits und Hilfsbits enthält, wie beispielsweise Steuerbits, Fehlerfeldbits, Statusbits und dergleichen.

[0007] Der Codec **120** hat einen Adressdetektor **220**, der bestimmt, ob es sich um den vorgesehenen Empfänger des Datenrahmens handelt, indem er das Adressfeld **212** des Rahmens mit den Logikwerten vergleicht, die den Kennbits ID0 **200** und ID1 **201** der betreffenden Instanz des Codecs **120** zugeordnet wurden. Wenn das Adressfeld **212** mit den Kennbits **200**, **201** übereinstimmt, wird das Chip-Freigabesignal (CS) **221** bestätigt. Nachdem das Chip-Freigabesignal **221** bestätigt wurde, verarbeitet der Befehlsprozessor **230** den Befehl **214** und übermittelt die entsprechenden Befehle und Parameter für den Signalprozessor **240**, um den Befehl **214** auszuführen. Wenn das Chip-Freigabesignal **221** nicht bestätigt wird, ignoriert der Befehlsprozessor den Befehl **214**, und der Signalprozessor **240** kann ohne Unterbrechung jeden verbleibenden Verarbeitungsvorgang von früheren Befehlen verarbeiten, die an diesen Co-

dec adressiert waren. Auf diese Weise erhält jeder Codec **121–123** Zeit, seine primäre Signalverarbeitungsfunktion auszuführen, während der Verarbeitung von unzusammenhängenden Datenrahmen, die über den gemeinsamen Ausgang SDATA_OUT **132** empfangen werden, ein Minimum an Zeit gewidmet wird.

[0008] In Fig. 2 ist eine Schlaf- oder Abschaltungsschaltung **290** dargestellt. Nach Empfang eines an die jeweilige Vorrichtung **120** gerichteten Schlafbefehls **214** wird die Vorrichtung **120** in einen Modus mit minimaler Leistungsaufnahme versetzt. Bei Verwendung technisch üblicher Verfahren beinhaltet die Schlafschaltung **290** die Steuerlogik, die erforderlich ist um sicherzustellen, dass die Knotenpunkte in der Vorrichtung **120** in einen Zustand mit geringer Leistungsaufnahme versetzt werden, und, falls erforderlich, die Steuerlogik, die erforderlich ist, um sämtliche Daten zu speichern, die erhalten bleiben müssen, bis die Vorrichtung **120** wieder in einen aktiven Modus mit höherer Leistungsaufnahme gebracht wird. Typischerweise ist das Abschalten einer Vorrichtung ein mehrstufiger Vorgang; herkömmlicherweise beinhaltet die Schlafschaltung **290** sequentielle Vorrichtungen, für die das Taktsignal **131** die erforderlichen Taktsignale liefert, und es sind je nach Bedarf weitere sequentielle Vorrichtungen innerhalb der Vorrichtung **120** vorhanden.

[0009] In einer typischen Master-Slave-Konfiguration ist die Master-Vorrichtung häufig für Aufgaben verantwortlich, die für alle Vorrichtungen gleich sind. Eine Aufgabe eines typischen AC'97-Codecs besteht beispielsweise darin, das Taktsignal BIT_CLK **131** für die Kommunikation mit der Steuereinheit **110** zu liefern. In einer AC'97-Mehrfach-Codec-Konfiguration hat der primäre Codec **121** die Aufgabe, das Taktsignal **131** als Ausgangssignal zu liefern, und jeder der sekundären Codecs **122–123** muss dieses Taktsignal als Eingangssignal akzeptieren. Dieses gemeinsame Taktsignal wird typischerweise verwendet, um die Synchronisation einer Steuereinheit mit jeder der Master- und Slave-Vorrichtungen sicherzustellen.

[0010] Weil das Taktsignal von Master-Vorrichtung geliefert wird, beendet eine Abschaltung der Master-Vorrichtung jedoch das Taktsignal zu jeder der Slave-Vorrichtungen, wobei diese Beendigung insbesondere dann eine nachteilige Auswirkung auf den weiteren Betrieb der Slave-Vorrichtungen haben kann, wenn die Slave-Vorrichtungen dynamische Speicher enthalten, die periodisch aufgefrischt werden müssen, um ihren Zustand beizubehalten. Die Beendigung des Taktsignals kann auch eine nachteilige Auswirkung auf die Wirksamkeit des Abschaltungs- oder Schlafmodus haben, indem Knotenpunkte in potenziell Leistung aufnehmenden Zuständen verbleiben.

[0011] Um eine kontrollierte Abschaltung nach Beendigung des Taktsignals zu bewirken, muss die Slave-Vorrichtung erkennen, dass das Taktsignal gestoppt wurde, und daraufhin die geeigneten Aktionen ausführen, um alle erforderlichen Speicherinhalte zu speichern und sicherzustellen, dass sich alle Knotenpunkte in einem Zustand minimaler Leistungsaufnahme befinden. Fig. 2 veranschaulicht die herkömmliche Verwendung eines Taktbeendigungsdetektors **260**, um eine kontrollierte Abschaltung zu bewirken, nachdem das Signal BIT_CLK **131** keine Übergänge mehr ausführt. Im Taktbeendigungsdetektor **260** können analoge Schaltungen, zum Beispiel eine One-Shot-Zeitgeberschaltung, eingesetzt werden, um nach einer vorgegebenen Zeitdauer die Abwesenheit des Taktsignals **131** festzustellen. Alternativ ist häufig ein Hilfstaktgeber **250** zur Erzeugung eines Hilfstaktsignals **231** vorgesehen, der eingesetzt wird, um die Abwesenheit des Taktsignals **131** mittels digitaler Schaltungen festzustellen. Typischerweise ist der Hilfstaktgeber **250** eine quarzgesteuerte Schaltung, die einen externen Quarz erfordert, wodurch die Systemkosten und die Komplexität steigen. Da das Abschalten einer Vorrichtung normalerweise ein sequentieller Vorgang ist, wird das Hilfstaktsignal **231** auch benutzt, nachdem die Beendigung des gemeinsamen Taktsignals **131** festgestellt wurde, um das Taktsignal für die Durchführung des sequentiellen Abschaltvorgangs zu liefern.

KURZE ZUSAMMENFASSUNG DER ERFINDUNG

[0012] Die vorliegende Erfindung hat zur Aufgabe, die Kosten von Schaltungen zu reduzieren, die als Slave-Vorrichtungen konfigurierbar sind, indem die üblicherweise zur Erkennung der Beendigung eines gemeinsamen Taktsignals benutzten analogen Schaltungen eliminiert werden. Die vorliegende Erfindung hat weiterhin zur Aufgabe, die Kosten von Schaltungen zu reduzieren, die als Slave-Vorrichtungen konfigurierbar sind, indem die Notwendigkeit zur Erzeugung eines Hilfstaktsignals zur Erkennung der Beendigung eines gemeinsamen Taktsignals eliminiert wird. Die vorliegende Erfindung hat ferner zur Aufgabe, die Kosten von Schaltungen zu reduzieren, die als Slave-Vorrichtungen konfigurierbar sind, indem die Notwendigkeit zur Erzeugung eines Hilfstaktsignals eliminiert wird, das nach der Beendigung eines gemeinsamen Taktsignals genutzt wird. Die vorliegende Erfindung hat außerdem zur Aufgabe, die Zuverlässigkeit und Robustheit dieser Vorrichtungen zu verbessern. Die vorliegende Erfindung hat weiterhin zur Aufgabe, einen AC'97-kompatiblen Codec zu schaffen, der für den Einsatz in einer Mehrfach-Codec-Konfiguration geeignet ist, die sich einfacher herstellen und prüfen lässt als herkömmliche AC'97-kompatible Codecs.

[0013] Diese sowie weitere Aufgaben werden durch die Schaffung von Mitteln erfüllt, um die Beendigung

des Taktsignals vorherzusehen und dadurch die Notwendigkeit zu eliminieren, die Beendigung des Taktsignals explizit zu detektieren, wie in den Ansprüchen 1 und 5 dargelegt. Nachdem die Beendigung des Taktsignals vorhergesehen wurde, wird das verbleibende Taktsignal vor der Beendigung nach Bedarf genutzt, um eine kontrollierte Abschaltung der Slave-Vorrichtung zu bewirken. Durch Eliminieren der Notwendigkeit eines analogen Taktbeendigungsdetektors lassen sich die mit analogen Schaltungen verbundenen Prozesstoleranzbeschränkungen vermeiden, die Zuverlässigkeit und Robustheit des Entwurfs wird verbessert und die erforderliche Prüfung vereinfacht, was die Kosten der Vorrichtung reduziert. Auf ähnliche Weise werden durch die Eliminierung eines Hilfstaktsignals die Systemkosten und die Komplexität der Vorrichtung reduziert und die Zuverlässigkeit und Prüfbarkeit des Systems und der Vorrichtung insgesamt verbessert. Gemäß dieser Erfindung wird das Vorhersehen der Taktsignalbeendigung erreicht, indem die Kommunikation unter den Vorrichtungen in Bezug auf Befehle überwacht wird, die die Erzeugung des Taktsignals voraussichtlich beeinträchtigen können.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0014] Die Erfindung wird im Folgenden anhand von Beispielen ausführlicher beschrieben, wobei auf die begleitenden Zeichnungen Bezug genommen wird. Es zeigen:

[0015] Fig. 1 ein Beispiel für eine Master-Slave-Konfiguration nach dem Stand der Technik.

[0016] Fig. 2 ein Beispiel für eine Slave-Vorrichtung mit einem Taktbeendigungsdetektor nach dem Stand der Technik.

[0017] Fig. 3 ein Beispiel für eine Slave-Vorrichtung mit einem Taktbeendigungsvorhersager gemäß dieser Erfindung.

AUSFÜHRLICHE BESCHREIBUNG DER ERFINDUNG

[0018] Die vorliegende Erfindung beruht auf der Beobachtung, dass man die kontrollierte Beendigung eines Taktsignals vorhersehen kann, indem man die Befehle beobachtet oder "ausspioniert", die die Erzeugung des Taktsignals beeinflussen.

[0019] Fig. 3 zeigt ein Beispiel für ein Blockschaltbild eines AC'97-kompatiblen Codecs **320**, der sich für die Verwendung in der als Beispiel bezeichneten Mehrfach-Codec-Konfiguration aus Fig. 1 eignet. In Fig. 3 haben Elemente mit demselben Bezugszeichen wie in den Fig. 1 und 2 dieselbe Funktion wie oben unter Bezugnahme auf diese Figuren beschrieben. Zum besseren Verständnis dient das Beispiel für

eine Mehrfach-Codec-Anwendung hier als Musterbeispiel für typische Master-Slave-Konfigurationen. Obwohl die vorliegende Erfindung unter Bezugnahme auf die Verwendung eines AC'97-Mehrfach-Codec-Beispiels dargelegt wird, wird der Fachmann erkennen, dass die hier dargestellten Prinzipien auf ähnlich konfigurierte Master-Slave-Vorrichtungen anwendbar sind. Zu beachten ist auch, dass die Bezeichnungen "Master" und "Slave" hier in einem allgemeinen Sinn verwendet werden: die Master-Vorrichtung ist eine Vorrichtung, die Taktsignale liefert, und die Slave-Vorrichtung ist eine Vorrichtung, die Taktsignale von der Master-Vorrichtung empfängt.

[0020] Im Beispiel-Codec **320** aus Fig. 3 wird ein Taktbeendigungsvorhersager **360** benutzt, um Befehle zu erkennen, die erwartungsgemäß zu einer Beendigung des Taktsignals **131** führen können. Im Beispiel eines AC'97-kompatiblen primären Codecs erfordert beispielsweise ein Befehl, der das Bit "PR4" des "Abschaltregisters" (Bit 12 des Registers '26H) des adressierten Codecs setzt, dass der adressierte Codec den "Audio-Codec-Link" (AC-Verbindung) zwischen der Steuereinheit **110** und der adressierten Vorrichtung beendet und dessen externen Takt abschaltet. Ähnlich ist beim AC'97-kompatiblen primären Modem-Codec das Setzen des Bits "MLNK" des "Miscellaneous Modem AFE Status and Control Register" (Bit 12 des Registers '56H) ebenfalls ein Befehl zum Abschalten der AC-Verbindung. Im Beispiel des AC'97-kompatiblen Codecs wird das Taktsignal BIT CLK **131** durch den primären Codec niedrig gehalten, wenn der primäre Codec einen der Befehle von der Steuereinheit **110** empfängt, um die AC-Verbindung abzuschalten. Andere Konfigurationen haben einen ähnlichen endlichen Befehls- und Adressatensatz, der eine Beendigung des Taktsignals bewirkt. Der beispielhafte Taktbeendigungsvorhersager **360** ist so ausgelegt, dass er die Taktbeendigungsbefehle erkennt, die an den primären Codec adressiert werden. Der Taktbeendigungsvorhersager **360** empfängt die Adresse **212** und den Befehl **214** vom Eingangsrahmenpufferspeicher **210**. Der Taktbeendigungsvorhersager **360** umfasst einen Adressdetektor **370** und einen Schlafbefehlsdetektor **380**. Der Adressdetektor **370** ist so konfiguriert, dass er die Adresse der Vorrichtung, oder der Vorrichtungen, erkennt, die einen Befehl zur Taktbeendigung empfangen können. In diesem Beispiel definiert die AC'97-Spezifikation die Adresse des primären Codecs mit "00" und jede der sekundären als Nicht-00-Kombinationen. Gemäß der AC'97-Spezifikation bestätigt das WEDER-NOCH-Gatter **375** nur dann ein primäres Freigabesignal **371**, wenn die eingegebene Adresse **212** "00" ist.

[0021] Der Schlafbefehlsdetektor **380** wird aktiviert, wenn das primäre Freigabesignal **371** bestätigt wird, was darauf hinweist, dass der primäre Codec adressiert wird, und bestätigt ein antizipiertes Taktbeendi-

gungssignal **381**, wenn es sich bei dem Befehl **214** um einen der zuvor erwähnten Befehle handelt, die zu einer Taktbeendigung führen. Die Schlafschaltung **390** gleicht der Schlafschaltung **290** aus Fig. 2 mit der Ausnahme, dass sie nicht nur auf explizit an die Vorrichtung **320** adressierte Schlafbefehle reagiert, sondern zusätzlich auch auf das antizipierte Taktbeendigungssignal **381**, um die Vorrichtung **320** in einen Abschaltenschlafmodus zu versetzen. Gemäß den Prinzipien dieser Erfindung heißt das beispielsweise, dass wenn die Adresse **212** die primäre Codec-Adresse "00" angibt, und der Befehl **214** angibt, dass das zuvor erwähnte Bit "PR4" oder das Bit "MLNK" auf einen logischen Wert 1 gesetzt ist, die Schlafschaltung **390** die erforderlichen Steuersignale liefert, um die Vorrichtung **320** in einen Schlafmodus zu versetzen. Da die Vorrichtung **320** die Übermittlung des Befehls, der den Master-Codec in einen Schlafmodus versetzen wird, in demselben Moment erkennt, in dem der Master-Codec den Befehl detektieren kann, hat die Vorrichtung **320** genauso viel Zeit wie der Master-Codec, um eine kontrollierte Abschaltung zu bewirken. Das heißt beispielsweise, dass wenn der primäre Codec nach Empfang eines Schlafmodusbefehls drei Taktzyklen benötigt, um seine programmierten Einstellungen zu erhalten und seine Knotenpunkte in einen Zustand mit geringer Leistungsaufnahme zu versetzen, der sekundäre Codec **320** dieselben drei Taktzyklen hat, um seine programmierten Einstellungen zu erhalten und seine Knotenpunkte in einen Zustand mit geringer Leistungsaufnahme zu versetzen, wobei die drei Taktzyklen durch eine Fortsetzung des Taktsignals BIT_CLK **131** so lange bereitgestellt werden, bis die Master-Vorrichtung in den Schlafmodus wechselt. Auf diese Weise befindet sich der sekundäre Codec **320** im Schlafmodus, wenn der primäre Codec die Erzeugung des Taktsignals BIT_CLK **131** beendet, und es ist kein Hilfstaktsignal zur Durchführung weiterer sequentieller Aktionen erforderlich.

[0022] Ein weiterer wichtiger Vorteil der Vorhersage der Beendigung des Taktsignals **131** besteht darin, dass der Codec die erforderlichen Zeit- und Taktsignale erhält, um die Unterbrechungserzeugungsschaltung zu aktivieren, die während des abgeschalteten Zustands des Codecs verwendet wird. Beispielsweise kann ein Wählton in einer Telefonleitung eine Unterbrechung erzeugen, die es erforderlich macht, den Codec **320** aus seinem Schlafmodus wieder in einen aktiven Status zu bringen. Diese Unterbrechung wird der digitalen AC'97-Steuereinheit übermittelt, indem der Codec SDATA IN **133** auf Hoch setzt. Daher müssen die Schaltungen im Codec **320**, die die Unterbrechungserzeugung erlauben, aktiviert werden, wenn der Codec **320** abgeschaltet wird. Ein weiterer Aspekt der Vorhersage der Beendigung des Taktsignals **131** besteht darin, dass der Codec **320** typischerweise erforderlich ist, um den Rest eines eingehenden Rahmens, beispielsweise des Rahmens, in dem der

Befehl zur Beendigung des Taktes erkannt wurde, zu verwerfen und darauf vorbereitet zu sein, einen vollkommen neuen Rahmen zu empfangen, nachdem die digitale AC'97-Steuereinheit **110** eine "Warm-Rückstellung" **134** ausgibt und der Codec **320** wieder zum normalen Betrieb in einem aktiven Modus mit höherer Leistungsaufnahme zurückkehrt.

[0023] Es ist zu beachten, dass infolge der Vorhersage der Beendigung des Taktsignals BIT_CLK **131** durch den Taktbeendigungsvorhersager **360** weder eine analoge Zeitgeberschaltung noch ein Hilfstakt erforderlich ist, um die eigentliche Taktbeendigung zu erkennen. Indem die Notwendigkeit eines analogen Taktbeendigungsdetektors eliminiert wird, lassen sich die mit analogen Schaltungen verbundenen Prozesstoleranzbeschränkungen vermeiden, die Zuverlässigkeit und Robustheit des Entwurfs verbessert und die erforderliche Prüfung vereinfacht, wodurch die Kosten der Vorrichtung reduziert werden. Auf ähnliche Weise werden durch die Eliminierung eines Hilfstaktsignals die Systemkosten und die Komplexität der Vorrichtung reduziert und die Zuverlässigkeit und Prüfbarkeit des Systems und der Vorrichtung werden insgesamt verbessert.

[0024] Das Vorhergehende veranschaulicht lediglich die Prinzipien der Erfindung. Es ist daher zu beachten, dass Fachkundige in der Lage sein werden, verschiedene Anordnungen zu entwickeln, die, obwohl hier nicht explizit beschrieben oder gezeigt, die Prinzipien der Erfindung verkörpern und daher ihrem Sinn und Umfang entsprechen. Der Taktbeendigungsbefehl beispielsweise wurde als einer dargestellt, der bekanntermaßen zur Beendigung des Taktsignals führt. In manchen Systemen können bestimmte Befehle eine bedingte Beendigung des Taktsignals erzeugen. Das bedeutet, dass die Beendigung des Taktsignals von anderen Faktoren oder Parametern abhängen kann, die nicht in dem vom Schlafbefehlsdetektor **380** überwachten Befehl **214** enthalten sind. In derartigen Systemen kann die Vorrichtung **320** so konfiguriert werden, dass sie nach Erkennung des bedingten Beendigungsbefehls in den Schlafmodus wechselt, und den Schlafmodus dann verlässt, wenn das Taktsignal nach seiner antizipierten Beendigungszeit auftritt. Auf ähnliche Weise wurde der Taktbeendigungsbefehl dargestellt, als würde er auf derselben Signalleitung SDATA_OUT **131** wie die Befehle auftreten, die an die Vorrichtung **320** geleitet werden. Wie der Fachkundige erkennen wird, kann der Eingang zum Taktbeendigungsvorhersager **360** entsprechend modifiziert werden, um beliebige andere Signalleitungen mit Befehlen oder Signalen bereitzustellen, die die Erzeugung des Taktsignals für die Vorrichtung **320** beeinflussen.

[0025] Die Vorrichtung **320** kann als Hardware, Software oder in Form einer Kombination aus beidem realisiert sein. Der Signalprozessor **240** kann zum

Beispiel als eine elektronische Schaltung realisiert sein, während der Befehlsprozessor **230** und der Schlafbefehlsdetektor **380** in einem Firmwareprogramm enthalten sein können, das in einem integrierten Prozessor läuft, oder in einem Programm, das auf einem separaten Verarbeitungssystem läuft. Die in den Figuren beispielhaft dargestellte Vorrichtungsarchitektur und Partitionierung von Funktionen dient lediglich zur Veranschaulichung. Der Schlafbefehlsdetektor **380** kann sich zum Beispiel innerhalb des Befehlsprozessors **230** befinden, weil der Befehlsprozessors **230** in der Regel einen Schlafbefehlsdetektor enthält, der dazu dient, explizit an die sekundäre Vorrichtung **320** adressierte Schlafbefehle zu erkennen. Desgleichen kann die Funktion der Schlafschaltung **390** in der Vorrichtung **320** verteilt sein. In ähnlicher Weise werden die mit jedem funktionellen Block verbundenen Aufgaben typischerweise von der eingesetzten Technologie abhängen. Eine CMOS-Vorrichtung zum Beispiel hat in jedem der beiden Logikzustände eine minimale Leistungsaufnahme, und die Schlafschaltung **390** braucht daher nicht die Knotenpunkte innerhalb einer CMOS-Implementierung der Vorrichtung **320** zu steuern, um einen Niedrigenergiezustand zu erreichen, und braucht nur ein Steuersignal zu liefern, um die Ausgabestifte der Vorrichtung **320** in jeden Zustand zu versetzen, den die Spezifizierung in einem Niedrigenergiemodus verlangt. Diese verschiedenen Anordnungen sowie weitere werden dem Fachkundigen offensichtlich sein und liegen im beabsichtigten Umfang der folgenden Ansprüche.

REFERENZEN

1. Audio Codec '97, Revision 2.1, May 22, 1998, Intel Corporation. Copyright 1998 Intel Corporation, 5200 N.E. Elam Young Parkway, Hillsboro, OR 97124-6497.

Patentansprüche

1. Verarbeitungsvorrichtung (**320**), die für die Benutzung als eine Slave-Vorrichtung (**122**) geeignet ist, das für den Betrieb mittels eines von einer Master-Vorrichtung (**121**) erzeugten Taktsignals (**131**) konfiguriert ist, wobei die Verarbeitungsvorrichtung (**320**) Folgendes umfasst:
einen Signalprozessor (**240**), der für einen Betrieb in Abhängigkeit von dem Taktsignal (**131**) konfiguriert ist, wobei der Signalprozessor (**240**) einen aktiven und einen Schlafmodus hat,
einen Taktbeendigungsvorhersager (**360**), der dafür konfiguriert ist, einen Eingang zur Master-Vorrichtung (**121**) zu überwachen, um ein Vorhersagesignal (**381**) zu liefern, bevor das Taktsignal (**131**) beendet wird, und
eine Schlafschaltung (**390**), die betriebsfähig mit dem Taktbeendigungsvorhersager (**360**) und dem Signalprozessor (**240**) gekoppelt und dafür konfiguriert ist,

den Signalprozessor (**240**) in Abhängigkeit vom Vorhersagesignal (**381**) in den Schlafmodus zu versetzen.

2. Verarbeitungsvorrichtung (**320**) nach Anspruch 1, wobei
der Eingang (**132**) zur Master-Vorrichtung (**121**) durch eine primäre Geräteadresse identifiziert wird, und
der Taktbeendigungsvorhersager (**360**) Folgendes umfasst: einen primären Adressdetektor (**370**), der dafür konfiguriert ist, ein primäres Freigabesignal (**371**) zu bestätigen, wenn die primäre Geräteadresse am Eingang (**132**) zur Master-Vorrichtung (**121**) erkannt wird, und
einen Schlafmodusdetektor (**380**), der dafür konfiguriert ist, in Abhängigkeit von dem primären Freigabesignal (**371**) und einem Taktbeendigungsbefehl am Eingang (**132**) zur Master-Vorrichtung (**121**) das Vorhersagesignal (**381**) zu liefern.

3. Verarbeitungsvorrichtung (**320**) nach Anspruch 2, wobei
ein Eingang (**132**) zur Verarbeitungsvorrichtung (**320**) durch eine sekundäre Vorrichtungsadresse identifiziert wird, die sich von der primären Vorrichtungsadresse unterscheidet, und
die Verarbeitungsvorrichtung (**320**) weiterhin Folgendes umfasst:
einen sekundären Adressdetektor (**220**), der dafür konfiguriert ist, ein Chip-Freigabesignal (**221**) zu bestätigen, wenn die sekundäre Vorrichtungsadresse am Eingang (**132**) zur Verarbeitungsvorrichtung (**320**) erkannt wird, und
einen Befehlsprozessor (**230**), der dafür konfiguriert ist, in Abhängigkeit vom Chip-Freigabesignal (**221**) und einem Taktbeendigungsbefehl am Eingang (**132**) zur Verarbeitungsvorrichtung (**320**) den Signalprozessor (**240**) in den Schlafmodus zu versetzen.

4. Verarbeitungsvorrichtung (**320**) nach Anspruch 3, wobei der Eingang (**132**) zur Verarbeitungsvorrichtung (**320**) den Eingang (**132**) zur Master-Vorrichtung (**121**) beinhaltet.

5. Codec (**320**), der Folgendes umfasst:
einen Eingangsrahmenpufferspeicher (**210**) zum Speichern eines Eingangsrahmens, der ein Adressfeld (**212**) und ein Befehlsfeld (**214**) beinhaltet,
einen Signalprozessor (**240**) mit einem aktiven Modus und einem Schlafmodus,
einen ersten Adressdetektor (**370**), der ein primäres Chip-Freigabesignal (**371**) bestätigt, wenn das Adressfeld (**212**) eine erste Adresse enthält, und
einen zweiten Adressdetektor (**220**), der ein primäres Chip-Freigabesignal (**221**) bestätigt, wenn das Adressfeld (**212**) eine zweite Adresse enthält, und
eine Schlafsteuereinheit (**390**), die den Signalprozessor (**240**) in den Schlafmodus versetzt, wenn das Befehlsfeld (**214**) einen Schlafbefehl enthält und min-

destens entweder das primäre Freigabesignal (**371**) oder das Chip-Freigabesignal (**221**) bestätigt wird.

6. Codec (**320**) nach Anspruch 5, der weiterhin Folgendes umfasst:

einen Schlafbefehlsdetektor (**380**), der die Schlafsteuereinheit (**390**) benachrichtigt, wenn das Befehlsfeld (**214**) den Schlafbefehl enthält.

7. Codec (**320**) nach Anspruch 5, wobei: der Signalprozessor (**240**) in Abhängigkeit von einem Taktsignal (**131**) arbeitet, das von einer primären Vorrichtung (**121**) mit einer Vorrichtungsadresse geliefert wird, die der ersten Adresse entspricht.

8. Codec (**320**) nach Anspruch 5, wobei der Codec (**320**) ein AC'97-kompatibler Codec ist.

9. System, das Folgendes umfasst:

eine Vielzahl von Codecs (**121–123**), die jeweils eine zugehörige Codec-Adresse haben, wobei die Vielzahl von Codecs (**121–123**) einen primären Codec (**121**) und mindestens einen sekundären Codec (**320**) umfasst, und

eine digitale Steuereinheit (**110**), die der Vielzahl von Codecs (**121–123**) Rahmen übermittelt, wobei jeder Rahmen ein Adressfeld (**212**) und ein Befehlsfeld (**214**) beinhaltet, wobei der mindestens eine sekundäre Codec (**320**) wie in Anspruch 5 ausgeführt ist.

10. System nach Anspruch 9, wobei der mindestens eine sekundäre Codec (**320**) weiterhin Folgendes umfasst:

einen Schlafbefehlsdetektor (**380**), der die Schlafsteuereinheit (**390**) benachrichtigt, wenn das Befehlsfeld (**214**) den Schlafbefehl enthält.

11. System nach Anspruch 9, wobei:

der Signalprozessor (**240**) in Abhängigkeit von einem Taktsignal (**131**) arbeitet, das von einer primären Vorrichtung (**121**) mit einer Vorrichtungsadresse geliefert wird, die der ersten Adresse entspricht.

12. System nach Anspruch 11, wobei die primäre Vorrichtung der primäre Codec (**121**) ist.

13. System nach Anspruch 9, wobei das System ein AC'97-kompatibles System ist.

14. System nach Anspruch 9, das weiterhin Folgendes umfasst:

eine Berechnungsvorrichtung, die die Verarbeitung von Audioinformationen entlastet, indem die Audioinformationen zwecks Verarbeitung durch die Vielzahl von Codecs (**121–123**) zur digitalen Steuereinheit (**110**) übermittelt werden.

Es folgen 3 Blatt Zeichnungen

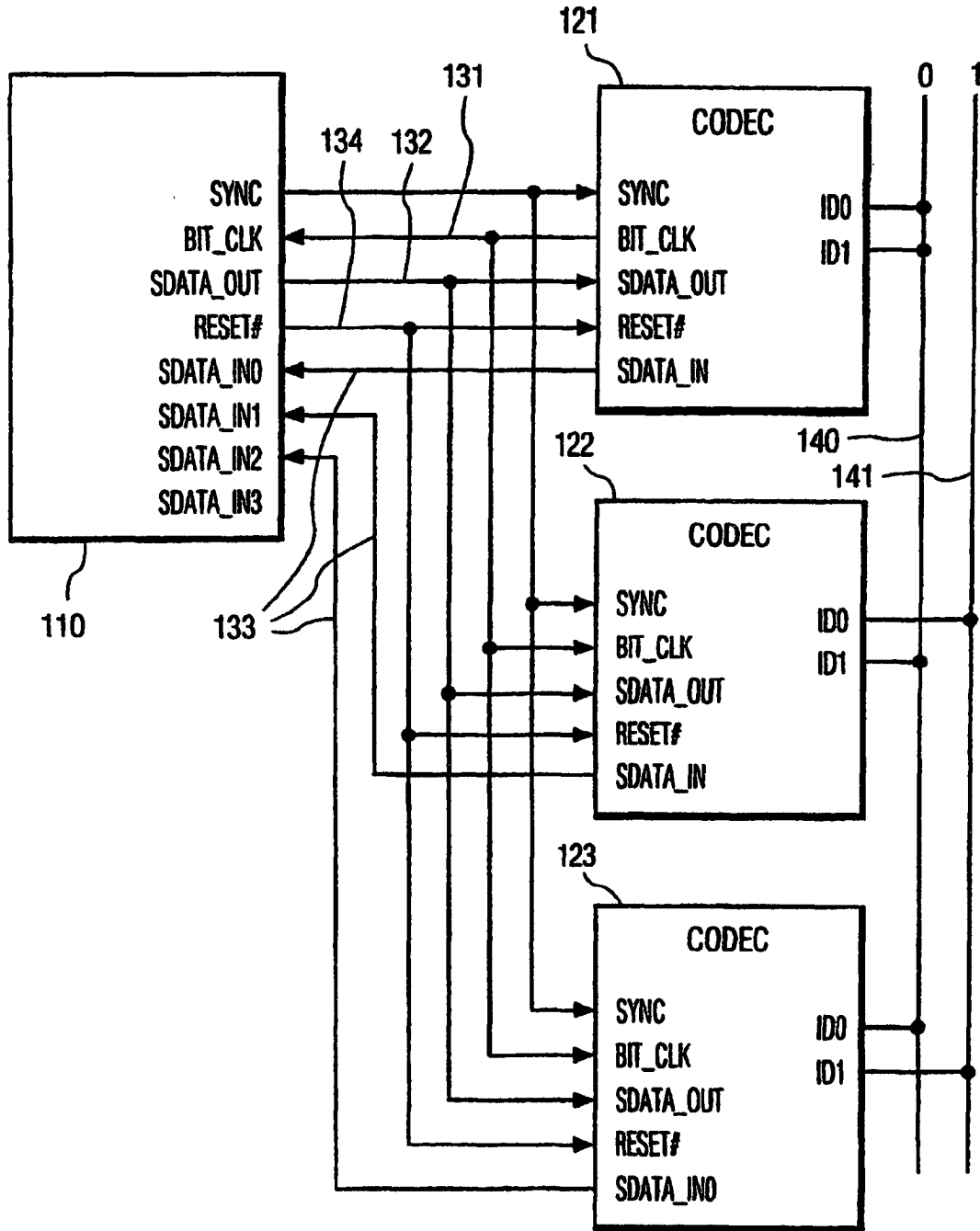


FIG. 1

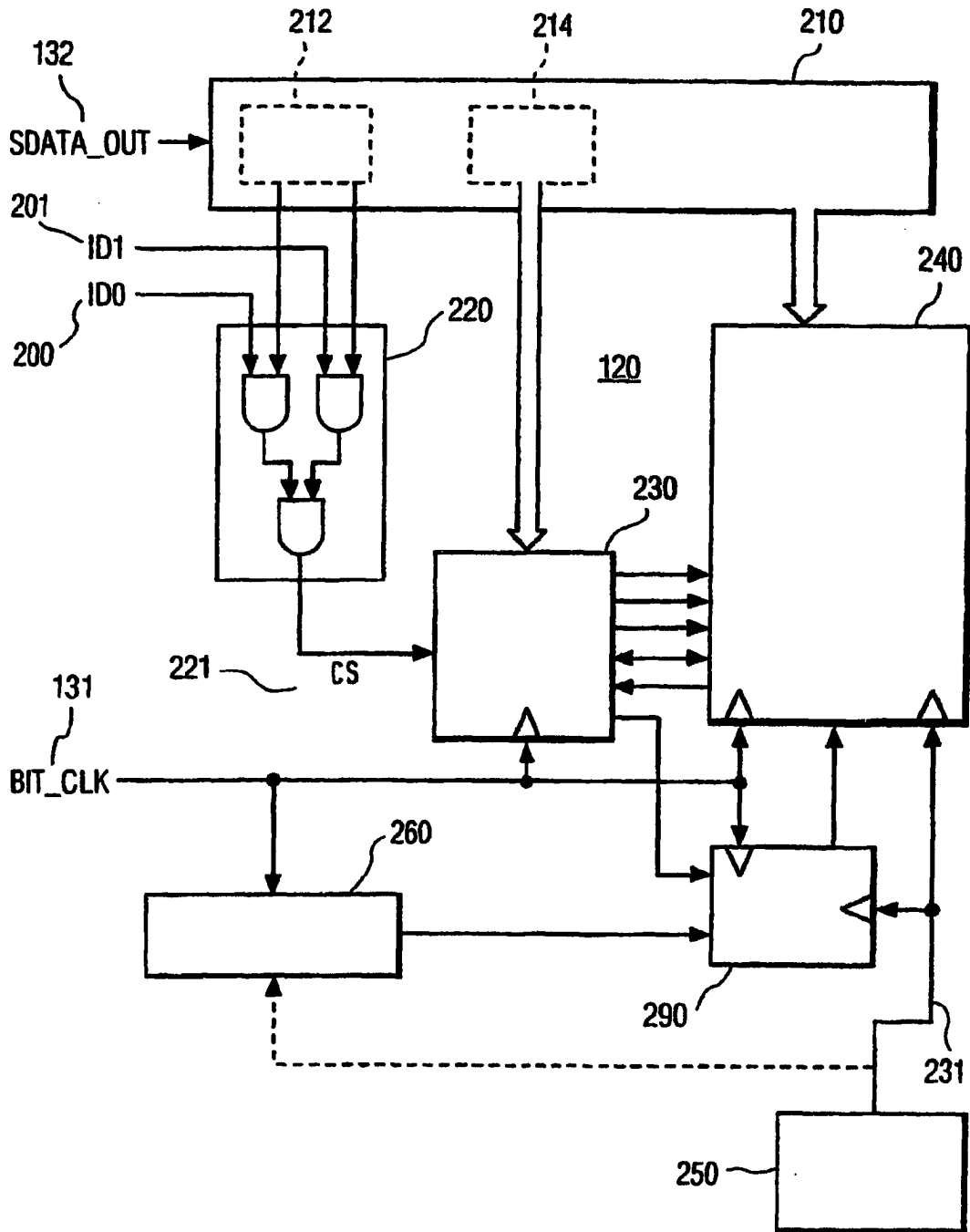


FIG. 2

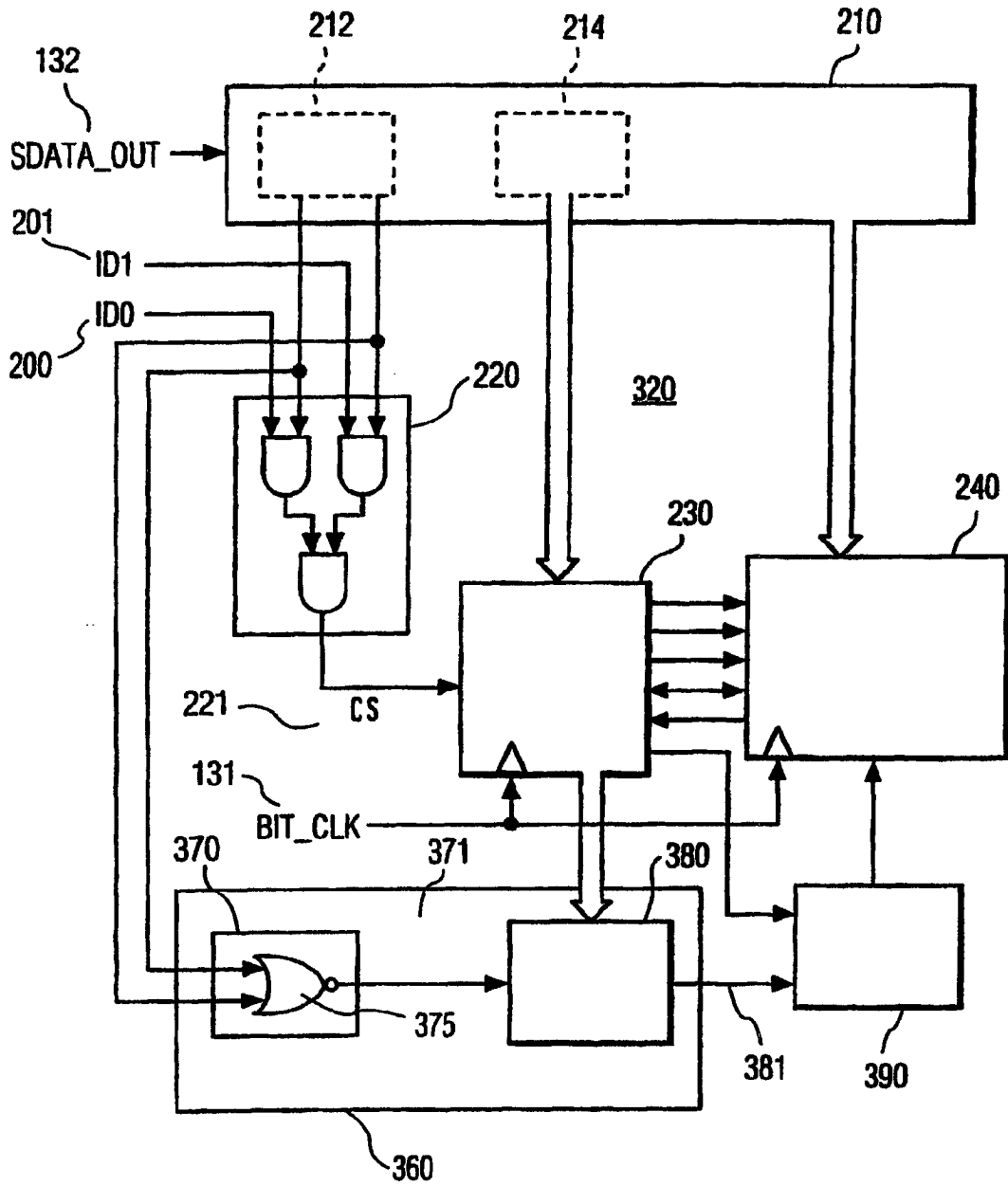


FIG. 3