(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년08월25일
(11) 등록번호 10-0854078
(24) 등록일자 2008년08월19일

(51) Int. Cl.
H01L 21/334 (2006.01)
(21) 출원번호 10-2001-0056219
(22) 출원일자 2001년09월12일
심사청구일자 2006년09월07일
(65) 공개번호 10-2003-0023189
(43) 공개일자 2003년03월19일
(56) 선행기술조사문헌
KR1019970024290 A
(뒷면에 계속)

(73) 특허권자
페어차일드코리아반도체 주식회사
경기 부천시 원미구 도당동 82-3
(72) 발명자
윤종만
서울특별시용산구이촌동이촌아파트110동101호
김수성
서울특별시용산구효창동효창아파트B동305호
(뒷면에 계속)
(74) 대리인
리앤목특허법인

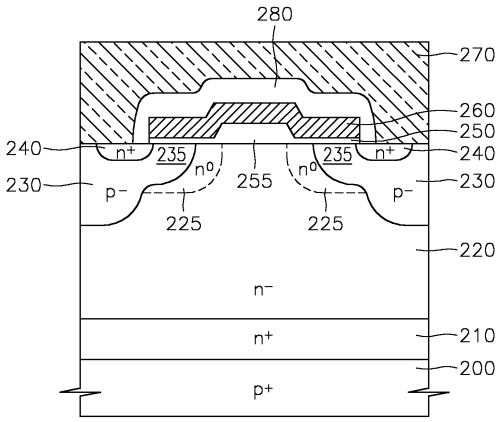
전체 청구항 수 : 총 11 항 심사관 : 김희주

(54) 모스 게이트형 전력용 반도체소자 및 그 제조방법

(57) 요 약

본 발명의 모스 게이트형 전력용 반도체 소자는, 컬렉터 영역으로 사용되는 고농도의 제1 도전형을 갖는 반도체 기판과, 반도체 기판 위에서 저농도의 제2 도전형을 갖는 드리프트 영역과, 드리프트 영역 위에서 중심부에서의 두께가 가장자리에서의 두께보다 상대적으로 두껍게 형성된 게이트 절연막과, 게이트 절연막 위에 형성된 게이트 전극과, 채널 형성 영역을 포함하며, 채널 형성 영역이 게이트 전극의 일부와 중첩되도록 드리프트 영역의 상부에 형성된 저농도의 제1 도전형의 웰 영역과, 제1 도전형의 웰 영역 상부에서 채널 영역 영역과 인접되도록 형성된 고농도의 제2 도전형의 에미터 영역과, 에미터 영역과 전기적으로 연결되면서 게이트 전극과는 전기적으로 절연되도록 형성된 에미터 전극, 및 반도체 기판과 전기적으로 연결되도록 형성된 컬렉터 전극을 구비한다.

대표도 - 도2



(72) 발명자

이규현

경기도부천시원미구중3동소라아파트307동1206호

김영철

인천광역시남동구만수1동주공아파트805동907호

(56) 선행기술조사문헌

KR1019970054438 A

KR1019990027859 A

KR1020000003660 A

KR1020000008375 A

KR1020000013509 A

KR1020000015104 A

특허청구의 범위

청구항 1

컬렉터 영역으로 사용되는 고농도의 제1 도전형을 갖는 반도체 기판;

상기 반도체 기판 위에서 저농도의 제2 도전형을 갖는 드리프트 영역;

상기 드리프트 영역 위에서 중심부에서의 두께가 가장자리에서의 두께보다 상대적으로 두껍게 형성된 게이트 절연막;

상기 게이트 절연막 위에 형성된 게이트 전극;

채널 형성 영역을 포함하며, 상기 채널 형성 영역이 상기 게이트 전극의 일부와 중첩되도록 상기 드리프트 영역의 상부에 형성된 저농도의 제1 도전형의 웰 영역;

상기 제1 도전형의 웰 영역 상부에서 상기 채널 영역 영역과 인접되도록 형성된 고농도의 제2 도전형의 에미터 영역;

상기 에미터 영역과 전기적으로 연결되면서 상기 게이트 전극과는 전기적으로 절연되도록 형성된 에미터 전극; 및

상기 반도체 기판과 전기적으로 연결되도록 형성된 컬렉터 전극을 구비하며,

상기 드리프트 영역 내의 불순물 농도 분포는,

상대적으로 두께가 얇은 게이트 절연막과 접하는 부분에서의 불순물 농도가 상대적으로 두께가 두꺼운 게이트 절연막과 접하는 부분에서의 불순물 농도보다 더 고농도인 것을 특징으로 하는 모스 게이트형 전력용 반도체 소자.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 반도체 기판 및 상기 드리프트 영역 사이에 형성된 고농도의 제2 도전형의 버퍼층을 더 구비하는 것을 특징으로 하는 모스 게이트형 전력용 반도체 소자.

청구항 4

제1항에 있어서,

상기 제1 도전형은 p형이고 상기 제2 도전형은 n형인 것을 특징으로 하는 모스 게이트형 전력용 반도체 소자.

청구항 5

드레인 영역으로 사용되는 고농도의 제1 도전형을 갖는 반도체 기판;

상기 반도체 기판 위에서 저농도의 제1 도전형을 갖는 드리프트 영역;

상기 드리프트 영역 위에서 중심부에서의 두께가 가장자리에서의 두께보다 상대적으로 두껍게 형성된 게이트 절연막;

상기 게이트 절연막 위에 형성된 게이트 전극;

채널 형성 영역을 포함하며, 상기 채널 형성 영역이 상기 게이트 전극의 일부와 중첩되도록 상기 드리프트 영역의 상부에 형성된 저농도의 제2 도전형의 웰 영역;

상기 제2 도전형의 웰 영역 상부에서 상기 채널 영역 영역과 인접되도록 형성된 고농도의 제1 도전형의 소스 영역;

상기 소스 영역과 전기적으로 연결되면서 상기 게이트 전극과는 전기적으로 절연되도록 형성된 소스 전극; 및

상기 반도체 기판과 전기적으로 연결되도록 형성된 드레인 전극을 구비하며,

상기 드리프트 영역 내의 불순물 농도 분포는,

상대적으로 두께가 얇은 게이트 절연막과 접하는 부분에서의 불순물 농도가 상대적으로 두께가 두꺼운 게이트 절연막과 접하는 부분에서의 불순물 농도보다 더 고농도인 것을 특징으로 하는 모스 게이트형 전력용 반도체 소자.

청구항 6

삭제

청구항 7

제5항에 있어서,

상기 제1 도전형은 n형이고 상기 제2 도전형은 p형인 것을 특징으로 하는 모스 게이트형 전력용 반도체 소자.

청구항 8

반도체 기판 위에 저농도의 제1 도전형의 드리프트 영역을 형성하는 단계;

상기 드리프트 영역 위에 제1 두께의 제1 게이트 절연막을 형성하는 단계;

상기 제1 게이트 절연막을 이온 주입 마스크로 하여 상기 저농도의 드리프트 영역보다 상대적으로 고농도인 제1 도전형의 할로 영역을 형성하는 단계;

상기 저농도의 드리프트 영역 및 할로 영역 위에 상기 제1 두께보다 얇은 제2 두께를 갖는 제2 게이트 절연막을 형성하는 단계;

상기 제1 및 제2 게이트 절연막 위에 게이트 전극을 형성하는 단계:

상기 게이트 전극을 이온 주입 마스크로 하여 상기 할로 영역과 인접되도록 저농도의 제2 도전형의 웰 영역을 형성하는 단계:

상기 게이트 전극 및 소정의 마스크막 패턴을 이온 주입 마스크로 하여 상기 웰 영역 내에 고농도의 제1 도전형의 불순물 영역을 형성하는 단계;

상기 제1 도전형의 불순물 영역과 전기적으로 연결되는 제1 금속 전극을 형성하는 단계; 및

상기 반도체 기판과 전기적으로 연결되는 제2 금속 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 모스 게이트형 전력용 반도체 소자의 제조 방법.

청구항 9

제8항에 있어서,

상기 반도체 기판은 고농도의 제2 도전형인 것을 사용하는 것을 특징으로 하는 모스 게이트형 전력용 반도체 소자의 제조 방법.

청구항 10

제9항에 있어서,

상기 고농도의 제2 도전형의 반도체 기판과 상기 저농도의 제1 도전형의 드리프트 영역 사이에 고농도의 제1 도전형의 버퍼층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 모스 게이트형 전력용 반도체 소자의 제조 방법.

청구항 11

제8항에 있어서,

상기 게이트 전극 측면에 게이트 스페이서를 형성하는 단계; 및

상기 게이트 전극, 게이트 스페이서 및 제1 게이트 절연막을 이온 주입 마스크로 하여 상기 웰 영역 내에 고내압용 고농도의 제2 도전형의 불순물 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 모스 게이트형 전력용 반도체 소자의 제조 방법.

청구항 12

제8항에 있어서,

상기 반도체 기판은 고농도의 제1 도전형인 것을 사용하는 것을 특징으로 하는 모스 게이트형 전력용 반도체 소자의 제조 방법.

청구항 13

제8항 내지 제12항 중 어느 하나의 항에 있어서,

상기 제1 도전형은 n형이고 상기 제2 도전형은 p형인 것을 특징으로 하는 모스 게이트형 전력용 반도체 소자의 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<7> 본 발명은 전력용 반도체 소자 및 그 제조 방법에 관한 것으로서, 특히 모스 게이트형 전력용 반도체 소자 및 그 제조 방법에 관한 것이다.

<8> 도 1은 일반적인 모스 게이트형 전력용 반도체 소자의 일 예인 절연 게이트 바이폴라 트랜지스터(IGBT; Insulated Gate Bipolar Transistor)를 나타내 보인 단면도이다.

<9> 도 1을 참조하면, 고농도의 제1 도전형, 즉 p^+형 반도체 기판(100)이 컬렉터 영역으로 사용된다. p^+형 반도체 기판(100) 위에는 고농도의 제2 도전형, 즉 n^+형 버퍼층(110)이 배치되며, 이 n^+형 버퍼층(110) 위에는 저농도의 제2 도전형, 즉 n^-형 드리프트 영역(120)이 배치된다. n^-형 드리프트 영역(120)의 상부에는 베이스 영역으로 사용되는 저농도의 제1 도전형, 즉 p^-형 웰 영역(130)이 형성되며, p^-형 웰 영역(130)의 상부에는 n^+형 에미터 영역(140)이 형성된다.

<10> 게이트 전극(160)은 게이트 절연막(150)을 개재하여 n^-형 드리프트 영역(120)의 일부 영역 및 p^-형 웰 영역(130)의 일부 영역 위에 형성된다. 상기 게이트 전극(160)과 중첩되는 p^-형 웰 영역(130)에는 일정한 조건하에서 채널이 형성된다. 에미터 전극(170)은 n^+형 에미터 영역(140)의 일부 표면과 접촉되도록 형성되며, 게이트 전극(160)과는 절연막(170)에 의해 전기적으로 상호 절연된다. 한편 도면에 나타내지는 않았지만 p^+형 반도체 기판(100)의 배면에는 컬렉터 전극(미도시)이 형성된다.

<11> 이와 같은 절연 게이트 바이폴라 트랜지스터에 있어서, 소자의 온 저항(R_{on})은 기판 저항(R_{sub}), 채널 저항(R_{ch}), 축적층 저항(R_{acc}), 접합 전계 효과 트랜지스터(JFET; Junction Field Effect Transistor) 영역 저항(R_{jfet}) 및 드리프트 영역 저항(R_{drift})의 총 합으로 나타낼 수 있으며, 이 외에도 에미터 저항 및 컨택 저항이 더해질 수 있다. 그런데 게이트 전극(160)의 길이 감소 추세에 따라 JFET 영역 저항(R_{jfet})이 커지며, 이에 따라 소자의 온 저항도 커진다. 따라서 게이트 전극(160) 길이가 감소되더라도 소자의 온 저항이 감소되는 것을 억제하기 위하여 드리프트 영역(120) 상부에서의 불순물 농도를 증가시키는 방법이 제안된 바 있다. 그러나 드리프트 영역(120) 상부에서의 불순물 농도를 증가시키면, JFET 영역 저항(R_{jfet}) 증가는 억제할 수 있지만, 역방향 바이어스 인가시에 디플리션 영역이 왜곡되어 소자의 브레이크다운 전압이 감소된다는 문제가 발생한다. 더욱이 기생 커

패시턴스 성분도 또한 증가하여 소자의 스위칭 속도를 감소시킨다는 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

<12> 본 발명이 이루고자 하는 기술적 과제는 브레이크다운 전압을 감소시키지 않고 또한 소자의 기생 커패시턴스가 증가되지 않으면서 소자의 온 저항을 감소시킬 수 있는 모스 게이트형 전력용 반도체 소자를 제공하는 것이다.

<13> 본 발명이 이루고자 하는 다른 기술적 과제는 상기와 같은 모스 게이트형 전력용 반도체 소자를 제조하는 방법을 제공하는 것이다.

발명의 구성 및 작용

<14> 상기 기술적 과제를 달성하기 위하여, 본 발명의 일 실시예에 따른 모스 게이트형 전력용 반도체 소자는, 컬렉터 영역으로 사용되는 고농도의 제1 도전형을 갖는 반도체 기판; 상기 반도체 기판 위에서 저농도의 제2 도전형을 갖는 드리프트 영역; 상기 드리프트 영역 위에서 중심부에서의 두께가 가장자리에서의 두께보다 상대적으로 두껍게 형성된 게이트 절연막; 상기 게이트 절연막 위에 형성된 게이트 전극; 채널 형성 영역을 포함하며, 상기 채널 형성 영역이 상기 게이트 전극의 일부와 중첩되도록 상기 드리프트 영역의 상부에 형성된 저농도의 제1 도전형의 웰 영역; 상기 제1 도전형의 웰 영역 상부에서 상기 채널 영역 영역과 인접되도록 형성된 고농도의 제2 도전형의 에미터 영역; 상기 에미터 영역과 전기적으로 연결되면서 상기 게이트 전극과는 전기적으로 절연되도록 형성된 에미터 전극; 및 상기 반도체 기판과 전기적으로 연결되도록 형성된 컬렉터 전극을 구비하는 것을 특징으로 한다.

<15> 상기 드리프트 영역 내의 불순물 농도 분포는, 상대적으로 두께가 얇은 게이트 절연막과 접하는 부분에서의 불순물 농도가 상대적으로 두께가 두꺼운 게이트 절연막과 접하는 부분에서의 불순물 농도보다 더 고농도인 것이 바람직하다.

<16> 상기 반도체 기판 및 상기 드리프트 영역 사이에 형성된 고농도의 제2 도전형의 버퍼층을 더 구비할 수 있다.

<17> 상기 제1 도전형은 p형이고 상기 제2 도전형은 n형인 것이 바람직하다.

<18> 상기 기술적 과제를 달성하기 위하여, 본 발명의 다른 실시예에 따른 모스 게이트형 전력용 반도체 소자는, 드레인 영역으로 사용되는 고농도의 제1 도전형을 갖는 반도체 기판; 상기 반도체 기판 위에서 저농도의 제1 도전형을 갖는 드리프트 영역; 상기 드리프트 영역 위에서 중심부에서의 두께가 가장자리에서의 두께보다 상대적으로 두껍게 형성된 게이트 절연막; 상기 게이트 절연막 위에 형성된 게이트 전극; 채널 형성 영역을 포함하며, 상기 채널 형성 영역이 상기 게이트 전극의 일부와 중첩되도록 상기 드리프트 영역의 상부에 형성된 저농도의 제2 도전형의 웰 영역; 상기 제2 도전형의 웰 영역 상부에서 상기 채널 영역 영역과 인접되도록 형성된 고농도의 제1 도전형의 소스 영역; 상기 소스 영역과 전기적으로 연결되면서 상기 게이트 전극과는 전기적으로 절연되도록 형성된 소스 전극; 및 상기 반도체 기판과 전기적으로 연결되도록 형성된 드레인 전극을 구비하는 것을 특징으로 한다.

<19> 상기 드리프트 영역 내의 불순물 농도 분포는, 상대적으로 두께가 얇은 게이트 절연막과 접하는 부분에서의 불순물 농도가 상대적으로 두께가 두꺼운 게이트 절연막과 접하는 부분에서의 불순물 농도보다 더 고농도인 것이 바람직하다.

<20> 상기 제1 도전형은 n형이고 상기 제2 도전형은 p형인 것이 바람직하다.

<21> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명에 따른 모스 게이트형 반도체 소자의 제조 방법은, 반도체 기판 위에 저농도의 제1 도전형의 드리프트 영역을 형성하는 단계; 상기 드리프트 영역 위에 제1 두께의 제1 게이트 절연막을 형성하는 단계; 상기 제1 게이트 절연막을 이온 주입 마스크로 하여 상기 저농도의 드리프트 영역보다 상대적으로 고농도인 제1 도전형의 할로 영역을 형성하는 단계; 상기 저농도의 드리프트 영역 및 할로 영역 위에 상기 제1 두께보다 얇은 제2 두께를 갖는 제2 게이트 절연막을 형성하는 단계; 상기 제1 및 제2 게이트 절연막 위에 게이트 전극을 형성하는 단계: 상기 게이트 전극을 이온 주입 마스크로 하여 상기 할로 영역과 인접되도록 저농도의 제2 도전형의 웰 영역을 형성하는 단계: 상기 게이트 전극 및 소정의 마스크막 패턴을 이온 주입 마스크로 하여 상기 웰 영역 내에 고농도의 제1 도전형의 불순물 영역을 형성하는 단계; 상기 제1 도전형의 불순물 영역과 전기적으로 연결되는 제1 금속 전극을 형성하는 단계; 및 상기 반도체 기판과 전기적으로 연결되는 제2 금속 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

<22> 상기 반도체 기판은 고농도의 제2 도전형인 것일 수 있다. 이 경우 상기 고농도의 제2 도전형의 반도체 기판과

상기 저농도의 제1 도전형의 드리프트 영역 사이에 고농도의 제1 도전형의 버퍼층을 형성하는 단계를 더 포함하는 것이 바람직하다.

<23> 본 발명에 있어서, 상기 게이트 전극 측면에 게이트 스페이서를 형성하는 단계; 및 상기 게이트 전극, 게이트 스페이서 및 제1 게이트 절연막을 이온 주입 마스크로 하여 상기 웰 영역 내에 고내압용 고농도의 제2 도전형의 불순물 영역을 형성하는 단계를 더 포함하는 것이 바람직하다.

<24> 상기 반도체 기판은 고농도의 제1 도전형일 수도 있다.

<25> 상기 제1 도전형은 n형이고 상기 제2 도전형은 p형인 것이 바람직하다.

<26> 이하 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다.

<27> 도 2는 본 발명의 제1 실시예에 따른 모스 게이트형 전력용 반도체 소자, 즉 절연 게이트 바이폴라 트랜지스터(이하 IGBT)를 나타내 보인 단면도이다.

<28> 도 2를 참조하면, 고농도의 제1 도전형, 즉 p^+형 반도체 기판(200)이 컬렉터 영역으로 사용된다. p^+형 반도체 기판(200) 위에는 고농도의 제2 도전형, 즉 n^+형 버퍼층(210)이 배치되며, 이 n^+형 버퍼층(210) 위에는 저농도의 제2 도전형, 즉 n^-형 드리프트 영역(220)이 배치된다. 상기 n^-형 드리프트 영역(220)은 도전형은 동일하지만 상대적으로 불순물 농도가 높은 n^0형 드리프트 영역(225)을 포함한다. n^-형 드리프트 영역(220)의 상부에는 베이스 영역으로 사용되는 저농도의 제1 도전형, 즉 p^-형 웰 영역(230)이 형성되며, p^-형 웰 영역(230)의 상부에는 n^+형 에미터 영역(240)이 형성된다.

<29> 게이트 전극(260)은 게이트 절연막(250)을 개재하여 n^-형 드리프트 영역(220)의 일부 영역 및 p^-형 웰 영역(230)의 일부 영역 위에 형성된다. 게이트 전극(260)과 중첩되는 p^-형 웰 영역(230)의 상부 표면 부분은 채널 형성 영역(235)으로서, 게이트 전극(260)에 일정 전압 이상이 인가되면 반전층이 형성되는 영역이다. 상기 게이트 절연막(250)은 그 중심부에 가장자리에서의 두께보다 상대적으로 두껍게 형성된 돌출부(255)를 갖는다. 구체적으로 설명하면, 가장자리, 즉 채널 형성 영역(235)과, p^-형 웰 영역(230)에 인접하는 n^-형 드리프트 영역(220)인 n^0 형 드리프트 영역(225) 표면 위에는 일반적인 얇은 두께로 형성되지만, n^0형 드리프트 영역(225)들 사이의 n^-형 드리프트 영역(220) 표면 위에는 상부 방향으로 돌출되어 상대적으로 두껍게 만들어진 돌출부(255)가 형성된다.

<30> 한편 에미터 전극(270)은 n^+형 에미터 영역(240)의 일부 표면과 접촉되도록 형성되며, 게이트 전극(260)과는 절연막(280)에 의해 전기적으로 상호 절연된다. 한편 도면에 나타내지는 않았지만 p^+형 반도체 기판(200)의 배면에는 컬렉터 전극(미도시)이 p^+형 반도체 기판(200)과 전기적으로 연결되도록 형성된다.

<31> 상기 IGBT는 n^-형 드리프트 영역(220) 내에 상대적으로 불순물 농도가 높은 n^0형 드리프트 영역(225)을 일정 영역에 한정하여 형성시킴으로써 소자의 브레이크다운 전압을 감소시키지 않고 소자의 온 저항(R_{on})을 감소시킬 수 있다. 그리고 게이트 절연막(250)이 상대적으로 두께가 큰 돌출부(255)를 포함함으로써 기생 커패시턴스의 크기도 또한 감소시킬 수 있다.

<32> 도 3은 본 발명의 제2 실시예에 따른 모스 게이트형 전력용 반도체 소자, 즉 전력용 모스 전계 효과 트랜지스터(이하 MOSFET)를 나타내 보인 단면도이다.

<33> 도 3을 참조하면, 본 실시예에 따른 MOSFET는, 도 2에 도시된 IGBT와는 달리 n^+형 반도체 기판(300)을 사용하며, 이 n^+형 반도체 기판(300) 위에 n^-형 드리프트 영역(320)이 형성된다. 상기 n^+형 반도체 기판(300)은 드레인 영역으로 사용된다. 상기 n^-형 드리프트 영역(320)은 도전형은 동일하지만 상대적으로 불순물 농도가 높은 n^0형 드리프트 영역(325)을 포함한다. n^-형 드리프트 영역(320)의 상부에는 p^- 형 웰 영역(330)이 형성되며,

p^-형 웰 영역(330)의 상부에는 n^+형 소스 영역(340)이 형성된다.

<34> 게이트 전극(360)은 게이트 절연막(350)을 개재하여 n^-형 드리프트 영역(320)의 일부 영역 및 p^-형 웰 영역(330)의 일부 영역 위에 형성된다. 게이트 전극(360)과 중첩되는 p^-형 웰 영역(330)의 상부 표면 부분은 채널 형성 영역(335)으로서, 게이트 전극(360)에 일정 전압 이상이 인가되면 반전층이 형성되는 영역이다. 상기 게이트 절연막(350)은 그 중심부에 가장자리에서의 두께보다 상대적으로 두껍게 형성된 돌출부(355)를 갖는다. 구체적으로 설명하면, 가장자리, 즉 채널 형성 영역(335)과, p^-형 웰 영역(330)에 인접하는 n^-형 드리프트 영역(320)인 n^0 형 드리프트 영역(325) 표면 위에는 일반적인 얇은 두께로 형성되지만, n^0형 드리프트 영역(325)들 사이의 n^-형 드리프트 영역(320) 표면 위에는 상부 방향으로 돌출되어 상대적으로 두껍게 만들어진 돌출부(355)가 형성된다.

<35> 한편 소스 전극(370)은 n^+형 소스 영역(340)의 일부 표면과 접촉되도록 형성되며, 게이트 전극(360)과는 절연막(380)에 의해 전기적으로 상호 절연된다. 한편 도면에 나타내지는 않았지만 n^+형 반도체 기판(300)의 배면에는 드레인 전극(미도시)이 n^+형 반도체 기판(300)과 전기적으로 연결되도록 형성된다.

<36> 상기 MOSFET에 있어서, n^-형 드리프트 영역(320)의 일정 영역에 한정되어 n^0형 드리프트 영역(325)이 형성되고, 게이트 절연막(350)의 중심부에 상대적으로 두께가 큰 돌출부(335)가 형성됨으로써 나타나는 효과는 앞서 설명한 IGBT와 동일하므로 여기서 더 이상의 설명은 생략하기로 한다.

<37> 도 4는 본 발명에 따른 모스 게이트형 전력용 반도체 소자 내의 기생 커패시턴스를 종래의 경우와 비교하여 측정한 결과를 나타내는 그래프이다. 도 4의 그래프에서, 가로축은 컬렉터와 에미터 사이의 전압(V_{CE})을 나타내고 세로축은 커패시턴스(C)를 나타낸다.

<38> 도 4를 참조하면, n^0형 드리프트 영역(도 2의 225)을 갖는 IGBT의 경우(412, 422, 432), n^0형 드리프트 영역을 갖지 않는 IGBT의 경우(411, 421, 431)와 비교하여, 게이트와 컬렉터 사이의 커패시턴스(Cgc)(411, 412), 컬렉터와 에미터 사이의 커패시턴스와 게이트와 컬렉터 사이의 커패시턴스의 합(Cce+Cgc)(421, 422), 그리고 게이트와 에미터 사이의 커패시턴스와 게이트와 컬렉터 사이의 커패시턴스의 합(Cge+Cgc)(431, 432)이 작아졌음을 알 수 있다.

<39> 도 5 내지 도 9는 본 발명에 따른 모스 게이트형 전력용 반도체 소자의 제조 방법을 설명하기 위하여 나타낸 단면도들이다. 도 5 내지 도 10에서 중앙의 점선을 기준으로 좌측 영역은 액티브 영역(I)을 나타내고 우측 영역은 링 영역(II)을 나타낸다.

<40> 먼저 도 5를 참조하면, p^+형 반도체 기판(200) 위에 n^+형 버퍼층(210)을 형성한다. 다음에 에피택셜 성장을 이용하여 n^+형 버퍼층(210) 위에 n^-형 드리프트 영역(220)을 형성한다. 다음에 액티브 영역(I)의 일부 표면과 링 영역(II)의 일부 표면을 덮는 산화막 패턴(255)을 형성한다. 이어서 상기 산화막 패턴(255)을 이온 주입 마스크로 한 이온 주입 공정을 수행하여 n^0형 불순물 이온을 주입한다. 그러면 액티브 영역(I) 및 링 영역(II)에 각각 n^0형 불순물 이온 주입 영역(225')들이 만들어진다.

<41> 다음에 도 6을 참조하면, 산화 공정을 수행하여 n^-형 드리프트 영역(220) 표면 위에 얇은 게이트 산화막을 형성한다. 이 게이트 산화막은 산화막 패턴(255)과 함께 중앙부와 가장자리의 두께가 서로 다른 게이트 절연막(250)을 형성한다. 다음에 전면에 도전막, 예컨대 폴리실리콘막을 형성한 후 패터닝하여 액티브 영역(I)의 게이트 절연막(250) 위에 게이트 전극(260)을 형성한다.

<42> 다음에 도 7을 참조하면, 게이트 전극(260)을 이온 주입 마스크로 한 p^-형 불순물 이온 주입 공정을 수행하고, 이어서 드라이브 인 확산 공정을 수행하여 액티브 영역(I) 및 링 영역(II)에 각각 p^-형 웰 영역(230)을 형성한다. 상기 드리이브 인 확산 공정을 통하여 전 단계에서 주입되었던 n^0형 불순물 이온도 함께 확산되어 n^0형 드리프트 영역(225)이 p^-형 웰 영역(230)과 인접되게 형성된다.

<43> 다음에 도 8을 참조하면, 액티브 영역(I) 내의 게이트 절연막(250)의 일부 표면을 노출시키고 링 영역(II)은 완전히 덮는 n^+형 에미터 영역 형성용 마스막 패턴(500)을 형성한다. 이 마스크막 패턴(500)은 포토레지스트막 패턴일 수 있다. 다음에 상기 마스크막 패턴(500)을 이온 주입 마스크로 한 n^+형 불순물 이온 주입 공정을 수행하고, 이어서 주입된 n^+형 불순물 이온을 확산시켜 액티브 영역(I)의 p^-형 웰 영역(230) 상부에 n^+형 에미터 영역(240)을 형성한다. n^+형 에미터 영역(240)을 형성한 후에는 상기 마스크막 패턴(500)을 제거한다.

<44> 다음에 도 9를 참조하면, 절연막(280)을 형성한 후 액티브 영역(I)의 p^-형 웰 영역(230)의 일부 표면과 n^+형 에미터 영역(240)의 일부 표면이 노출되도록 상기 절연막(280)을 패터닝한다. 이어서 전면에 금속막을 형성하여 n^+형 에미터 영역(240)과 접촉되는 에미터 전극(270)을 형성한다. 이어서, 도면에 나타내지는 않았지만 p^+형 반도체 기판(200)의 배면에 컬렉터 전극(미도시)을 형성한다.

<45> 도 10은 본 발명에 따른 모스 게이트형 전력용 반도체 소자의 제조 방법에서 추가될 수 있는 단계를 설명하기 위하여 나타내 보인 단면도이다. 즉 게이트 전극에 스페이서를 형성하고 p^-형 웰 영역(230) 내에 고내압을 위한 p^+형 불순물 영역을 더 형성시키는 경우에 추가되는 공정이다.

<46> 도 10을 참조하면, 도 5 내지 도 8에 도시된 공정을 수행한 후에 통상의 스페이서 형성 공정에 의해 게이트 전극(260) 측면의 게이트 스페이서(510)를 형성한다. 다음에 게이트 전극(260), 게이트 스페이서(510) 및 게이트 절연막(250)의 중앙 두꺼운 부분을 이온 주입 마스크로 한 n^+형 불순물 이온 주입 공정을 수행한다. 이어서 드라이브 인 확산 공정을 통하여 p^-형 웰 영역의 상부에 고내압을 위한 p^+형 불순물 영역(520)을 형성한다. 이후의 공정은 도 9를 참조하여 설명한 바와 같다.

<47> 지금까지 모스 게이트형 전력용 반도체 소자 중 일 예로 IGBT의 제조 방법에 대하여 설명하였으나, 전력용 MOSFET을 제조하는 방법에도 적용된다는 것은 당연하다. 단지 전력용 MOSFET의 경우 p^+형 반도체 기판 대신 n^+형 반도체 기판이 사용된다는 점만 상이할 뿐이다.

발명의 효과

<48> 이상의 설명에서와 같이, 본 발명에 따른 모스 게이트형 전력용 반도체 소자 및 그 제조 방법에 의하면, 드리프트 영역의 상부 영역 중 웰 영역과 인접되는 부분에 상대적으로 불순물 농도가 높은 드리프트 영역을 형성하고, 상대적으로 저농도의 드리프트 영역의 게이트 절연막 두께를 두껍게 함으로써 소자의 브레이크다운 전압을 감소시키지 않고 소자의 온 저항을 감소시킬 수 있으며 기생 커패시턴스를 줄일 수 있다는 이점이 있다.

도면의 간단한 설명

<1> 도 1은 일반적인 모스 게이트형 전력용 반도체 소자의 일 예를 나타내 보인 단면도이다.

<2> 도 2는 본 발명의 제1 실시예에 따른 모스 게이트형 전력용 반도체 소자, 즉 절연 게이트 바이폴라 트랜지스터를 나타내 보인 단면도이다.

<3> 도 3은 본 발명의 제2 실시예에 따른 모스 게이트형 전력용 반도체 소자, 즉 전력용 모스 전계 효과 트랜지스터를 나타내 보인 단면도이다.

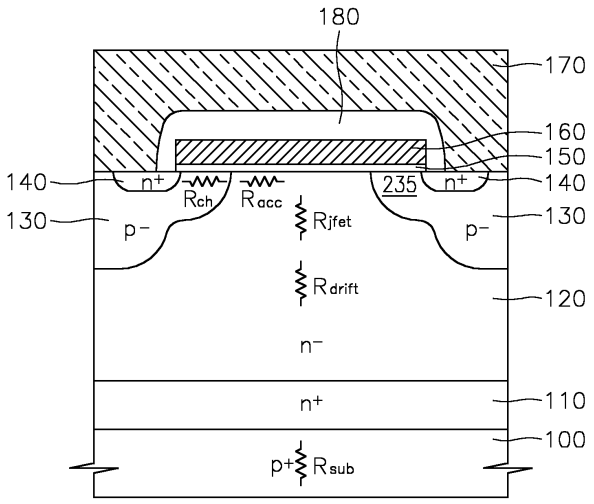
<4> 도 4는 본 발명에 따른 모스 게이트형 전력용 반도체 소자 내의 기생 커패시턴스를 종래의 경우와 비교하여 측정한 결과를 나타내는 그래프이다.

<5> 도 5 내지 도 9는 본 발명에 따른 모스 게이트형 전력용 반도체 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

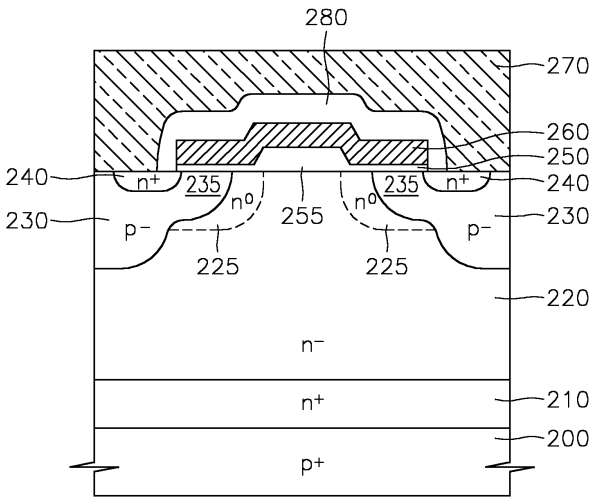
<6> 도 10은 본 발명에 따른 모스 게이트형 전력용 반도체 소자의 제조 방법에서 추가될 수 있는 단계를 설명하기 위하여 나타내 보인 단면도이다.

도면

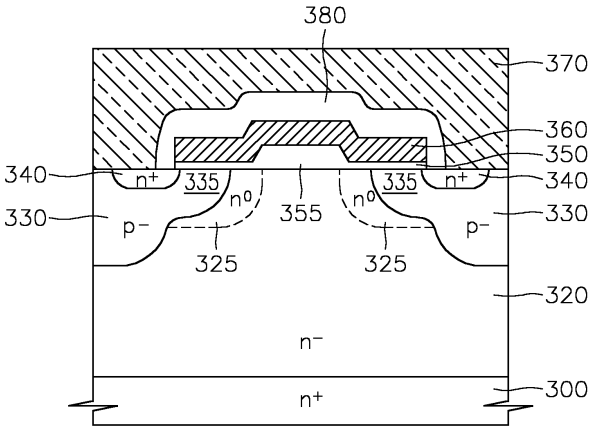
도면1


180
170
160
150
140
140
130
130
120
110
100
n+
Rch
Racc
235
n+
p-
Rjfet
p-
Rdrift
n-
n+
p+
Rsub

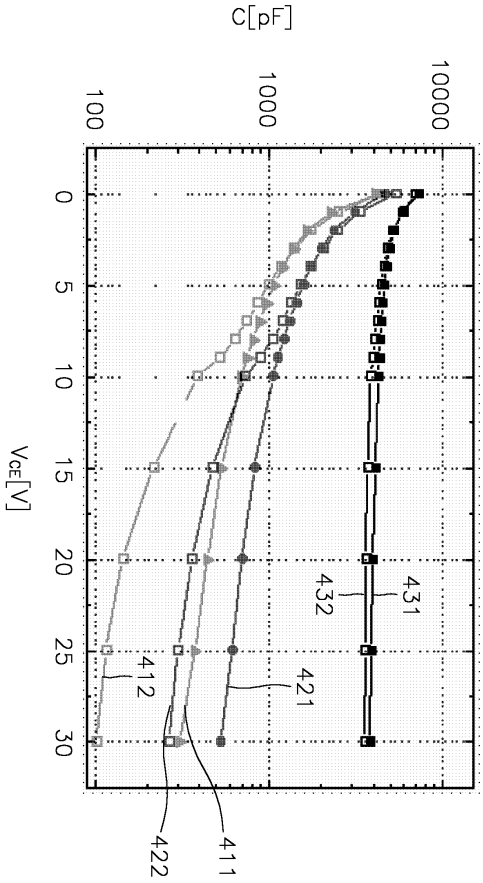
도면2


280
270
260
250
240
240
230
230
220
210
200
n+
235
n0
255
n0
235
n+
p-
225
225
p-
n-
n+
p+

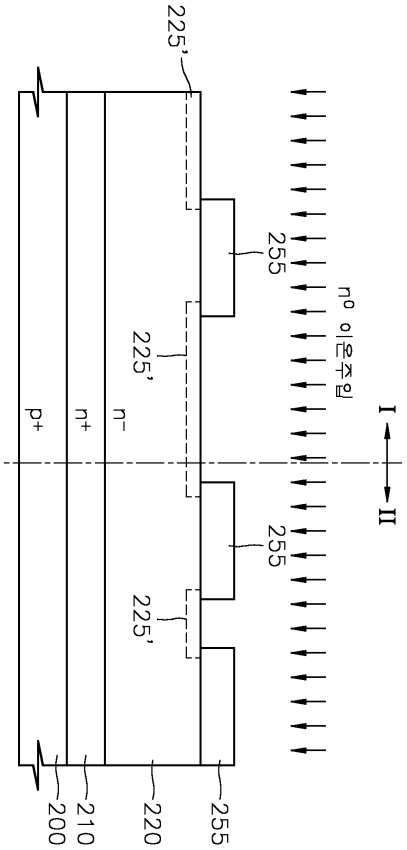
도면3


380
370
360
350
340
340
330
330
n+
335
n0
355
n0
335
n+
p-
p-
325
325
320
n-
n+
300

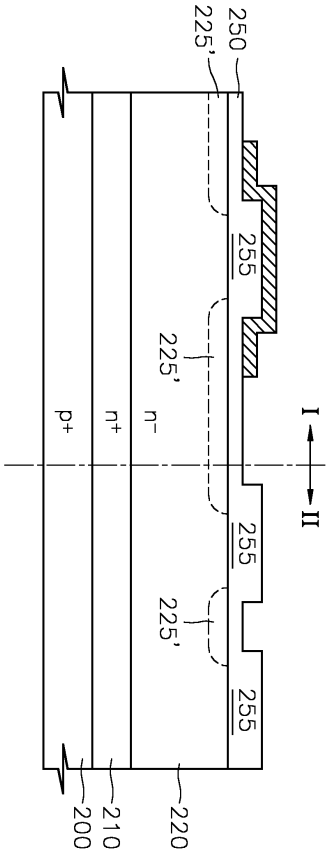
도면4


C[pF]
100
1000
10000
VCE[V]
0
5
10
15
20
25
30
432
431
412
421
422
411

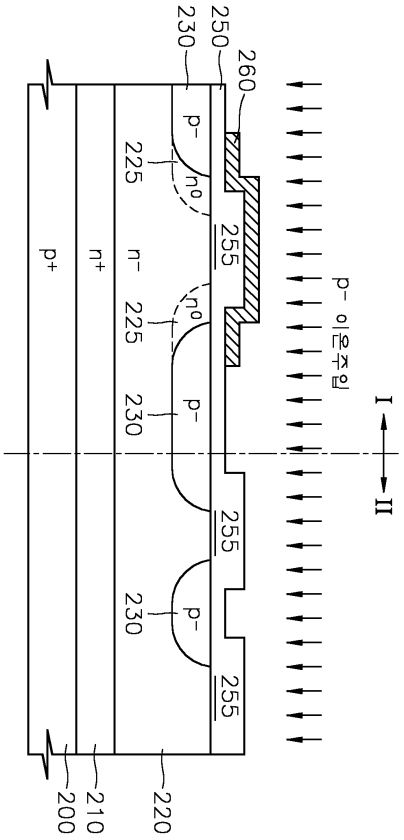
도면5



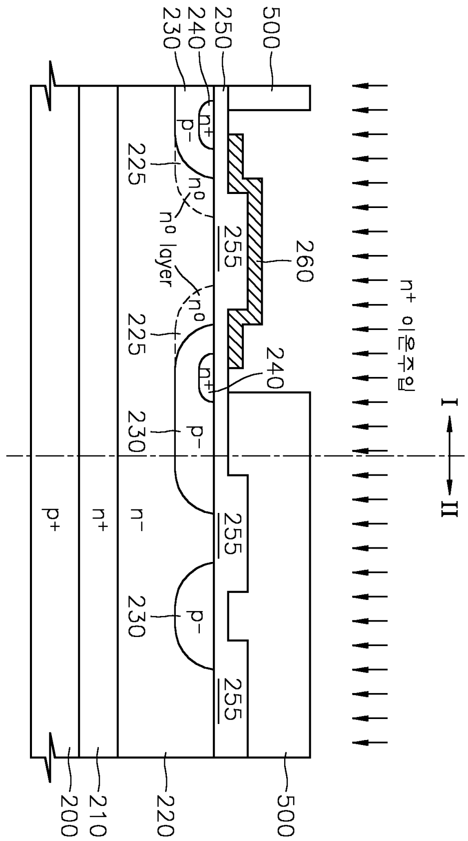
도면6



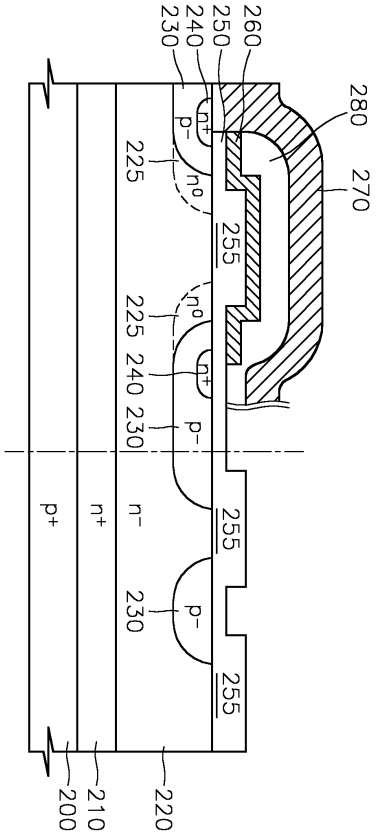
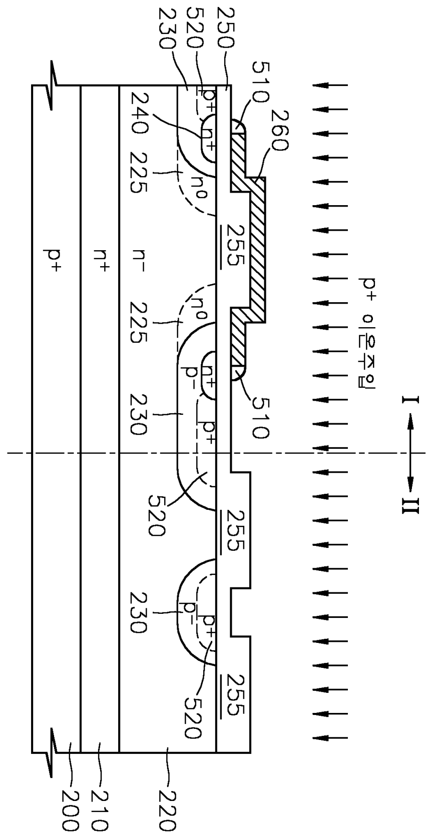
도면7



도면8


n+ 이온주입
I
II
500
250
240
230
260
255
225
n0
n0 layer
p−
n+
n−
p+
220
210
200

도면9


260
250
240
230
280
270
n+
p-
225
n0
255
n0
225
240
n+
230
p-
p+
n+
n-
230
p-
255
255
200
210
220

도면10