

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6426437号
(P6426437)

(45) 発行日 平成30年11月21日(2018.11.21)

(24) 登録日 平成30年11月2日(2018.11.2)

(51) Int.Cl. F I
H03K 19/177 (2006.01) H03K 19/177

請求項の数 6 (全 45 頁)

| | |
|---|---|
| <p>(21) 出願番号 特願2014-229402 (P2014-229402) (22) 出願日 平成26年11月12日(2014.11.12) (65) 公開番号 特開2015-122738 (P2015-122738A) (43) 公開日 平成27年7月2日(2015.7.2) 審査請求日 平成29年11月10日(2017.11.10) (31) 優先権主張番号 特願2013-241441 (P2013-241441) (32) 優先日 平成25年11月22日(2013.11.22) (33) 優先権主張国 日本国(JP)</p> | <p>(73) 特許権者 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地 (72) 発明者 上妻 宗広 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 審査官 鬼塚 由佳</p> |
|---|---|

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

プログラブル回路と、モニター回路と、コントローラと、を有し、
 前記プログラブル回路は、第1のトランジスタをオフにして電荷を保持し、前記電荷に応じた電位をコンフィギュレーションデータとして記憶するコンフィギュレーションメモリを用いて、回路構成を変更する機能を有し、
 前記モニター回路は、前記電荷に応じた電位の変化をモニターし、前記電位の変化に従って信号を出力する機能を有し、
 前記コントローラは、前記信号に従って、前記コンフィギュレーションデータの再設定を制御する機能を有し、
前記モニター回路は、
第2のトランジスタと、
第1のクロック信号の反転信号がゲートに与えられ、ソース及びドレインの一方に高電源電位が与えられる第1のpチャネル型トランジスタと、
前記第1のクロック信号がゲートに与えられ、ソース又はドレインの一方に前記第1のpチャネル型トランジスタのソース及びドレインの他方が電氣的に接続された第2のpチャネル型トランジスタと、
前記第1のクロック信号がゲートに与えられ、ソース又はドレインの一方に前記第2のpチャネル型トランジスタのソース及びドレインの他方が電氣的に接続された第1のnチャネル型トランジスタと、

前記第 2 のトランジスタのソース及びドレインの一方がゲートに電氣的に接続され、ソース又はドレインの一方に前記第 1 の n チャネル型トランジスタのソース及びドレインの他方が電氣的に接続された第 2 の n チャネル型トランジスタと、

データとして高電源電位が与えられ、リセット信号として前記第 2 の p チャネル型トランジスタのソース及びドレインの他方または前記第 1 の n チャネル型トランジスタのソース及びドレインの一方に電氣的に接続されたノードの電位が与えられたフリップフロップと、を有することを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記コントローラは、記憶装置に記憶された前記コンフィギュレーションデータを読み出して前記再設定を行う機能を有することを特徴とする半導体装置。

10

【請求項 3】

請求項 1 又は 2 において、

前記第 2 のトランジスタの半導体層は、前記プログラマブル回路が有する前記第 1 のトランジスタの半導体層と同じ層で構成されることを特徴とする半導体装置。

【請求項 4】

請求項 3 において、

前記第 1 のトランジスタ及び前記第 2 のトランジスタは、酸化物半導体膜にチャンネル形成領域を有するトランジスタであることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一において、

前記第 1 の p チャネル型トランジスタ、前記第 2 の p チャネル型トランジスタ、前記第 1 の n チャネル型トランジスタ及び前記第 2 の n チャネル型トランジスタは、シリコン半導体膜にチャンネル形成領域を有するトランジスタであり、

前記第 1 のトランジスタ及び前記第 2 のトランジスタは、前記第 1 の p チャネル型トランジスタ、前記第 2 の p チャネル型トランジスタ、前記第 1 の n チャネル型トランジスタ及び前記第 2 の n チャネル型トランジスタ上に設けられることを特徴とする半導体装置。

20

【請求項 6】

請求項 1 乃至 5 のいずれか一において、

前記プログラマブル回路は、前記コンフィギュレーションメモリを有するスイッチと、前記コンフィギュレーションメモリを有するロジック回路と、を有することを特徴とする半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一例として、半導体装置に関する。特に、本発明の一態様は、プログラマブルロジックデバイスとしての機能を有する半導体装置に関する。

【0002】

なお本発明は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明は、プロセス、マシン、マニュファクチャ、または、組成物（コンビジョン・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げるができる。

40

【背景技術】

【0003】

プログラマブルロジックデバイス（PLD：Programmable Logic Device）は、複数のプログラマブルロジックエレメント（PLE：Programmable Logic Element）及びプログラマブルスイッチエレメント（PSE：Programmable Switch Element）で構成される半導体装

50

置の一種である。PLDは、各PLEの機能や、PSEによるPLE間の接続構造を、製造後においてユーザがプログラミングにより変更することで、回路構成が切り換えられ、その機能が変更される。

【0004】

PLEの機能、及びPSEによる接続構造を設定するコンフィギュレーションデータは、コンフィギュレーションメモリに格納されている。コンフィギュレーションメモリとして、シリコン(Si)を半導体層に用いたトランジスタ(以下、Siトランジスタという)と、酸化物半導体(Oxide Semiconductor:OS)を半導体層に用いたトランジスタ(以下、OSTランジスタという)と、を組み合わせることで、電荷を保持し、該電荷に応じた電位をコンフィギュレーションデータとして記憶する、PLDとしての機能を有する半導体装置が注目されている(特許文献1を参照)。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2012-186797号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

電荷を保持し、該電荷に応じた電位をコンフィギュレーションデータとして記憶するコンフィギュレーションメモリを用いる場合、電荷を保持するためのトランジスタのオフ電流が $1 \mu\text{A}$ ($1 \times 10^{-6} \text{A}$)以下といった低い値であることが求められる。半導体装置は、構成するトランジスタ数が増加の一途を辿っていること、そして低消費電力化の観点から、トランジスタを微細化することが、求められている。トランジスタの微細化が進むと、オフ電流が上昇するため、前述の、一旦保持したコンフィギュレーションデータに相当する電位が変化してしまう。そのため、コンフィギュレーションメモリにおいて、定期的にコンフィギュレーションデータの再設定(リコンフィギュレーション)を行う必要がある。

20

【0007】

しかしながら、定期的にリコンフィギュレーションを行う構成では、間隔が短いと、実際にはデータの変化や消失が起こっていないにも関わらず、不要なリコンフィギュレーションを行うことになる。加えて消費電力が増加してしまう。あるいは、間隔が長いと、データの変化や消失が起こってしまい、半導体装置から出力されるデータの信頼性が低下することになる。

30

【0008】

そこで、本発明の一態様では、不要なリコンフィギュレーションを行わない、新規な構成の半導体装置などを提供することを課題の一とする。または、本発明の一態様では、不要なリコンフィギュレーションを行わないことで消費電力が低減された、新規な構成の半導体装置などを提供することを課題の一とする。または、本発明の一態様では、信頼性に優れた、新規な構成の半導体装置などを提供することを課題の一とする。または、本発明の一態様では、消費電力を低減する、新規な構成の半導体装置などを提供することを課題の一とする。または、本発明の一態様では、トランジスタの高集積化を実現する、新規な構成の半導体装置などを提供することを課題の一とする。または、本発明の一態様では、新規な構成の半導体装置などを提供することを課題の一とする。

40

【0009】

なお本発明の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、上記列挙した課題で言及していない課題である。上記列挙した課題で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した記載、及び/又は他の課題のうち、少なくとも一つの課題を解決するものである。

50

【課題を解決するための手段】

【0010】

本発明の一態様は、第1のトランジスタをオフにして電荷を保持し、該電荷に応じた電位をコンフィギュレーションデータとして記憶するコンフィギュレーションメモリを用いて、回路構成を変更する機能を有するプログラブル回路と、電荷に応じた電位の変化をモニターし、該電位の変化に従って信号を出力するモニター回路と、信号に従って、コンフィギュレーションデータの再設定を制御するコントローラと、を有する半導体装置である。

【発明の効果】

【0011】

本発明の一態様では、不要なりコンフィギュレーションを行わない、新規な構成の半導体装置などを提供することができる。または、本発明の一態様では、不要なりコンフィギュレーションを行わないことで消費電力が低減された、新規な構成の半導体装置などを提供することができる。または、本発明の一態様では、信頼性に優れた、新規な構成の半導体装置などを提供することができる。または、本発明の一態様では、消費電力を低減する、新規な構成の半導体装置などを提供することができる。または、本発明の一態様では、トランジスタの高集積化を実現する、新規な構成の半導体装置などを提供することができる。または、本発明の一態様では、新規な構成の半導体装置などを提供することができる。

【0012】

なお本発明の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、上記列挙した効果で言及していない効果である。上記列挙した効果で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び/又は他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

【図面の簡単な説明】

【0013】

【図1】本発明の一態様を説明するブロック図。

【図2】本発明の一態様を説明するフローチャート図。

【図3】本発明の一態様を説明するブロック図。

【図4】本発明の一態様を説明するブロック図。

【図5】本発明の一態様を説明する回路図。

【図6】本発明の一態様を説明する回路図。

【図7】本発明の一態様を説明する回路図。

【図8】本発明の一態様を説明するタイミングチャート図。

【図9】本発明の一態様を説明する回路図。

【図10】本発明の一態様を説明するタイミングチャート図。

【図11】本発明の一態様を説明する回路図。

【図12】本発明の一態様を説明する回路図。

【図13】本発明の一態様を説明するタイミングチャート図。

【図14】本発明の一態様を説明する回路図。

【図15】本発明の一態様を説明するタイミングチャート図。

【図16】酸化物半導体の断面TEM像および局所的なフーリエ変換像。

【図17】酸化物半導体膜のナノビーム電子回折パターンを示す図、および透過電子回折測定装置の一例を示す図。

【図18】透過電子回折測定による構造解析の一例を示す図、および平面TEM像。

【図19】本発明の一態様を説明する断面図。

【図20】本発明の一態様を説明する断面図。

【図21】電子部品の作製工程を示すフローチャート図及び斜視模式図。

10

20

30

40

50

【図 2 2】電子部品を用いた電子機器。

【図 2 3】本発明の一態様を説明するブロック図。

【図 2 4】本発明の一態様を説明する回路図。

【図 2 5】本発明の一態様を説明する回路図。

【図 2 6】本発明の一態様を説明する回路図。

【図 2 7】本発明の一態様を説明する回路図。

【図 2 8】本発明の一態様を説明する回路図。

【図 2 9】本発明の一態様を説明する回路図。

【図 3 0】本発明の一態様を説明する回路図。

【発明を実施するための形態】

10

【0014】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。

【0015】

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

20

【0016】

また本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域又はドレイン電極）とソース（ソース端子、ソース領域又はソース電極）の間にチャンネル領域を有しており、ドレインとチャンネル領域とソースとを介して電流を流すことができるものである。

【0017】

ここで、ソースとドレインとは、トランジスタの構造又は動作条件等によって変わるため、いずれがソース又はドレインであるかを限定することが困難である。そこで、ソースとして機能する部分、及びドレインとして機能する部分を、ソース又はドレインと呼ばず、ソースとドレインとの一方を第1端子と表記し、ソースとドレインとの他方を第2端子と表記する場合がある。

30

【0018】

なお本明細書にて用いる「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0019】

なお本明細書において、AとBとが接続されている、とは、AとBとが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、AとBとが電氣的に接続されているとは、AとBとの間で、何らかの電氣的作用を有する対象物が存在するとき、AとBとの電気信号の授受を可能とするものをいう。

40

【0020】

なお本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0021】

なお図面における各回路ブロックの配置は、説明のため位置関係を特定するものであり、異なる回路ブロックで別々の機能を実現するよう図面で示していても、実際の回路や領域

50

では、同じ回路ブロック内で別々の機能を実現しうるように設けられている場合もある。また図面における各回路ブロックの機能は、説明のため機能を特定するものであり、一つの回路ブロックとして示していても、実際の回路や領域では、一つの回路ブロックで行う処理を複数の回路ブロックで行うよう設けられている場合もある。

【0022】

なお電圧とは、ある電位と、基準電位（例えばグラウンド電位）との電位差のことを示す場合が多い。よって、電圧、電位、電位差を、各々、電位、電圧、電圧差と言い換えることが可能である。なお電圧とは2点間における電位差のことをいい、電位とはある一点における静電場の中にある単位電荷が持つ静電エネルギー（電氣的な位置エネルギー）のことをいう。

10

【0023】

なお、一般に、電位や電圧は、相対的なものである。したがって、グラウンド電位は、必ずしも、0ボルトであるとは限定されない。

【0024】

また本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0025】

また本明細書等において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

20

【0026】

（実施の形態1）

本実施の形態では、PLDとしての機能を有する半導体装置の構成例について説明する。

【0027】

まず半導体装置のブロック図の一例について、図1を参照して説明する。

【0028】

図1に示す半導体装置100は、基板102上のプログラマブル回路112（図中、Programmable circuit）及びモニター回路114（図中、monitor）を有する。また、半導体装置100は、コントローラ108（図中、configuration controller）を有する。また、半導体装置100は、ワード線側駆動回路104（図中、word line driver）及びビット線側駆動回路106（図中、bit line driver）を有する。また図1では、半導体装置100と共に、記憶装置110（図中、ROM）を図示している。また図1では、プログラマブル回路112内に、プログラマブル回路112のロジックの機能の切り替えや、回路間の接続状態、あるいは入出力端子における信号の入出力方向の切り替えに関するデータであるコンフィギュレーションデータを保持するコンフィギュレーションメモリ116（図中、configuration memory）を図示している。

30

【0029】

プログラマブル回路112は、複数のプログラマブルロジックエレメント（PLE）及びプログラマブルスイッチエレメント（PSE）を有する回路である。PLE及びPSEは、それぞれコンフィギュレーションメモリ116を有する。PLE及びPSEが有するコンフィギュレーションメモリ116は、トランジスタをオフにして電荷を保持し、該電荷に応じた電位をコンフィギュレーションデータとして記憶する回路である。コンフィギュレーションメモリ116に応じたコンフィギュレーションデータに従ってプログラマブル回路112は、ロジックの機能の切り替えや、回路間の接続状態、あるいは入出力端子における信号の入出力方向の切り替えを行うことができる。

40

【0030】

なおプログラマブル回路112は、コンフィギュレーションメモリ116に記憶されたコンフィギュレーションデータに従って切り替わる機能を有する回路であるため、単に回路

50

という場合がある。この場合、一例としては、第1の回路という場合があり、他の機能を有する場合がある。

【0031】

プログラブル回路112が有するコンフィギュレーションメモリ116は、トランジスタをオフにすることで電荷を保持し、該電荷に応じた電位をコンフィギュレーションデータとして記憶することができる機能を有する。そのために、オフ電流が低いトランジスタを用いる。なお、コンフィギュレーションメモリ116は、単に回路という場合がある。この場合、一例としては、第1の回路という場合があり、他の機能を有する場合がある。ここでは、オフ電流が低いとは、室温において、ソースとドレインとの間の電圧を1乃至2Vとし、チャンネル幅1 μ mあたりの規格化されたオフ電流が100 μ A以下、好ましくは10 μ A以下、さらに好ましくは1 μ A以下であることをいう。

10

【0032】

モニター回路114は、コンフィギュレーションメモリ116の状態、例えば、コンフィギュレーションメモリ116においてコンフィギュレーションデータとして保持されている電荷に応じた電位の変動をモニターし、該電位の変動に従ってモニター信号(図中、moni_out)をコントローラ108に出力することができる機能を有する回路である。モニター回路114は、コンフィギュレーションメモリ116と同様に設けられたオフ電流が低いトランジスタを有する。モニター回路114は、該トランジスタによって保持される電位の変動に従って得られる信号の変化をトリガーとしてコントローラ108に出力し、コントローラ108にコンフィギュレーションデータの再設定を制御させることができる。

20

【0033】

なおモニター回路114は、電位の変動をモニターし、該電位の変動に従ってモニター信号をコントローラ108に出力する機能を有する回路であるため、単に回路という場合がある。この場合、一例としては、第2の回路という場合があり、他の機能を有する場合がある。

【0034】

なお以下では、モニター回路114が有するオフ電流が低いトランジスタと混同をさけるため、前述したプログラブル回路112が有するオフ電流が低いトランジスタを第1のトランジスタともいう。またモニター回路114が有するオフ電流が低いトランジスタを、以下では第2のトランジスタともいう。

30

【0035】

なお、ビット線側駆動回路106は、ビット線を駆動することができる機能を有する回路であるため、単に回路という場合がある。この場合、一例としては、第1の回路という場合があり、他の機能を有する場合がある。

【0036】

なお、ワード線側駆動回路104は、ワード線を駆動することができる機能を有する回路であるため、単に回路という場合がある。この場合、一例としては、第1の回路という場合があり、他の機能を有する場合がある。

【0037】

該構成により、コンフィギュレーションデータが消失する前にコンフィギュレーションメモリをリコンフィギュレーションすることができる。そのため、コンフィギュレーションメモリ116には設定されたコンフィギュレーションデータを保持し続けることができる。その結果、信頼性に優れた半導体装置とすることができる。

40

【0038】

あるいは該構成により、データの消失に対応してリコンフィギュレーションを行うことができるため、一定の周期ごとにリコンフィギュレーションする必要がない。そのため、一定の周期でリコンフィギュレーションを行う構成と比べて、不必要なリコンフィギュレーションをなくすることができる。その結果、リコンフィギュレーションを必要な場合にのみ行うことができ、低消費電力化を図ることができる。

50

【0039】

なおプログラマブル回路112の第1のトランジスタと、モニター回路114の第2のトランジスタとは、同じ工程で作製されたトランジスタとする構成が好適である。すなわち、プログラマブル回路112の第1のトランジスタの半導体層と、モニター回路114の第2のトランジスタの半導体層は、同じ層で構成されることが好適である。該構成とすることで、プログラマブル回路112でのデータの消失のタイミングと、モニター回路114でのデータの消失するタイミングを近づけることができるため、より信頼性に優れた半導体装置とすることができる。

【0040】

なおプログラマブル回路112とモニター回路114とで電荷を保持するノードでの電位の変動に差をつける構成とすることが好適である。具体的には、第1のトランジスタに接続される容量素子の容量値よりも、第2のトランジスタに接続される容量素子の容量値を小さくしておく構成がより好適である。またはプログラマブル回路112とモニター回路114とで電荷を保持するノードでの電位の変動に差をつけるために、第2のトランジスタのオフ電流は、第1のトランジスタのオフ電流よりも流れやすくしておく構成とすることがより好適である。

10

【0041】

なお半導体装置100は、モニター回路114を2つ以上有する構成としてもよい。例えば、図23に示すように、モニター回路114A及びモニター回路114Bといった2つのモニター回路を有する構成とすることができ、なお複数のモニター回路から出力されるモニター信号は、論理積をとり、コントローラ108に与える構成とすればよい。該構成とすることで、プログラマブル回路112でのデータの消失のタイミングのばらつきを考慮した、リコンフィギュレーションを行うことができ、より信頼性に優れた半導体装置とすることができる。

20

【0042】

プログラマブル回路112とモニター回路114とで電荷を保持するノードでの電位の変動に差をつける、前述の構成とすることで、より確実にコンフィギュレーションデータを消失する前にコンフィギュレーションメモリをリコンフィギュレーションすることができ、信頼性に優れた半導体装置とすることができる。

【0043】

なお図1では、一例として、プログラマブル回路112及びモニター回路114を基板102上に設けるよう示したが、他の構成でもよい。例えば基板102上に、プログラマブル回路112及びモニター回路114に加えて、コントローラ108、ワード線側駆動回路104及びビット線側駆動回路106の少なくともいずれかを設ける構成としてもよい。該構成とすることで、各回路を構成するトランジスタを一括して作製することができるため、製造コストを削減することができる。

30

【0044】

コントローラ108は、モニター回路114より与えられるモニター信号、及び記憶装置110より与えられるコンフィギュレーションデータをもとに、ワード線側駆動回路104及びビット線側駆動回路106を制御するための信号を生成し、出力する回路である。

40

【0045】

モニター回路114よりモニター信号が与えられることでコントローラ108は、コンフィギュレーションメモリのリコンフィギュレーション(再設定)を行う。具体的には、コンフィギュレーションデータが記憶された記憶装置110にリコンフィギュレーション信号(図中、reconfiguration signal)を出力し、コンフィギュレーションデータを要求する。記憶装置110は、リコンフィギュレーション信号に応じて、コンフィギュレーションデータをコントローラ108に出力する。コントローラ108は、得られたコンフィギュレーションデータをプログラマブル回路112が有するコンフィギュレーションメモリ116に記憶するための信号をワード線側駆動回路104及びビット線側駆動回路106に出力する。

50

【0046】

なおコントローラ108からワード線側駆動回路104及びビット線側駆動回路106には、一例としてスタートパルス、クロック信号、コンフィギュレーションデータ等を与える構成とすればよい。該構成の場合、ワード線側駆動回路104及びビット線側駆動回路106は、シフトレジスタ等の回路を用いて、コンフィギュレーションデータをコンフィギュレーションメモリ116に記憶するように制御される。

【0047】

なおコントローラ108はモニター回路114より与えられるモニター信号、及び記憶装置110より与えられるコンフィギュレーションデータをもとに、ワード線側駆動回路104及びビット線側駆動回路106を制御するための信号を生成し、出力する機能を有する回路であるため、単に回路という場合がある。この場合、一例としては、第3の回路という場合がある。

10

【0048】

以上説明した半導体装置100は、第1のトランジスタをオフにして電荷を保持し、該電荷に応じた電位をコンフィギュレーションデータとして記憶するプログラブル回路112が有するコンフィギュレーションメモリ116の電位の変化を、モニター回路114が有する第2のトランジスタを用いてモニターする。そして第2のトランジスタによって保持される電荷のリークは、第1のトランジスタによって保持される電荷のリークと同様の挙動を示す。第2のトランジスタによって保持される電荷に応じた電位の変動は、第1のトランジスタに保持される電荷に応じた電位の変化が反映される。モニター回路114では、第2のトランジスタによって保持される電荷に応じた電位の変動をモニターすることで、第1のトランジスタによって保持される電荷に応じた電位の変動に関する情報を取得できる。そして、半導体装置100では、モニター回路114における電位の変動をトリガーとしてモニター回路114でモニター信号を生成し、このモニター信号によってコントローラ108がコンフィギュレーションメモリのリコンフィギュレーションを行う構成とすることができる。該構成により、プログラブル回路112でのコンフィギュレーションデータを消失する前にコンフィギュレーションメモリ116をリコンフィギュレーションすることができるため、信頼性に優れた半導体装置とすることができる。また、データの消失に対応してリコンフィギュレーションを行うことができるため、定期的リコンフィギュレーションする構成と比べて、低消費電力化を図ることができる。

20

30

【0049】

次いで、図1に示した半導体装置100の動作の一例について、図2のフローチャート図を用いて説明する。図2のフローチャート図では、一例として、電源をオンしてからオフするまでの動作について説明する。

【0050】

まず電源をオンにする(ステップS201)。

【0051】

次いで初期設定か否かの判断を行う(ステップS202)。ここで初期設定とは、予めコンフィギュレーションメモリ116にコンフィギュレーションデータが記憶されていない状態をいう。例えば、工場から出荷直後の状態や、ユーザによるコンフィギュレーションメモリ116の初期化が行われた直後の状態等をいう。

40

【0052】

初期設定でない場合、モニター回路114から出力されるモニター信号に電位の変化があったか否かの判断を行う(ステップS203)。

【0053】

次いでステップS202で初期設定と判断された場合、ステップS203でモニター信号に電位の変化がある場合、コントローラ108は記憶装置110にコンフィギュレーションデータを要求し、リコンフィギュレーションを行う(ステップS204)。

【0054】

次いでコンフィギュレーションメモリ116にコンフィギュレーションデータが記憶され

50

た状態となるため、半導体装置 100 は、通常動作となる（ステップ S 205）。またステップ S 203 で、モニター回路 114 から出力されるモニター信号に電位の変化がない場合も、コンフィギュレーションメモリ 116 にコンフィギュレーションデータがあると判断されるため、半導体装置 100 は通常動作となる。ここで通常動作とは、コンフィギュレーションメモリ 116 にコンフィギュレーションデータが記憶され、プログラマブル回路 112 においてロジックの機能、回路間の接続状態、及び入出力端子における信号の入出力方向が定まり、ユーザによる所望の機能を実行する回路として動作する状態をいう。

【0055】

通常動作時において、コンフィギュレーションメモリ 116 に記憶したコンフィギュレーションデータは、第 1 のトランジスタの低いオフ電流を利用して電荷を保持し、該電荷に応じた電位をコンフィギュレーションデータとしている。そのため、保持された電荷は経時的に変化し、コンフィギュレーションデータが変化する恐れがある。そのため、モニター回路 114 では、コンフィギュレーションメモリ 116 と同様に、オフ電流の低い第 2 のトランジスタを設ける。そして第 2 のトランジスタが接続されたノードの電位の変化を、コンフィギュレーションデータに対応する電位の変化として、モニターし続ける。そしてモニター回路 114 から出力されるモニター信号に電位の変化があった否かの判断を行う（ステップ S 206）。

10

【0056】

モニター回路 114 から出力されるモニター信号に電位の変化があった場合、ステップ S 204 に戻り、コントローラ 108 は記憶装置 110 にコンフィギュレーションデータを要求し、リコンフィギュレーションを行う。

20

【0057】

通常動作時で、且つステップ S 206 でモニター回路 114 から出力されるモニター信号に電位の変化がない場合、電源をオフにするか否かの判断を行う（ステップ S 207）。電源をオフにする場合は、終了となる。電源をオフにしない場合は、通常動作をループする。

【0058】

以上説明した半導体装置 100 の動作は、プログラマブル回路 112 でのコンフィギュレーションデータを消失する前にコンフィギュレーションメモリ 116 をリコンフィギュレーションすることができるため、信頼性に優れた半導体装置とすることができる。また、データの消失に対応してリコンフィギュレーションを行うことができるため、定期的によりコンフィギュレーションする構成と比べて、低消費電力化を図ることができる。

30

【0059】

本実施の形態は、他の実施の形態と適宜組み合わせ実施することができる。

【0060】

（実施の形態 2）

本実施の形態では、上記実施の形態 1 で説明したプログラマブル回路 112 の回路構成の一例について示し、説明する。

【0061】

図 3 に、図 1 で示すプログラマブル回路 112 のブロック図の一例を示す。

40

【0062】

プログラマブル回路 112 は、アレイ状の複数の PLE 301 を有する。ここでアレイ状とは、行列状に PLE が周期的に配列していることを指し、配列は図 3 の配列に限られない。

【0063】

また、PLE 301 を囲むように、複数の配線が形成されている。図 3 においては、これらの配線は複数の水平な配線群 303 と複数の垂直な配線群 304 とを有する。配線群とは、複数の配線からなる配線の束である。水平な配線群 303 と垂直な配線群 304 とが交わる部分には PSE 302 が設けられる。また、水平な配線群 303 及び垂直な配線群

50

304は入出力端子305に接続され、プログラブル回路112の外部回路と信号の授受を行う。

【0064】

入出力端子305は、それぞれ周囲に設けられた水平な配線群303や垂直な配線群304に接続している。例えば、入出力端子305は図3においてそれぞれ上下左右の側で水平な配線群303や垂直な配線群304と接続している。この水平な配線群303や垂直な配線群304を用いることで、PLE301は他のPLE301に接続することができる。任意のPLE301と、これと異なるPLE301との接続経路は、PSE302が有するスイッチによって決定される。

【0065】

PSE302内における、配線間の接続を切り替えるスイッチのオン又はオフは、コンフィギュレーションデータを保持するコンフィギュレーションメモリ116に応じて決定される。PSE302に設けられるコンフィギュレーションメモリは、書き換え可能な構成とする場合、記憶するコンフィギュレーションデータが電源電圧の供給の停止により消失しないよう、不揮発性の記憶素子を有する構成とすることが好ましい。

【0066】

また図4は図3で示したPLE301として機能するブロック図の一例を示す。図4(A)に示すPLE301は、一例として、ルックアップテーブル160(LUT: Look Up Table)、フリップフロップ(F.F.)161及びコンフィギュレーションメモリ162を有する。また図4(B)では、図4(A)に示す各構成の他、マルチプレクサ168及びコンフィギュレーションメモリ169が設けられている。

【0067】

LUT160は、コンフィギュレーションメモリ162に記憶されたコンフィギュレーションデータの内容によって、定められるロジックの機能を切り替えることができる回路である。つまりコンフィギュレーションデータが確定すると、LUT160は、入力端子163に与えられた複数の入力信号の入力値に対する、一の出力値を定めることができる。そして、LUT160からは、上記出力値を含む信号が出力される。

【0068】

フリップフロップ161は、LUT160から出力される信号を保持し、クロック信号CLKに従って該信号に対応した出力信号を出力する。図4(A)でフリップフロップ161からの出力信号は、第1出力端子164及び第2出力端子165から出力される。

【0069】

マルチプレクサ168は、LUT160からの出力信号と、フリップフロップ161からの出力信号とが入力される。そして、マルチプレクサ168は、コンフィギュレーションメモリ169に保持されているコンフィギュレーションデータに従って、上記2つの出力信号のいずれか一方に切り替えて出力する。マルチプレクサ168からの出力信号は、第1出力端子164及び第2出力端子165から出力される。

【0070】

なおLUT160は複数のマルチプレクサを用いて構成することができる。そして、複数のマルチプレクサの入力端子及び制御端子のうちのいずれかにコンフィギュレーションデータが入力される構成とすることができる。

【0071】

LUT160は、図5(A)及び(B)に挙げる構成例をもって説明することができる。

【0072】

図5(A)において、LUT160は、2入力のマルチプレクサを7つ(マルチプレクサ31、マルチプレクサ32、マルチプレクサ33、マルチプレクサ34、マルチプレクサ35、マルチプレクサ36、マルチプレクサ37)有している。マルチプレクサ31乃至マルチプレクサ34の各入力端子には、コンフィギュレーションメモリ162に保持されたコンフィギュレーションデータに対応した信号が与えられ、図5(A)では各端子を入力端子M1乃至M8としている。また図5(A)では、図4(A)、(B)での入力端子

10

20

30

40

50

163に対応して、3つの端子をそれぞれ入力端子in1乃至in3として図示している。

【0073】

マルチプレクサ31乃至マルチプレクサ34の各制御端子は接続されており、上記制御端子が、LUT160の入力端子in3に相当する。マルチプレクサ31の出力端子、及びマルチプレクサ32の出力端子は、マルチプレクサ35の2つの入力端子と接続され、マルチプレクサ33の出力端子、及びマルチプレクサ34の出力端子は、マルチプレクサ36の2つの入力端子と接続されている。マルチプレクサ35及びマルチプレクサ36の各制御端子は接続されており、上記制御端子が、LUT160の入力端子in2に相当する。マルチプレクサ35の出力端子、及びマルチプレクサ36の出力端子は、マルチプレクサ37の2つの入力端子と接続されている。マルチプレクサ37の制御端子は、LUT160の入力端子in1に相当する。マルチプレクサ37の出力端子がLUT160の出力端子outに相当する。

10

【0074】

入力端子M1乃至入力端子M8に、コンフィギュレーションメモリ162から、当該コンフィギュレーションメモリ162に保持されたコンフィギュレーションデータに対応した信号を入力することによって、LUT160によって行われる論理演算の種類を定めることができる。

【0075】

例えば、図5(A)のLUT160において、入力端子M1乃至入力端子M8に、コンフィギュレーションメモリから、デジタル値が"0"、"1"、"0"、"1"、"0"、"1"、"1"、"1"である当該コンフィギュレーションメモリに格納されたコンフィギュレーションデータに対応した信号をそれぞれ入力した場合、図5(B)に示す等価回路の機能を実現することができる。

20

【0076】

また、LUT160は、マルチプレクサの他に、ダイオード、抵抗素子、論理素子、スイッチのいずれかまたは全てを更に有していても良い。論理素子としては、バッファ、インバータ、NAND回路、NOR回路、スリーステートバッファ、クロックドインバータ等を用いることができる。スイッチとしては、例えばアナログスイッチ、トランジスタ等を用いることができる。

30

【0077】

また、図5(A)に示したLUT160を用いて、図5(B)の様な3入力1出力の論理演算を行う場合について示したがこれに限定されない。LUT160及び入力するコンフィギュレーションデータを適宜定めることによって、より多くの入力、多くの出力の論理演算を実現することができる。

【0078】

ここでPSE302に設けられる、トランジスタの低いオフ電流を利用して電荷を保持し、該電荷に応じた電位をコンフィギュレーションデータとして記憶するコンフィギュレーションメモリの一例について図6(A)に示す。

【0079】

図6(A)に示す、PSE302に設けられるコンフィギュレーションメモリ118Aは、第1のトランジスタとして、OSTランジスタでコンフィギュレーションメモリを形成する構成例である。コンフィギュレーションメモリに、OSTランジスタのオフ電流が低いという特性を利用して電荷を保持し、該電荷に応じた電位をコンフィギュレーションデータとして記憶する構成を採用することで、Sitransistatの作製工程に続いてOSTランジスタを積層し、コンフィギュレーションメモリを作製することができる等、製造コストの削減の点でメリットが大きい。

40

【0080】

図6(A)に示すコンフィギュレーションメモリ118Aは、ノードmemAに電荷を保持し、該電荷に応じた電位をコンフィギュレーションデータとして記憶する。そして保持

50

されるコンフィギュレーションデータに従って、端子S 1と端子S 2との接続を制御する。

【0081】

図6(A)に示すコンフィギュレーションメモリ118Aは、トランジスタ511、トランジスタ512及び容量素子514を有する。なお図面において、トランジスタ511は、OSトランジスタであることを示すために、OSの符号を付している。なおトランジスタ511は、上記実施の形態1で説明した第1のトランジスタに相当するトランジスタである。

【0082】

図6(A)に示すコンフィギュレーションメモリ118Aでトランジスタ511のゲートは、ワード線502に接続されている。また、トランジスタ511のソース及びドレインの一方はデータ線501に接続されている。また、トランジスタ511のソース及びドレインの他方は、トランジスタ512のゲート及び容量素子514に接続されている。トランジスタ512のソース及びドレインの一方は、端子S1に接続されている。トランジスタ512のソース及びドレインの他方は、端子S2に接続されている。

【0083】

図6(A)に示すコンフィギュレーションメモリ118Aでは、ノードmemAにHレベル又はLレベルに対応する電位をコンフィギュレーションデータとして保持する。トランジスタ511としてオフ電流が低いトランジスタを用いることで、ノードmemAにコンフィギュレーションデータを記憶することができる。コンフィギュレーションデータの電位に応じてコンフィギュレーションメモリ118Aでは、トランジスタ512の導通状態が制御される。そしてトランジスタ512を導通状態とするタイミングで、端子S1及び端子S2間のオン又はオフの制御を実現するスイッチとすることができる。

【0084】

次いでPLE301に設けられる、トランジスタの低いオフ電流を利用して電荷を保持し、該電荷に応じた電位をコンフィギュレーションデータとして記憶するコンフィギュレーションメモリの一例について図6(B)に示す。なおPLE301に設けられるコンフィギュレーションメモリは、図4(A)、(B)で説明したコンフィギュレーションメモリ162やコンフィギュレーションメモリ169に相当する。

【0085】

図6(B)に示す、PLE301に設けられるコンフィギュレーションメモリ118Bは、第1のトランジスタとして、OSトランジスタでコンフィギュレーションメモリを形成する構成例である。コンフィギュレーションメモリに、OSトランジスタのオフ電流が低いという特性を利用して電荷を保持し、該電荷に応じた電位をコンフィギュレーションデータとして記憶する構成を採用することで、Siトランジスタの作製工程に続いてOSトランジスタを積層し、コンフィギュレーションメモリを作製することができる等、製造コストの削減の点でメリットが大きい。

【0086】

図6(B)に示すコンフィギュレーションメモリ118Bは、ノードmemB1及びノードmemB2に電荷を保持し、該電荷に応じた電位をコンフィギュレーションデータとして記憶する。そして保持されるコンフィギュレーションデータに従って、端子OUTにHレベル又はLレベルの電位を出力する。

【0087】

図6(B)に示すコンフィギュレーションメモリ118Bは、トランジスタ531、トランジスタ535、トランジスタ532、トランジスタ536、容量素子534及び容量素子538を有する。なお図面において、トランジスタ531及びトランジスタ535は、OSトランジスタであることを示すために、OSの符号を付している。なおトランジスタ531及びトランジスタ535は、上記実施の形態1で説明した第1のトランジスタに相当するトランジスタである。

【0088】

図6(B)に示すコンフィギュレーションメモリ118Bでトランジスタ531のゲートは、ワード線542に接続されている。また、トランジスタ531のソース及びドレインの一方はデータ線541に接続されている。また、トランジスタ531のソース及びドレインの他方は、トランジスタ532のゲート及び容量素子534に接続されている。トランジスタ532のソース及びドレインの一方は、Hレベルの電位を与える配線VHに接続されている。トランジスタ532のソース及びドレインの他方は、出力端子OUTに接続されている。

【0089】

図6(B)に示すコンフィギュレーションメモリ118Bでトランジスタ535のゲートは、ワード線542に接続されている。また、トランジスタ535のソース及びドレインの一方はインバータ540を介してデータ線541に接続されている。また、トランジスタ535のソース及びドレインの他方は、トランジスタ536のゲート及び容量素子538に接続されている。トランジスタ536のソース及びドレインの一方は、Lレベルの電位を与える配線VLに接続されている。トランジスタ536のソース及びドレインの他方は、出力端子OUTに接続されている。

10

【0090】

図6(B)に示すコンフィギュレーションメモリ118Bでは、ノードmemB1とノードmemB2とで、一方にHレベル、他方にLレベルとなるような電位をコンフィギュレーションデータとして保持する。トランジスタ531及びトランジスタ535としてオフ電流が低いトランジスタを用いることで、ノードmemB1及びノードmemB2にコンフィギュレーションデータを記憶することができる。コンフィギュレーションデータの電位に応じてコンフィギュレーションメモリ118Bでは、トランジスタ532及びトランジスタ536の導通状態が制御され、どちらか一方のみが導通状態となる。そしてトランジスタ532又はトランジスタ536の一方を導通状態とするタイミングで、出力端子OUTにHレベルの電位又はLレベルの電位を与えることができる。

20

【0091】

以上説明した半導体装置100が有するプログラマブル回路112の回路構成は、上記実施の形態1に組み合わせることができる。そのためプログラマブル回路112でのコンフィギュレーションデータを消失する前にコンフィギュレーションメモリ116をリコンフィギュレーションすることができ、信頼性に優れた半導体装置とすることができる。また、データの消失に対応してリコンフィギュレーションを行うことができ、定期的にリコンフィギュレーションする構成と比べて、低消費電力化を図ることができる。

30

【0092】

本実施の形態は、他の実施の形態と適宜組み合わせ実施することができる。

【0093】

(実施の形態3)

本実施の形態では、上記実施の形態1で説明したモニター回路114の回路構成の一例、及びその動作について示し、説明する。

【0094】

モニター回路114の回路構成の一例として、図7にモニター回路114Aのブロック図の一例を示す。モニター回路114Aでは、コンフィギュレーションデータとして保持されている電荷に応じた電位の変動をモニターするために第2のトランジスタを有する。該第2のトランジスタは、トランジスタ等によって保持される電位の変動に従って得られるモニター信号をコントローラ108に出力する機能を有する。

40

【0095】

図7に示す、モニター回路114Aは、第2のトランジスタとして、トランジスタ600を有する。またモニター回路114Aは、容量素子602、トランジスタ604、トランジスタ606、トランジスタ608、トランジスタ610、フリップフロップ612、及びインバータ614を有する。なお図7において、トランジスタ600、容量素子602及びトランジスタ610が接続されるノードを、ノードFNとして説明を行う。また、図

50

7において、トランジスタ606、トランジスタ608及びフリップフロップ612が接続されるノードを、ノードRSとして説明を行う。

【0096】

次いで図7に示すモニター回路114Aにおける各素子の接続関係について説明する。

【0097】

トランジスタ600は、ゲートにワード線WLの信号が与えられる。トランジスタ600は、ソース及びドレインの一方にビット線BLの信号が与えられる。トランジスタ600は、ソース及びドレインの他方に容量素子602の一方の電極、及びトランジスタ610のゲートが接続される。なお以下の説明でトランジスタ600は、一例としてnチャンネル型トランジスタとして説明する。

10

【0098】

容量素子602は、一方の電極がトランジスタ600のソース及びドレインの他方、及びトランジスタ610のゲートに接続される。また容量素子602は、他方の電極がグラウンドに接続される。なお容量素子602の他方の電極は、固定電位線に接続されていればよく、例えば、図29(C)に示すように、高電源電位を与える電源線等に接続される構成でもよい。なお容量素子602は、配線やトランジスタでの寄生容量を利用することで、省略することができる。

【0099】

トランジスタ604は、ゲートにインバータ614を介して第1のクロック信号CLK1が与えられる。トランジスタ604は、ソース及びドレインの一方に高電源電位VDDが与えられる。トランジスタ604は、ソース及びドレインの他方にトランジスタ606のソース及びドレインの一方が接続される。なお以下の説明でトランジスタ604は、一例としてpチャンネル型トランジスタとして説明する。

20

【0100】

トランジスタ606は、ゲートに第1のクロック信号CLK1が与えられる。トランジスタ606は、ソース及びドレインの一方にトランジスタ604のソース及びドレインの他方が接続される。トランジスタ606は、ソース及びドレインの他方にフリップフロップ612のリセット端子XR、並びにトランジスタ608のソース及びドレインの一方が接続される。なお以下の説明でトランジスタ606は、一例としてpチャンネル型トランジスタとして説明する。

30

【0101】

トランジスタ608は、ゲートに第1のクロック信号CLK1が与えられる。トランジスタ608は、ソース及びドレインの一方にフリップフロップ612のリセット端子XR、並びにトランジスタ606のソース及びドレインの他方が接続される。トランジスタ608は、ソース及びドレインの他方にトランジスタ610のソース及びドレインの一方が接続される。なお以下の説明でトランジスタ608は、一例としてnチャンネル型トランジスタとして説明する。

【0102】

トランジスタ610は、ゲートにトランジスタ600のソース及びドレインの他方、及び容量素子602の一方の電極が接続される。トランジスタ610は、ソース及びドレインの一方にトランジスタ608のソース及びドレインの他方が接続される。トランジスタ610は、ソース及びドレインの他方がグラウンドに接続される。なおトランジスタ610のソース及びドレインの他方は、高電源電位よりも小さい固定電位線に接続されていればよい。その場合の例を、図29(A)、図29(B)に示す。なお以下の説明でトランジスタ610は、一例としてnチャンネル型トランジスタとして説明する。

40

【0103】

フリップフロップ612は、D端子に高電源電位VDDが与えられる。フリップフロップ612は、リセット端子XRにトランジスタ606のソース及びドレインの他方、トランジスタ608のソース及びドレインの一方が接続される。フリップフロップ612は、クロック端子C1に第1のクロック信号CLK1が与えられる。フリップフロップ612は

50

、クロック端子C 2に第2のクロック信号CLK 2が与えられる。フリップフロップ6 1 2は、出力端子Qに第1のモニター信号Moni__out [0]を与える。なお以下の説明でフリップフロップ6 1 2は、一例として非同期リセット付きのDフリップフロップとして説明する。

【 0 1 0 4 】

なお図7に示すモニター回路1 1 4 Aにおいてトランジスタ6 0 0はO Sトランジスタとし、その他のトランジスタ6 0 4、トランジスタ6 0 6、トランジスタ6 0 8、トランジスタ6 1 0、フリップフロップ6 1 2を構成するトランジスタ、及びインバータ6 1 4を構成するトランジスタはS iトランジスタとする構成が好ましい。該構成とすることで、S iトランジスタ上にO Sトランジスタを積層して作製することができる等、製造コストの削減の点でメリットが大きい。

10

【 0 1 0 5 】

なお図7に示すトランジスタ6 0 0は、O Sトランジスタであることを示すために、O Sの符号を付している。なおトランジスタ6 0 0は、上記実施の形態1で説明した第2のトランジスタに相当するトランジスタである。

【 0 1 0 6 】

ここで、固定電位や高電源電位V D Dなどを供給する配線は、一例としては、電源回路1 8 0、及び、電源回路1 8 2と接続されている。その場合の例を、図3 0に示す。

【 0 1 0 7 】

以上が図7に示すモニター回路1 1 4 Aにおける各素子の接続関係の説明である。

20

【 0 1 0 8 】

図7に示すモニター回路1 1 4 Aでは、プログラマブル回路1 1 2が有するコンフィギュレーションメモリ1 1 6にコンフィギュレーションデータを与えるとともに、ビット線B LにHレベルの電位を与え、ワード線W LをHレベルとして、ビット線B LのHレベルの電位をノードF Nに保持する。ノードF Nの電位は、トランジスタ6 0 0をオフ状態とすることで、保持される。

【 0 1 0 9 】

ノードF Nでは、実施の形態2で説明したノードmem A、ノードmem B 1及びノードmem B 2と同様に、電荷を保持する。そのため、ノードF Nでの電位の変化をモニターすることでコンフィギュレーションデータの電位の変化をモニターすることができる。

30

【 0 1 1 0 】

ノードF Nでの電荷に応じた電位は、トランジスタ6 1 0のゲートに与えられる。そのためノードF Nの電位は、トランジスタ6 1 0のソースとドレイン間の導通状態に変換することができる。

【 0 1 1 1 】

またノードR Sでは、第1のクロック信号CLK 1のトグル動作により、トランジスタ6 0 4及びトランジスタ6 0 6を介した電荷の充電、トランジスタ6 0 8及びトランジスタ6 1 0を介した電荷の放電が行われる。この電荷の放電は、トランジスタ6 1 0のソースとドレイン間の導通状態、すなわちノードF Nでの電荷に応じた電位によって制御される。そのため、トランジスタ6 1 0のソースとドレイン間の導通状態は、ノードR Sでの電位の変化に変換することができる。

40

【 0 1 1 2 】

ノードR Sでの電位の変化によって、フリップフロップ6 1 2は出力端子Qの第1のモニター信号Moni__out [0]での電位の変化が起こり、該電位の変化をトリガーとしてリコンフィギュレーションを行う構成とすることができる。

【 0 1 1 3 】

なお、図7では、インバータ6 1 4が設けられている場合の例を示したが、本発明の一態様は、これに限定されない。例えば、図2 4に示すように、第3のクロック信号CLK 3を用いてもよい。

【 0 1 1 4 】

50

なお、トランジスタ604、トランジスタ606、トランジスタ608、トランジスタ610は、様々な回路構成をとることが出来る。その場合の例を、図25(A)、図25(B)、図25(C)に示す。また、この場合においても、第3のクロック信号CLK3を用いてもよい。その場合の例を、図26(A)、図26(B)、図26(C)に示す。

【0115】

次いで図8に、図7に示す回路図のタイミングチャート図を示す。

【0116】

なお図8に示すタイミングチャート図では、ワード線WLの信号をWS、ビット線BLの信号をDATAとしている。また図8に示すタイミングチャート図では、WS、DATAの他、第1のクロック信号であるCLK1、第2のクロック信号であるCLK2、ノードFNの電位であるFN、ノードRSの電位であるRS、及び第1のモニター信号であるMoni_out[0]を示している。

10

【0117】

なお図8に示すタイミングチャート図での初期状態としてDATA、WS、FNをLレベルとする。このとき、RSにLレベルは供給されない。また、CLK1のLレベルからHレベルへの信号の変化(以下、立ち上がりという)、HレベルからLレベルへの信号の変化(以下、立ち下がりという)でトランジスタ604及びトランジスタ606で瞬間的に電流が流れ、RSがHレベルとなる。RSはフリップフロップ612のリセット信号であり、Hレベルにおいてはフリップフロップ612が非リセット状態にある。

【0118】

20

まず時刻T1において、DATAとWSをHレベルにする。トランジスタ600のゲートにHレベルの電位が印加されるため、ソースとドレインの間は導通状態となる。そしてDATAのHレベルの電位がFNに与えられ、FNはVDDと同程度の電位、つまりHレベルの電位となる。第1のクロック信号CLK1がLレベルであるため、RS、Moni_out[0]はHレベルを維持する。

【0119】

時刻T2において、WSをLレベルにする。また、第1のクロック信号CLK1がHレベルになると、トランジスタ608が導通状態となり、RSはLレベルとなる。RSがLレベルになると、フリップフロップ612はリセット状態となる。したがって、Moni_out[0]はLレベルとなる。

30

【0120】

時刻T3において、DATAをLレベルにする。FNがHレベルを保持することでトランジスタ610を介して電流が流れるため、RSがLレベルに維持される。フリップフロップ612はリセット状態であるため、Moni_out[0]はLレベルを維持する。

【0121】

時刻T4において、FNの電位が低下し、RSにグラウンドの電位を供給できなくなると、CLK1の立ち上がり及び立ち下がりのタイミングでトランジスタ604及びトランジスタ606に電流が流れるため、RSの電位は徐々に上昇する。そのため、RSはリセット回路の論理しきい値を越え、フリップフロップ612は非リセット状態となる。

【0122】

40

時刻T5において、CLK2がHレベルになると、フリップフロップ612はマスターラッチにHレベルを取り込む。

【0123】

時刻T6において、CLK1がHレベルになると、フリップフロップ612におけるマスターラッチのHレベルがスレーブラッチに取り込まれ、Moni_out[0]はHレベルを出力する。

【0124】

Moni_out[0]がHレベルを出力することをトリガーとして、コントローラ108はリコンフィギュレーションを開始することができる。リコンフィギュレーションの開始により時刻T1に動作が戻ることで、図8のタイミングチャートが繰り返し実行される

50

ことになる。

【 0 1 2 5 】

なお、図 7 及び図 8 を用いてモニター回路 1 1 4 の回路構成の一例を述べたが、本発明の実施形態の一態様は、これに限定されない。例えば、図 9、図 1 0 に示すような構成でもよい。

【 0 1 2 6 】

モニター回路 1 1 4 の回路構成の一例として、図 9 にモニター回路 1 1 4 B のブロック図の一例を示す。モニター回路 1 1 4 B がモニター回路 1 1 4 A と異なる点は、フリップフロップ 6 1 2 に加えてフリップフロップ 6 1 3 を設け、シフトレジスタを構成する点にある。

10

【 0 1 2 7 】

シフトレジスタを構成することで、モニター回路 1 1 4 B は、ノイズ等の予期せぬ要因により瞬間的に R S の電位が H レベルとなってもリコンフィギュレーションを行う動作を回避することができる。そのため、モニター回路 1 1 4 B を具備する半導体装置は、ノイズ等で R S の電位が瞬間的に変動しても、安定した動作を行うことができる。

【 0 1 2 8 】

フリップフロップ 6 1 3 は、D 端子に第 1 のモニター信号 `Moni_out[0]` が与えられる。フリップフロップ 6 1 3 は、リセット端子 X R にトランジスタ 6 0 6 のソース及びドレインの他方、トランジスタ 6 0 8 のソース及びドレインの一方が接続される。フリップフロップ 6 1 3 は、クロック端子 C 1 に第 1 のクロック信号 `CLK1` が与えられる。フリップフロップ 6 1 3 は、クロック端子 C 2 に第 2 のクロック信号 `CLK2` が与えられる。フリップフロップ 6 1 3 は、出力端子 Q に第 2 のモニター信号 `Moni_out[1]` を与える。なお以下の説明でフリップフロップ 6 1 3 は、一例として非同期リセット付きの D フリップフロップとして説明する。

20

【 0 1 2 9 】

次いで図 1 0 に、図 9 に示す回路図のタイミングチャート図を示す。

【 0 1 3 0 】

なお図 1 0 に示すタイミングチャート図では、図 8 で示した信号の他、第 2 のモニター信号である `Moni_out[1]` を示している。

【 0 1 3 1 】

図 1 0 に示すタイミングチャート図の動作は、時刻 T 6 までは図 8 での説明と同様であるので、それ以降について説明する。

30

【 0 1 3 2 】

時刻 T 7 において、`Moni_out[0]` の H レベルがフリップフロップ 6 1 3 の D 端子に与えられるため、`CLK2` が H レベルになると、フリップフロップ 6 1 3 はマスターラッチに H レベルを取り込む。

【 0 1 3 3 】

時刻 T 8 において、`CLK1` が H レベルになると、フリップフロップ 6 1 3 はマスターラッチの H レベルがスレーブラッチに取り込まれ、`Moni_out[1]` は H レベルを出力する。

40

【 0 1 3 4 】

`Moni_out[1]` が H レベルを出力することをトリガーとして、コントローラ 1 0 8 はリコンフィギュレーションを開始することができる。リコンフィギュレーションの開始により時刻 T 1 に動作が戻ることで、図 1 0 のタイミングチャートが繰り返し実行されることになる。

【 0 1 3 5 】

なお、図 7 及び図 8、並びに図 9 及び図 1 0 を用いてモニター回路 1 1 4 の回路構成の一例を述べたが、本発明の実施形態の一態様は、これに限定されない。例えば、図 1 1 乃至図 1 3 に示すような構成でもよい。

【 0 1 3 6 】

50

モニター回路 114 の回路構成の一例として、図 11 にモニター回路 114 C のブロック図の一例を示す。モニター回路 114 C がモニター回路 114 B と異なる点は、トランジスタ 604 及びインバータ 614 を省略した点にある。

【0137】

なお、トランジスタ 606、トランジスタ 608、トランジスタ 610 は、様々な回路構成をとることが出来る。その場合の例を、図 27 に示す。

【0138】

次いで図 13 に、図 11 に示す回路図のタイミングチャート図を示す。

【0139】

なお図 13 での説明のため、図 12 ではフリップフロップ 612 及びフリップフロップ 613 の回路構成の一例を示す。図 12 では、アナログスイッチ 630、NAND 632、クロック入力型のインバータ 634、アナログスイッチ 636、インバータ 638、クロック入力型の NAND 640 を示している。図 12 における、マスターラッチとスレーブラッチの間のノードをノード m1 として、図 13 では説明を行う。なお図 12 中、CLK1B、CLK2B は、CLK1、CLK2 の反転信号である。

【0140】

図 13 に示すタイミングチャート図の動作が、図 10 に示すタイミングチャート図と異なる点は、トランジスタ 604 を省略したことによる、RS での電荷の充放電が大きい点、RS での電荷の変動により Moni_out[0] が変動する点にある。

【0141】

Moni_out[0] が変動しても、Moni_out[1] が H レベルを出力することをトリガーとして、コントローラ 108 はリコンフィギュレーションを開始することができる。そのため、図 11 のモニター回路 114 C は、図 10 と同様の機能を果たすことができる。

【0142】

なお、図 7 及び図 8、図 9 及び図 10、並びに図 11 及び図 13 を用いてモニター回路 114 の回路構成の一例を述べたが、本発明の実施形態の一態様は、これに限定されない。例えば、図 14 及び図 15 に示すような構成でもよい。

【0143】

モニター回路 114 の回路構成の一例として、図 14 にモニター回路 114 D のブロック図の一例を示す。モニター回路 114 D がモニター回路 114 B と異なる点は、インバータ 614 を省略し、トランジスタ 604 のゲートをノード FN に接続した点にある。

【0144】

なお、トランジスタ 604、トランジスタ 606、トランジスタ 608、トランジスタ 610 は、様々な回路構成をとることが出来る。その場合の例を、図 28(A)、図 28(B)、図 28(C) に示す。

【0145】

次いで図 15 に、図 14 に示す回路図のタイミングチャート図を示す。

【0146】

図 15 に示すタイミングチャート図の動作が、図 10 に示すタイミングチャート図と異なる点は、インバータ 614 を省略したことによる点にある。

【0147】

Moni_out[0] が変動しても、Moni_out[1] が H レベルを出力することをトリガーとして、コントローラ 108 はリコンフィギュレーションを開始することができる。そのため、図 14 のモニター回路 114 D は、図 10 と同様の機能を果たすことができる。

【0148】

以上説明した半導体装置 100 が有するモニター回路 114 A 乃至 114 D の回路構成は、上記実施の形態 1 に組み合わせることができる。そのためプログラブル回路 112 でのコンフィギュレーションデータを消失する前にコンフィギュレーションメモリ 116 を

10

20

30

40

50

リコンフィギュレーションすることができ、信頼性に優れた半導体装置とすることができる。また、データの消失に対応してリコンフィギュレーションを行うことができ、定期的にリコンフィギュレーションする構成と比べて、低消費電力化を図ることができる。

【0149】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することができる。

【0150】

(実施の形態4)

本実施の形態では、上記実施の形態で説明したオフ電流の低いトランジスタの半導体層に用いることのできる酸化物半導体層について説明する。

【0151】

トランジスタの半導体層中のチャネル形成領域に用いる酸化物半導体としては、少なくともインジウム(In)又は亜鉛(Zn)を含むことが好ましい。特にIn及びZnを含むことが好ましい。また、それらに加えて、酸素を強く結びつけるスタビライザーを有することが好ましい。スタビライザーとしては、ガリウム(Ga)、スズ(Sn)、ジルコニウム(Zr)、ハフニウム(Hf)及びアルミニウム(Al)の少なくともいずれかを有すればよい。

【0152】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種又は複数種を有してもよい。

【0153】

トランジスタの半導体層として用いられる酸化物半導体としては、例えば、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物等がある。

【0154】

例えば、In:Ga:Zn=1:1:1、In:Ga:Zn=3:1:2、あるいはIn:Ga:Zn=2:1:3の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0155】

半導体層を構成する酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタの閾値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理(脱水素化処理)を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

【0156】

なお、酸化物半導体膜への脱水化処理(脱水素化処理)によって、酸化物半導体膜から酸素が減少してしまうことがある。よって、酸化物半導体膜への脱水化処理(脱水素化処

10

20

30

40

50

理)によって増加した酸素欠損を補填するため酸素を酸化物半導体膜に加える処理を行うことが好ましい。本明細書等において、酸化物半導体膜に酸素を供給する場合を、加酸素化処理と記す場合がある、または酸化物半導体膜に含まれる酸素を化学量論的組成よりも多くする場合を過酸素化処理と記す場合がある。

【0157】

このように、酸化物半導体膜は、脱水化処理(脱水素化処理)により、水素又は水分が除去され、加酸素化処理により酸素欠損を補填することによって、i型(真性)化又はi型に限りなく近く実質的にi型(真性)である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく(ゼロに近く)、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、 $1 \times 10^{16} / \text{cm}^3$ 以下、 $1 \times 10^{15} / \text{cm}^3$ 以下、 $1 \times 10^{14} / \text{cm}^3$ 以下、 $1 \times 10^{13} / \text{cm}^3$ 以下、特に好ましくは $8 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上であることをいう。

10

【0158】

また、このように、i型又は実質的にi型である酸化物半導体膜を備えるトランジスタは、極めて優れたオフ電流特性を実現できる。例えば、酸化物半導体膜を用いたトランジスタがオフ状態のときのドレイン電流を、室温(25程度)にて $1 \times 10^{-18} \text{ A}$ 以下、好ましくは $1 \times 10^{-21} \text{ A}$ 以下、更に好ましくは $1 \times 10^{-24} \text{ A}$ 以下、又は85にて $1 \times 10^{-15} \text{ A}$ 以下、好ましくは $1 \times 10^{-18} \text{ A}$ 以下、更に好ましくは $1 \times 10^{-21} \text{ A}$ 以下とすることができる。なお、トランジスタがオフ状態とは、nチャネル型のトランジスタの場合、ゲート電圧が閾値電圧よりも十分小さい状態をいう。具体的には、ゲート電圧が閾値電圧よりも1V以上、2V以上又は3V以上小さければ、トランジスタはオフ状態となる。

20

【0159】

また、酸化物半導体膜は、単結晶構造の酸化物半導体(以下、単結晶酸化物半導体という。)、多結晶構造の酸化物半導体(以下、多結晶酸化物半導体という。)、微結晶構造の酸化物半導体(以下、微結晶酸化物半導体という。)、及び非晶質構造の酸化物半導体(以下、非晶質酸化物半導体という。)の一以上で構成されてもよい。また、酸化物半導体膜は、CAAC-OS膜で構成されていてもよい。また、酸化物半導体膜は、非晶質酸化物半導体及び結晶粒を有する酸化物半導体で構成されていてもよい。以下に、代表例として、CAAC-OS及び微結晶酸化物半導体について説明する。

30

【0160】

まずは、CAAC-OS膜について説明する。

【0161】

CAAC-OS膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0162】

CAAC-OS膜を透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって観察すると、明確な結晶部同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

40

【0163】

CAAC-OS膜を、試料面と概略平行な方向からTEMによって観察(断面TEM観察)すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面(被形成面ともいう。)または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

【0164】

一方、CAAC-OS膜を、試料面と概略垂直な方向からTEMによって観察(平面TEM観察)すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られな

50

い。

【0165】

図16(a)は、CAAC-OS膜の断面TEM像である。また、図16(b)は、図16(a)をさらに拡大した断面TEM像であり、理解を容易にするために原子配列を強調表示している。

【0166】

図16(c)は、図16(a)のA-O-A'間において、丸で囲んだ領域(直径約4nm)の局所的なフーリエ変換像である。図16(c)より、各領域においてc軸配向性が確認できる。また、A-O間とO-A'間とは、c軸の向きが異なるため、異なるグレインであることが示唆される。また、A-O間では、c軸の角度が 14.3° 、 16.6° 、 26.4° のように少しずつ連続的に変化していることがわかる。同様に、O-A'間では、c軸の角度が -18.3° 、 -17.6° 、 -15.9° と少しずつ連続的に変化していることがわかる。

10

【0167】

なお、CAAC-OS膜に対し、電子回折を行うと、配向性を示すスポット(輝点)が観測される。例えば、CAAC-OS膜の上面に対し、例えば1nm以上30nm以下の電子線を用いる電子回折(ナノビーム電子回折ともいう。)を行うと、スポットが観測される(図17(A)参照。)

【0168】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

20

【0169】

なお、CAAC-OS膜に含まれるほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、CAAC-OS膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。ただし、CAAC-OS膜に含まれる複数の結晶部が連結することで、一つの大きな結晶領域を形成する場合がある。例えば、平面TEM像において、 2500nm^2 以上、 $5\mu\text{m}^2$ 以上または $1000\mu\text{m}^2$ 以上となる結晶領域が観察される場合がある。

【0170】

CAAC-OS膜に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2 θ)が 31° 近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

30

【0171】

一方、CAAC-OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2 θ が 56° 近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(110)面に帰属される。InGaZnO₄の単結晶酸化物半導体膜であれば、2 θ を 56° 近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、2 θ を 56° 近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

40

【0172】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

【0173】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行

50

った際に形成される。上述したように、結晶のc軸は、CAAC-OSS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OSS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OSS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0174】

また、CAAC-OSS膜中において、c軸配向した結晶部の分布が均一でなくてもよい。例えば、CAAC-OSS膜の結晶部が、CAAC-OSS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりもc軸配向した結晶部の割合が高くなることもある。また、不純物の添加されたCAAC-OSS膜は、不純物が添加された領域が変質し、部分的にc軸配向した結晶部の割合の異なる領域が形成される

10

【0175】

なお、 InGaZnO_4 の結晶を有するCAAC-OSS膜のout-of-plane法による解析では、 2θ が 31° 近傍のピーク他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、CAAC-OSS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OSS膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【0176】

CAAC-OSS膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

20

【0177】

また、CAAC-OSS膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となる場合がある。

30

【0178】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

40

【0179】

また、CAAC-OSS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0180】

次に、微結晶酸化物半導体膜について説明する。

【0181】

微結晶酸化物半導体膜は、TEMによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体膜に含まれる結晶部は、1nm以上100nm以下

50

、または1 nm以上10 nm以下の大きさであることが多い。特に、1 nm以上10 nm以下、または1 nm以上3 nm以下の微結晶であるナノ結晶(nc: nanocrystal)を有する酸化半導体膜を、nc-OS(nanocrystalline Oxide Semiconductor)膜と呼ぶ。また、nc-OS膜は、例えば、TEMによる観察像では、結晶粒界を明確に確認できない場合がある。

【0182】

nc-OS膜は、微小な領域(例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域)において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。従って、nc-OS膜は、分析方法によっては、非晶質酸化半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径(例えば50 nm以上)の電子線を用いる電子回折(制限視野電子回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある(図17(B)参照。)

10

20

【0183】

nc-OS膜は、非晶質酸化半導体膜よりも規則性の高い酸化半導体膜である。そのため、nc-OS膜は、非晶質酸化半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

【0184】

なお、酸化半導体膜は、例えば、非晶質酸化半導体膜、微結晶酸化半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0185】

酸化半導体膜が複数の構造を有する場合、ナノビーム電子回折を用いることで構造解析が可能となる場合がある。

30

【0186】

図17(C)に、電子銃室70と、電子銃室70の下の光学系72と、光学系72の下の試料室74と、試料室74の下の光学系76と、光学系76の下の観察室80と、観察室80に設置されたカメラ78と、観察室80の下のフィルム室82と、を有する透過電子回折測定装置を示す。カメラ78は、観察室80内部に向けて設置される。なお、フィルム室82を有さなくても構わない。

【0187】

また、図17(D)に、図17(C)で示した透過電子回折測定装置内部の構造を示す。透過電子回折測定装置内部では、電子銃室70に設置された電子銃から放出された電子が、光学系72を介して試料室74に配置された物質88に照射される。物質88を通過した電子は、光学系76を介して観察室80内部に設置された蛍光板92に入射する。蛍光板92では、入射した電子の強度に応じたパターンが現れることで透過電子回折パターンを測定することができる。

40

【0188】

カメラ78は、蛍光板92を向いて設置されており、蛍光板92に現れたパターンを撮影することが可能である。カメラ78のレンズの中央、および蛍光板92の中央を通る直線と、蛍光板92の上面と、の為す角度は、例えば、15°以上80°以下、30°以上75°以下、または45°以上70°以下とする。該角度が小さいほど、カメラ78で撮影される透過電子回折パターンは歪みが大きくなる。ただし、あらかじめ該角度がわかって

50

いれば、得られた透過電子回折パターンの歪みを補正することも可能である。なお、カメラ78をフィルム室82に設置しても構わない場合がある。例えば、カメラ78をフィルム室82に、電子84の入射方向と対向するように設置してもよい。この場合、蛍光板92の裏面から歪みの少ない透過電子回折パターンを撮影することができる。

【0189】

試料室74には、試料である物質88を固定するためのホルダが設置されている。ホルダは、物質88を通過する電子を透過するような構造をしている。ホルダは、例えば、物質88をX軸、Y軸、Z軸などに移動させる機能を有していてもよい。ホルダの移動機能は、例えば、1nm以上10nm以下、5nm以上50nm以下、10nm以上100nm以下、50nm以上500nm以下、100nm以上1 μ m以下などの範囲で移動させる精度を有すればよい。これらの範囲は、物質88の構造によって最適な範囲を設定すればよい。

10

【0190】

次に、上述した透過電子回折測定装置を用いて、物質の透過電子回折パターンを測定する方法について説明する。

【0191】

例えば、図17(D)に示すように物質におけるナノビームである電子84の照射位置を変化させる(スキャンする)ことで、物質の構造が変化していく様子を確認することができる。このとき、物質88がCAAC-OS膜であれば、図17(A)に示したような回折パターンが観測される。または、物質88がnc-OS膜であれば、図17(B)に示したような回折パターンが観測される。

20

【0192】

ところで、物質88がCAAC-OS膜であったとしても、部分的にnc-OS膜などと同様の回折パターンが観測される場合がある。したがって、CAAC-OS膜の良否は、一定の範囲におけるCAAC-OS膜の回折パターンが観測される領域の割合(CAAC化率ともいう。)で表すことができる場合がある。例えば、良質なCAAC-OS膜であれば、CAAC化率は、50%以上、好ましくは80%以上、さらに好ましくは90%以上、より好ましくは95%以上となる。なお、CAAC-OS膜と異なる回折パターンが観測される領域の割合を非CAAC化率と表記する。

【0193】

一例として、成膜直後(as-sputteredと表記。)、または酸素を含む雰囲気における450 $^{\circ}$ C加熱処理後のCAAC-OS膜を有する各試料の上面に対し、スキャンしながら透過電子回折パターンを取得した。ここでは、5nm/秒の速度で60秒間スキャンしながら回折パターンを観測し、観測された回折パターンを0.5秒ごとに静止画に変換することで、CAAC化率を導出した。なお、電子線としては、プローブ径が1nmのナノビームを用いた。なお、同様の測定は6試料に対して行った。そしてCAAC化率の算出には、6試料における平均値を用いた。

30

【0194】

各試料におけるCAAC化率を図18(A)に示す。成膜直後のCAAC-OS膜のCAAC化率は75.7%(非CAAC化率は24.3%)であった。また、450 $^{\circ}$ C加熱処理後のCAAC-OS膜のCAAC化率は85.3%(非CAAC化率は14.7%)であった。成膜直後と比べて、450 $^{\circ}$ C加熱処理後のCAAC化率が高いことがわかる。即ち、高い温度(例えば400 $^{\circ}$ C以上)における加熱処理によって、非CAAC化率が低くなる(CAAC化率が高くなる)ことがわかる。また、500 $^{\circ}$ C未満の加熱処理においても高いCAAC化率を有するCAAC-OS膜が得られることがわかる。

40

【0195】

ここで、CAAC-OS膜と異なる回折パターンのほとんどはnc-OS膜と同様の回折パターンであった。また、測定領域において非晶質酸化物半導体膜は、確認できなかった。したがって、加熱処理によって、nc-OS膜と同様の構造を有する領域が、隣接する領域の構造の影響を受けて再配列し、CAAC化していることが示唆される。

50

【0196】

図18(B)および図18(C)は、成膜直後および450 加熱処理後のCAAC-O S膜の平面TEM像である。図18(B)と図18(C)とを比較することにより、450 加熱処理後のCAAC-O S膜は、膜質がより均質であることがわかる。即ち、高い温度における加熱処理によって、CAAC-O S膜の膜質が向上することがわかる。

【0197】

このような測定方法を用いれば、複数の構造を有する酸化半導体膜の構造解析が可能となる場合がある。

【0198】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態に示す構成及び方法などと適宜組み合わせ用いることができる。

10

【0199】

(実施の形態5)

本実施の形態では、開示する発明の一態様に係る半導体装置に用いられるトランジスタの断面構造の一例について、図面を参照して説明する。

【0200】

図19に、発明の一態様に係る回路部の断面構造の一部を、一例として示す。なお、図19では、上記実施の形態3の図7で図示したトランジスタ600、及びトランジスタ610の断面構造を、一例として示す。なお、破線A1-A2で示す領域では、トランジスタ600及びトランジスタ610のチャンネル長方向における構造を示しており、破線A3-A4で示す領域では、トランジスタ600及びトランジスタ610のチャンネル幅方向における構造を示している。ただし、本発明の一態様では、トランジスタ600のチャンネル長方向とトランジスタ610のチャンネル長方向とが、必ずしも一致していなくともよい。

20

【0201】

なお、チャンネル長方向とは、ソース領域及びドレイン領域として機能する一对の不純物領域間において、キャリアが最短距離で移動する方向を意味し、チャンネル幅方向は、チャンネル長方向に対して垂直の方向を意味する。

【0202】

また、図19では、酸化半導体膜にチャンネル形成領域を有するトランジスタ600が、単結晶のシリコン基板にチャンネル形成領域を有するトランジスタ610上に形成されている場合を例示している。

30

【0203】

トランジスタ610は、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜または半導体基板に、チャンネル形成領域を有していても良い。或いは、トランジスタ610は、酸化半導体膜または酸化半導体基板に、チャンネル形成領域を有していても良い。全てのトランジスタが酸化半導体膜または酸化半導体基板に、チャンネル形成領域を有している場合、トランジスタ600はトランジスタ610上に積層されていなくとも良く、トランジスタ600とトランジスタ610とは、同一の層に形成されていても良い。

【0204】

シリコンの薄膜を用いてトランジスタ610を形成する場合、当該薄膜には、プラズマCVD法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

40

【0205】

トランジスタ610が形成される基板400は、例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等を用いることができる。図19では、単結晶シリコン基板を基板400として用いる場合を例示している。

【0206】

50

また、トランジスタ610は、素子分離法により電氣的に分離されている。素子分離法として、トレンチ分離法（STI法：Shallow Trench Isolation）等を用いることができる。図19では、トレンチ分離法を用いてトランジスタ610を電氣的に分離する場合を例示している。具体的に、図19では、エッチング等により基板400に形成されたトレンチに、酸化珪素などが含まれる絶縁物を埋め込んだ後、当該絶縁物をエッチング等により部分的に除去することで形成される素子分離領域401により、トランジスタ610を素子分離させる場合を例示している。

【0207】

また、トレンチ以外の領域に存在する基板400の凸部には、トランジスタ610の不純物領域402及び不純物領域403と、不純物領域402及び不純物領域403に挟まれたチャンネル形成領域404とが設けられている。さらに、トランジスタ610は、チャンネル形成領域404を覆う絶縁膜405と、絶縁膜405を間に挟んでチャンネル形成領域404と重なるゲート電極406とを有する。

10

【0208】

トランジスタ610では、チャンネル形成領域404における凸部の側部及び上部と、ゲート電極406とが絶縁膜405を間に挟んで重なることで、チャンネル形成領域404の側部と上部を含めた広い範囲においてキャリアが流れる。そのため、トランジスタ610の基板上における専有面積を小さく抑えつつ、トランジスタ610におけるキャリアの移動量を増加させることができる。その結果、トランジスタ610は、オン電流が大きくなると共に、電界効果移動度が高められる。特に、チャンネル形成領域404における凸部のチャンネル幅方向の長さ（チャンネル幅）をW、チャンネル形成領域404における凸部の膜厚をTとすると、チャンネル幅Wに対する膜厚Tの比に相当するアスペクト比が高い場合、キャリアが流れる範囲はより広くなるため、トランジスタ610のオン電流をより大きくすることができ、電界効果移動度もより高められる。

20

【0209】

なお、バルクの半導体基板を用いたトランジスタ610の場合、アスペクト比は0.5以上であることが望ましく、1以上であることがより望ましい。

【0210】

トランジスタ610上には、絶縁膜411が設けられている。絶縁膜411には開口部が形成されている。そして、上記開口部には、不純物領域402、不純物領域403にそれぞれ電氣的に接続されている導電膜412、導電膜413と、ゲート電極406に電氣的に接続されている導電膜414とが、形成されている。

30

【0211】

そして、導電膜412は、絶縁膜411上に形成された導電膜416に電氣的に接続されており、導電膜413は、絶縁膜411上に形成された導電膜417に電氣的に接続されており、導電膜414は、絶縁膜411上に形成された導電膜418に電氣的に接続されている。

【0212】

導電膜416乃至導電膜418上には、絶縁膜420が設けられている。そして、絶縁膜420上には、酸素、水素、水の拡散を防ぐブロッキング効果を有する絶縁膜421が設けられている。絶縁膜421は、密度が高くて緻密である程、また未結合手が少なく化学的に安定である程、より高いブロッキング効果を示す。酸素、水素、水の拡散を防ぐブロッキング効果を示す絶縁膜421として、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いることができる。水素、水の拡散を防ぐブロッキング効果を示す絶縁膜421として、例えば、窒化シリコン、窒化酸化シリコン等を用いることができる。

40

【0213】

絶縁膜421上には絶縁膜422が設けられており、絶縁膜422上には、トランジスタ600が設けられている。

50

【0214】

トランジスタ600は、絶縁膜422上に、酸化物半導体を含む半導体膜430と、半導体膜430に電氣的に接続された、ソース電極またはドレイン電極として機能する導電膜432及び導電膜433と、半導体膜430を覆っているゲート絶縁膜431と、ゲート絶縁膜431を間に挟んで半導体膜430と重なるゲート電極434と、を有する。なお、絶縁膜420乃至絶縁膜422には開口部が設けられており、導電膜433は、上記開口部において導電膜418に接続されている。

【0215】

なお、図19において、トランジスタ600は、ゲート電極434を半導体膜430の片側において少なくとも有していれば良いが、絶縁膜422を間に挟んで半導体膜430と重なるゲート電極を、さらに有していても良い。

10

【0216】

トランジスタ600が、一对のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極は、電位が他から与えられている状態であっても良い。この場合、一对のゲート電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

【0217】

また、図19では、トランジスタ600が、一のゲート電極434に対応した一のチャネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタ600は、電氣的に接続された複数のゲート電極を有することで、一の活性層にチャネル形成領域を複数有する、マルチゲート構造であっても良い。

20

【0218】

また、図19に示すように、トランジスタ600は、半導体膜430が、絶縁膜422上において順に積層された酸化物半導体膜430a乃至酸化物半導体膜430cを有する場合を例示している。ただし、本発明の一態様では、トランジスタ600が有する半導体膜430が、単膜の金属酸化物膜で構成されていても良い。

【0219】

絶縁膜422は、加熱により酸素の一部を酸化物半導体膜430a乃至酸化物半導体膜430cに供給する機能を有する絶縁膜であることが望ましい。または、絶縁膜422は、欠陥が少ないことが好ましく、代表的には、ESR測定により得られる、シリコンのダングリングボンドに由来する $g = 2.001$ を持つスピンの密度が $1 \times 10^{18} \text{ spins/cm}^3$ 以下であることが好ましい。

30

【0220】

絶縁膜422は、加熱により上記酸素の一部を酸化物半導体膜430a乃至酸化物半導体膜430cに供給する機能を有するため、酸化物であることが望ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化珪素、酸化窒化珪素、窒化酸化珪素、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどを用いることができる。絶縁膜422は、プラズマCVD (Chemical Vapor Deposition) 法またはスパッタリング法等により、形成することができる。

40

【0221】

なお、本明細書中において、酸化窒化物は、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物は、その組成として、酸素よりも窒素の含有量が多い材料を指す。

【0222】

なお、図19に示すトランジスタ600は、チャネル領域が形成される酸化物半導体膜430bの端部のうち、導電膜432及び導電膜433とは重ならない端部、言い換えると、導電膜432及び導電膜433が位置する領域とは異なる領域に位置する端部と、ゲ-

50

ト電極434とが、重なる構成を有する。酸化物半導体膜430bの端部は、当該端部を形成するためのエッチングでプラズマに曝されるときに、エッチングガスから生じた塩素ラジカル、フッ素ラジカル等が、酸化物半導体を構成する金属元素と結合しやすい。よって、酸化物半導体膜の端部では、当該金属元素と結合していた酸素が脱離しやすい状態にあるため、酸素欠損が形成され、n型化しやすいと考えられる。しかし、図19に示すトランジスタ600では、導電膜432及び導電膜433とは重ならない酸化物半導体膜430bの端部と、ゲート電極434とが重なるため、ゲート電極434の電位を制御することにより、当該端部にかかる電界を制御することができる。よって、酸化物半導体膜430bの端部を介して導電膜432と導電膜433の間に流れる電流を、ゲート電極434に与える電位によって制御することができる。このようなトランジスタ600の構造を、Surrounded Channel (S-Channel) 構造とよぶ。

10

【0223】

具体的に、S-Channel構造の場合、トランジスタ600がオフとなるような電位をゲート電極434に与えたときは、当該端部を介して導電膜432と導電膜433の間に流れるオフ電流を小さく抑えることができる。そのため、トランジスタ600では、大きなオン電流を得るためにチャンネル長を短くし、その結果、酸化物半導体膜430bの端部における導電膜432と導電膜433の間の長さが短くなっても、トランジスタ600のオフ電流を小さく抑えることができる。よって、トランジスタ600は、チャンネル長を短くすることで、オンのときには大きいオン電流を得ることができ、オフのときにはオフ電流を小さく抑えることができる。

20

【0224】

また、具体的に、S-Channel構造の場合、トランジスタ600がオンとなるような電位をゲート電極434に与えたときは、当該端部を介して導電膜432と導電膜433の間に流れる電流を大きくすることができる。当該電流は、トランジスタ600の電界効果移動度とオン電流の増大に寄与する。そして、酸化物半導体膜430bの端部と、ゲート電極434とが重なることで、酸化物半導体膜430bにおいてキャリアの流れる領域が、ゲート絶縁膜431に近い酸化物半導体膜430bの界面近傍のみでなく、酸化物半導体膜430bの広い範囲においてキャリアが流れるため、トランジスタ600におけるキャリアの移動量が増加する。この結果、トランジスタ600のオン電流が大きくなると共に、電界効果移動度が高くなり、代表的には電界効果移動度が $10\text{ cm}^2/\text{V}\cdot\text{s}$ 以上、さらには $20\text{ cm}^2/\text{V}\cdot\text{s}$ 以上となる。なお、ここでの電界効果移動度は、酸化物半導体膜の物性値としての移動度の近似値ではなく、トランジスタの飽和領域における電流駆動力の指標であり、見かけ上の電界効果移動度である。

30

【0225】

なお、図19を用いて述べたが、本発明の実施形態の一態様は、これに限定されない。例えば、図20に示すような構造でもよい。

【0226】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態に示す構成及び方法などと適宜組み合わせ用いることができる。

【0227】

(実施の形態6)

上記実施の形態で開示された、導電膜や半導体膜はスパッタ法により形成することができるが、他の方法、例えば、熱CVD法により形成してもよい。熱CVD法の例としてMOCVD (Metal Organic Chemical Vapor Deposition) 法やALD (Atomic Layer Deposition) 法を使っても良い。

40

【0228】

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

【0229】

50

熱CVD法は、チャンバー内を大気圧または減圧下とし、原料ガスと酸化剤を同時にチャンバー内に送り、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0230】

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後不活性ガス（アルゴン、或いは窒素など）などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の単原子層を成膜し、後から導入される第2の原料ガスと反応して、第2の単原子層が第1の単原子層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

10

【0231】

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された導電膜や半導体膜を形成することができ、例えば、 InGaZnO_x ($x > 0$) 膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジエチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、 $(\text{CH}_3)_3\text{In}$ である。また、トリメチルガリウムの化学式は、 $(\text{CH}_3)_3\text{Ga}$ である。また、ジメチル亜鉛の化学式は、 $(\text{CH}_3)_2\text{Zn}$ である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム（化学式 $(\text{C}_2\text{H}_5)_3\text{Ga}$ ）を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛（化学式 $(\text{C}_2\text{H}_5)_2\text{Zn}$ ）を用いることもできる。

20

【0232】

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを同時に導入してタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

30

【0233】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えば InGaZnO_x ($x > 0$) 膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと O_3 ガスを順次繰り返し導入して InO_2 層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと O_3 ガスを同時に導入して GaO 層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ と O_3 ガスを同時に導入して ZnO 層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜて InGaO_2 層や InZnO_2 層、 GaInO 層、 ZnInO 層、 GaZnO 層などの混合化合物層を形成しても良い。なお、 O_3 ガスに変えて Ar 等の不活性ガスでバブリングして得られた H_2O ガスを用いても良いが、H を含まない O_3 ガスを用いる方が好ましい。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Ga}(\text{CH}_3)_3$ ガスにかえて、 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Zn}(\text{CH}_3)_2$ ガスを用いても良い。

40

【0234】

以上、本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせることができる。

【0235】

(実施の形態7)

50

本実施の形態では、上述の実施の形態で説明した P L D としての機能を有する半導体装置を電子部品に適用する例、及び該電子部品を具備する電子機器に適用する例について、図 2 1、図 2 2 を用いて説明する。

【 0 2 3 6 】

図 2 1 (A) では上述の実施の形態で説明した P L D としての機能を有する半導体装置を電子部品に適用する例について説明する。なお電子部品は、半導体パッケージ、又は I C 用パッケージともいう。この電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することにする。

【 0 2 3 7 】

上記実施の形態 5 の図 1 9 に示すようなトランジスタで構成される回路部は、組み立て工程（後工程）を経て、プリント基板に脱着可能な部品が複数合わさることで完成する。

【 0 2 3 8 】

後工程については、図 2 1 (A) に示す各工程を経ることで完成させることができる。具体的には、前工程で得られる素子基板が完成（ステップ S 1）した後、基板の裏面を研削する（ステップ S 2）。この段階で基板を薄膜化することで、前工程での基板の反り等を低減し、部品としての小型化を図るためである。

【 0 2 3 9 】

基板の裏面を研削して、基板を複数のチップに分離するダイシング工程を行う。そして、分離したチップを個々にピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う（ステップ S 3）。このダイボンディング工程におけるチップとリードフレームとの接着は、樹脂による接着や、テープによる接着等、適宜製品に応じて適した方法を選択する。なお、ダイボンディング工程は、インターポーザ上に搭載し接合してもよい。

【 0 2 4 0 】

次いでリードフレームのリードとチップ上の電極とを、金属の細線（ワイヤー）で電氣的に接続する、ワイヤーボンディングを行う（ステップ S 4）。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

【 0 2 4 1 】

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される、モールド工程が施される（ステップ S 5）。モールド工程を行うことで電子部品の内部が樹脂で充填され、機械的な外力から、内蔵される回路部やワイヤーを保護することができ、また水分や埃による特性の劣化を低減することができる。

【 0 2 4 2 】

次いでリードフレームのリードをメッキ処理する。そしてリードを切断及び成形加工する（ステップ S 6）。このめっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。

【 0 2 4 3 】

次いでパッケージの表面に印字処理（マーキング）を施す（ステップ S 7）。そして最終的な検査工程（ステップ S 8）を経て P L D を含む回路部を有する電子部品が完成する（ステップ S 9）。

【 0 2 4 4 】

以上説明した電子部品は、上述の実施の形態で説明した P L D としての機能を有する半導体装置を含む構成とすることができる。そのため、消費電力の低減、及び信頼性の向上が図られた電子部品を実現することができる。

【 0 2 4 5 】

また、完成した電子部品の斜視模式図を図 2 1 (B) に示す。図 2 1 (B) では、電子部品の一例として、Q F P (Q u a d F l a t P a c k a g e) の斜視模式図を示している。図 2 1 (B) に示す電子部品 7 0 0 は、リード 7 0 1 及び回路部 7 0 3 を示してい

10

20

30

40

50

る。図 2 1 (B) に示す電子部品 7 0 0 は、例えばプリント基板 7 0 2 に実装される。このような電子部品 7 0 0 が複数組み合わせられて、それぞれがプリント基板 7 0 2 上で電氣的に接続されることで電子部品が実装された回路基板 7 0 4 が完成する。完成した回路基板 7 0 4 は、電子機器等の内部に設けられる。

【 0 2 4 6 】

次いで、コンピュータ、携帯情報端末（携帯電話、携帯型ゲーム機、音響再生装置なども含む）、電子ペーパー、テレビジョン装置（テレビ、又はテレビジョン受信機ともいう）、デジタルビデオカメラなどの電子機器に、上述の電子部品を適用する場合について説明する。

【 0 2 4 7 】

図 2 2 (A) は、携帯型の情報端末であり、筐体 9 0 1、筐体 9 0 2、第 1 の表示部 9 0 3 a、第 2 の表示部 9 0 3 b などによって構成されている。筐体 9 0 1 と筐体 9 0 2 の少なくとも一部には、先の実施の形態に示す P L D としての機能を有する半導体装置を有する電子部品が設けられている。そのため、消費電力の低減、及び信頼性の向上が図られた携帯型の情報端末が実現される。

【 0 2 4 8 】

なお、第 1 の表示部 9 0 3 a はタッチ入力機能を有するパネルとなっており、例えば図 2 2 (A) の左図のように、第 1 の表示部 9 0 3 a に表示される選択ボタン 9 0 4 により「タッチ入力」を行うか、「キーボード入力」を行うかを選択できる。選択ボタンは様々な大きさで表示できるため、幅広い世代の人が使いやすさを実感できる。ここで、例えば「キーボード入力」を選択した場合、図 2 2 (A) の右図のように第 1 の表示部 9 0 3 a にはキーボード 9 0 5 が表示される。これにより、従来の情報端末と同様に、キー入力による素早い文字入力などが可能となる。

【 0 2 4 9 】

また、図 2 2 (A) に示す携帯型の情報端末は、図 2 2 (A) の右図のように、第 1 の表示部 9 0 3 a 及び第 2 の表示部 9 0 3 b のうち、一方を取り外すことができる。第 2 の表示部 9 0 3 b もタッチ入力機能を有するパネルとし、持ち運びの際、さらなる軽量化を図ることができ、一方の手で筐体 9 0 2 を持ち、他方の手で操作することができるため便利である。

【 0 2 5 0 】

図 2 2 (A) に示す携帯型の情報端末は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、U S B 端子など）、記録媒体挿入部などを備える構成としてもよい。

【 0 2 5 1 】

また、図 2 2 (A) に示す携帯型の情報端末は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【 0 2 5 2 】

更に、図 2 2 (A) に示す筐体 9 0 2 にアンテナやマイク機能や無線機能を持たせ、携帯電話として用いてもよい。

【 0 2 5 3 】

図 2 2 (B) は、電子ペーパーを実装した電子書籍端末 9 1 0 であり、筐体 9 1 1 と筐体 9 1 2 の 2 つの筐体で構成されている。筐体 9 1 1 及び筐体 9 1 2 には、それぞれ表示部 9 1 3 及び表示部 9 1 4 が設けられている。筐体 9 1 1 と筐体 9 1 2 は、軸部 9 1 5 により接続されており、該軸部 9 1 5 を軸として開閉動作を行うことができる。また、筐体 9 1 1 は、電源 9 1 6、操作キー 9 1 7、スピーカー 9 1 8 などを備えている。筐体 9 1 1、筐体 9 1 2 の少なくとも一部には、P L D としての機能を有する半導体装置を有する電子部品が設けられている。そのため、消費電力の低減、及び信頼性の向上が図られた電子書

10

20

30

40

50

籍が実現される。

【 0 2 5 4 】

図 2 2 (C) は、テレビジョン装置であり、筐体 9 2 1、表示部 9 2 2、スタンド 9 2 3 などで構成されている。テレビジョン装置 9 2 0 の操作は、筐体 9 2 1 が備えるスイッチや、リモコン操作機 9 2 4 により行うことができる。筐体 9 2 1 及びリモコン操作機 9 2 4 には、先の実施の形態に示す P L D としての機能を有する半導体装置を有する電子部品が搭載されている。そのため、消費電力の低減、及び信頼性の向上が図られたテレビジョン装置が実現される。

【 0 2 5 5 】

図 2 2 (D) は、スマートフォンであり、本体 9 3 0 には、表示部 9 3 1 と、スピーカー 9 3 2 と、マイク 9 3 3 と、操作ボタン 9 3 4 等が設けられている。本体 9 3 0 内には、先の実施の形態に示す P L D としての機能を有する半導体装置を有する電子部品が設けられている。そのため消費電力の低減、及び信頼性の向上が図られたスマートフォンが実現される。

10

【 0 2 5 6 】

図 2 2 (E) は、デジタルカメラであり、本体 9 4 1、表示部 9 4 2、操作スイッチ 9 4 3 などによって構成されている。本体 9 4 1 内には、先の実施の形態に示す P L D としての機能を有する半導体装置を有する電子部品が設けられている。そのため、消費電力の低減、及び信頼性の向上が図られたデジタルカメラが実現される。

【 0 2 5 7 】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る P L D としての機能を有する半導体装置を有する電子部品が搭載されている。このため、消費電力の低減、及び信頼性の向上が図られた電子機器が実現される。

20

【符号の説明】

【 0 2 5 8 】

A 1 - A 2 破線
 A 3 - A 4 破線
 C 1 クロック端子
 C 2 クロック端子
 C L K 1 クロック信号
 C L K 2 クロック信号
 i n 1 入力端子
 i n 2 入力端子
 i n 3 入力端子
 m 1 ノード
 M 1 入力端子
 M 8 入力端子
 m e m B 1 ノード
 m e m B 2 ノード
 S 1 端子
 S 2 端子
 T 1 時刻
 T 2 時刻
 T 3 時刻
 T 4 時刻
 T 5 時刻
 T 6 時刻
 T 7 時刻
 T 8 時刻
 3 1 マルチプレクサ

30

40

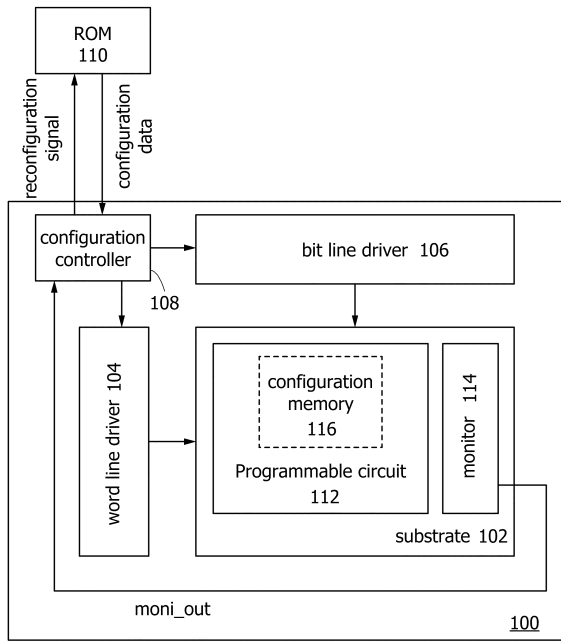
50

| | | |
|---------|----------------|----|
| 3 2 | マルチプレクサ | |
| 3 3 | マルチプレクサ | |
| 3 4 | マルチプレクサ | |
| 3 5 | マルチプレクサ | |
| 3 6 | マルチプレクサ | |
| 3 7 | マルチプレクサ | |
| 7 0 | 電子銃室 | |
| 7 2 | 光学系 | |
| 7 4 | 試料室 | |
| 7 6 | 光学系 | 10 |
| 7 8 | カメラ | |
| 8 0 | 観察室 | |
| 8 2 | フィルム室 | |
| 8 4 | 電子 | |
| 8 8 | 物質 | |
| 9 2 | 蛍光板 | |
| 1 0 0 | 半導体装置 | |
| 1 0 2 | 基板 | |
| 1 0 4 | ワード線側駆動回路 | |
| 1 0 6 | ビット線側駆動回路 | 20 |
| 1 0 8 | コントローラ | |
| 1 1 0 | 記憶装置 | |
| 1 1 2 | プログラマブル回路 | |
| 1 1 4 | モニター回路 | |
| 1 1 4 A | モニター回路 | |
| 1 1 4 B | モニター回路 | |
| 1 1 4 C | モニター回路 | |
| 1 1 4 D | モニター回路 | |
| 1 1 6 | コンフィギュレーションメモリ | |
| 1 1 8 | コンフィギュレーションメモリ | 30 |
| 1 1 8 A | コンフィギュレーションメモリ | |
| 1 1 8 B | コンフィギュレーションメモリ | |
| 1 6 0 | ルックアップテーブル | |
| 1 6 1 | フリップフロップ | |
| 1 6 2 | コンフィギュレーションメモリ | |
| 1 6 3 | 入力端子 | |
| 1 6 4 | 出力端子 | |
| 1 6 5 | 出力端子 | |
| 1 6 8 | マルチプレクサ | |
| 1 6 9 | コンフィギュレーションメモリ | 40 |
| 1 8 0 | 電源回路 | |
| 1 8 2 | 電源回路 | |
| 3 0 1 | P L E | |
| 3 0 2 | P S E | |
| 3 0 3 | 配線群 | |
| 3 0 4 | 配線群 | |
| 3 0 5 | 入出力端子 | |
| 4 0 0 | 基板 | |
| 4 0 1 | 素子分離領域 | |
| 4 0 2 | 不純物領域 | 50 |

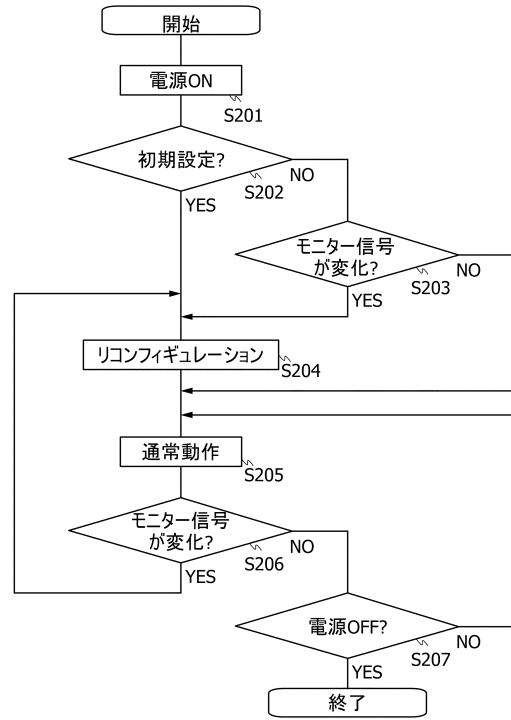
| | | |
|---------|----------|----|
| 4 0 3 | 不純物領域 | |
| 4 0 4 | チャネル形成領域 | |
| 4 0 5 | 絶縁膜 | |
| 4 0 6 | ゲート電極 | |
| 4 1 1 | 絶縁膜 | |
| 4 1 2 | 導電膜 | |
| 4 1 3 | 導電膜 | |
| 4 1 4 | 導電膜 | |
| 4 1 6 | 導電膜 | |
| 4 1 7 | 導電膜 | 10 |
| 4 1 8 | 導電膜 | |
| 4 2 0 | 絶縁膜 | |
| 4 2 1 | 絶縁膜 | |
| 4 2 2 | 絶縁膜 | |
| 4 3 0 | 半導体膜 | |
| 4 3 0 a | 酸化物半導体膜 | |
| 4 3 0 b | 酸化物半導体膜 | |
| 4 3 0 c | 酸化物半導体膜 | |
| 4 3 1 | ゲート絶縁膜 | |
| 4 3 2 | 導電膜 | 20 |
| 4 3 3 | 導電膜 | |
| 4 3 4 | ゲート電極 | |
| 5 0 1 | データ線 | |
| 5 0 2 | ワード線 | |
| 5 1 1 | トランジスタ | |
| 5 1 2 | トランジスタ | |
| 5 1 3 | トランジスタ | |
| 5 1 4 | 容量素子 | |
| 5 3 1 | トランジスタ | |
| 5 3 2 | トランジスタ | 30 |
| 5 3 4 | 容量素子 | |
| 5 3 5 | トランジスタ | |
| 5 3 6 | トランジスタ | |
| 5 3 8 | 容量素子 | |
| 5 4 0 | インバータ | |
| 5 4 1 | データ線 | |
| 5 4 2 | ワード線 | |
| 6 0 0 | トランジスタ | |
| 6 0 2 | 容量素子 | |
| 6 0 4 | トランジスタ | 40 |
| 6 0 6 | トランジスタ | |
| 6 0 8 | トランジスタ | |
| 6 1 0 | トランジスタ | |
| 6 1 2 | フリップフロップ | |
| 6 1 3 | フリップフロップ | |
| 6 1 4 | インバータ | |
| 6 3 0 | アナログスイッチ | |
| 6 3 2 | NAND | |
| 6 3 4 | インバータ | |
| 6 3 6 | アナログスイッチ | 50 |

| | | |
|---------|----------|----|
| 6 3 8 | インバータ | |
| 6 4 0 | N A N D | |
| 7 0 0 | 電子部品 | |
| 7 0 1 | リード | |
| 7 0 2 | プリント基板 | |
| 7 0 3 | 回路部 | |
| 7 0 4 | 回路基板 | |
| 9 0 1 | 筐体 | |
| 9 0 2 | 筐体 | |
| 9 0 3 a | 表示部 | 10 |
| 9 0 3 b | 表示部 | |
| 9 0 4 | 選択ボタン | |
| 9 0 5 | キーボード | |
| 9 1 0 | 電子書籍 | |
| 9 1 1 | 筐体 | |
| 9 1 2 | 筐体 | |
| 9 1 3 | 表示部 | |
| 9 1 4 | 表示部 | |
| 9 1 5 | 軸部 | |
| 9 1 6 | 電源 | 20 |
| 9 1 7 | 操作キー | |
| 9 1 8 | スピーカー | |
| 9 2 0 | テレビジョン装置 | |
| 9 2 1 | 筐体 | |
| 9 2 2 | 表示部 | |
| 9 2 3 | スタンド | |
| 9 2 4 | リモコン操作機 | |
| 9 3 0 | 本体 | |
| 9 3 1 | 表示部 | |
| 9 3 2 | スピーカー | 30 |
| 9 3 3 | マイク | |
| 9 3 4 | 操作ボタン | |
| 9 4 1 | 本体 | |
| 9 4 2 | 表示部 | |
| 9 4 3 | 操作スイッチ | |

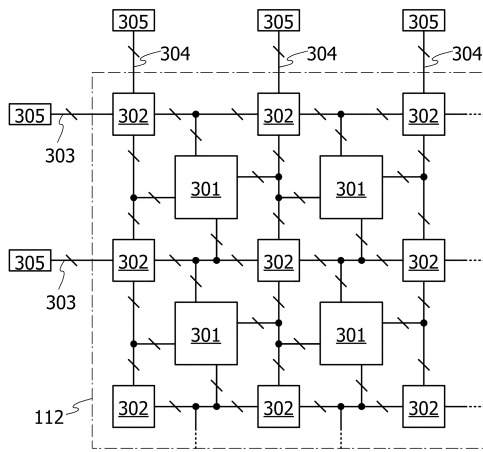
【図1】



【図2】

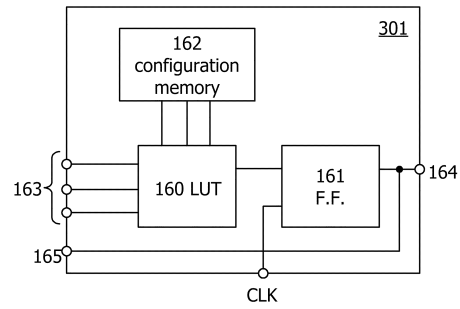


【図3】

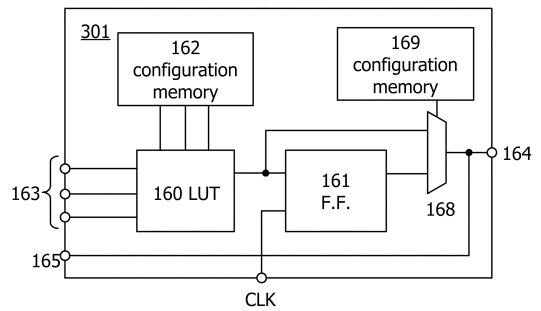


【図4】

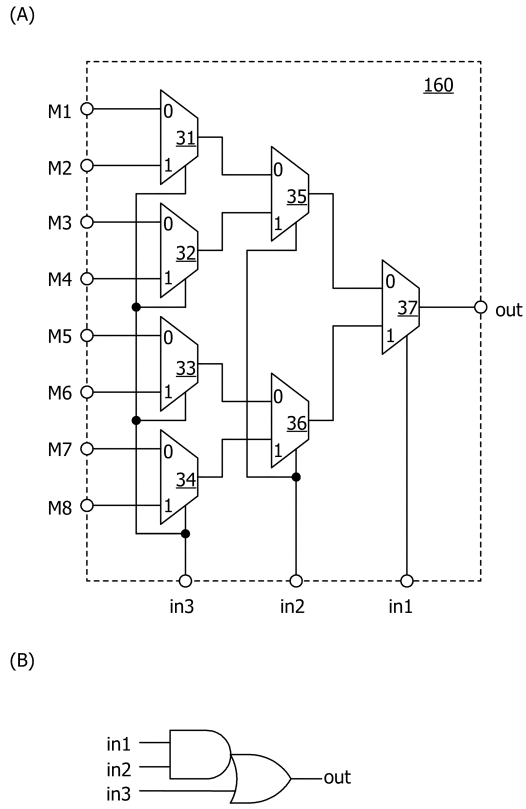
(A)



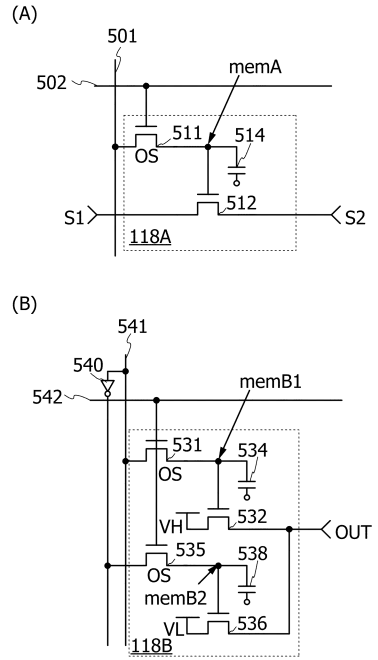
(B)



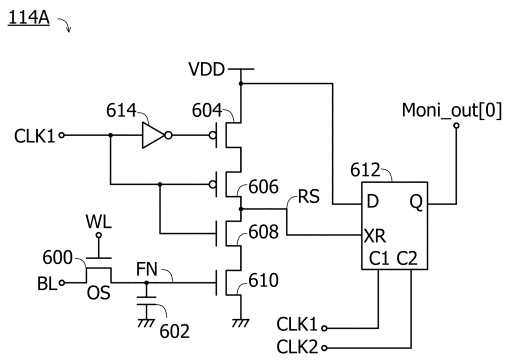
【 図 5 】



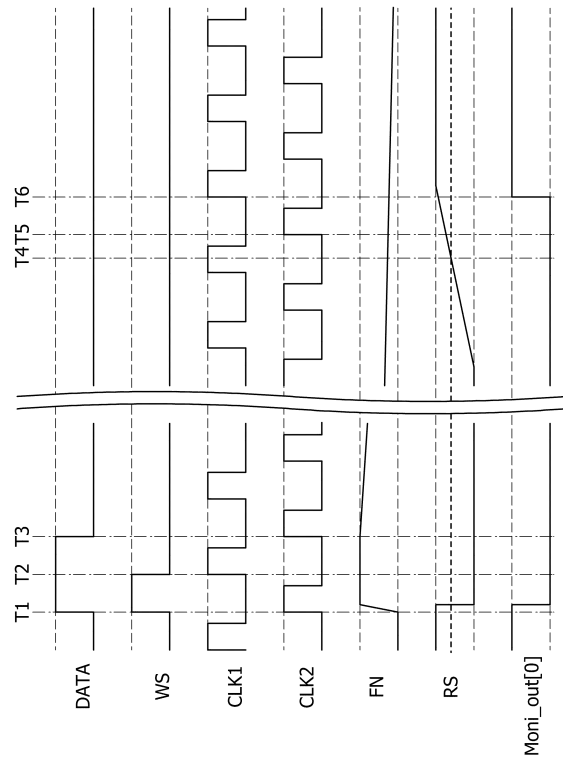
【 図 6 】



【 図 7 】

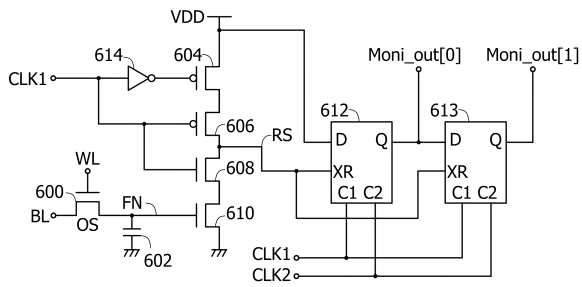


【 図 8 】

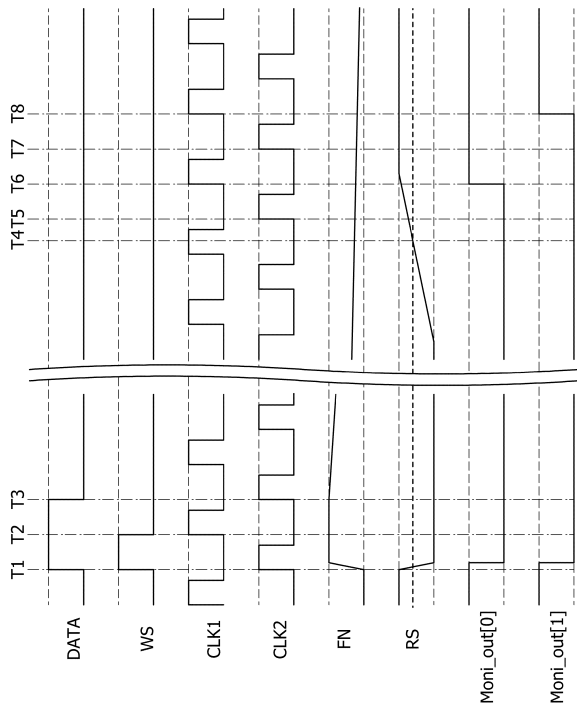


【 9 】

114B

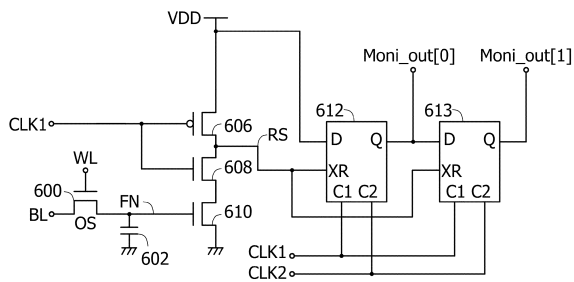


【 10 】

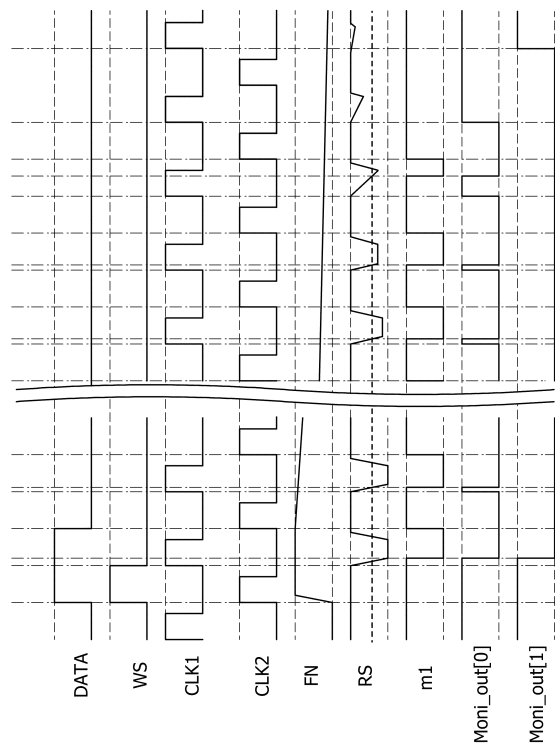


【 11 】

114C

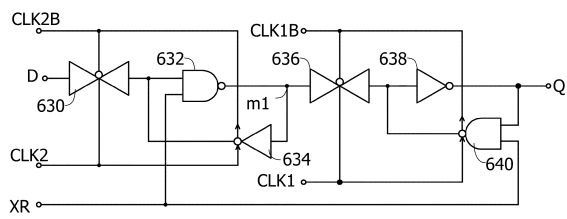


【 13 】

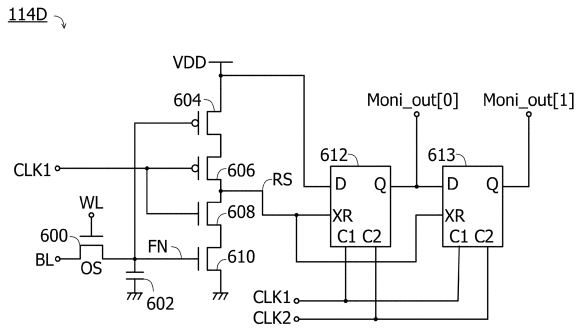


【 12 】

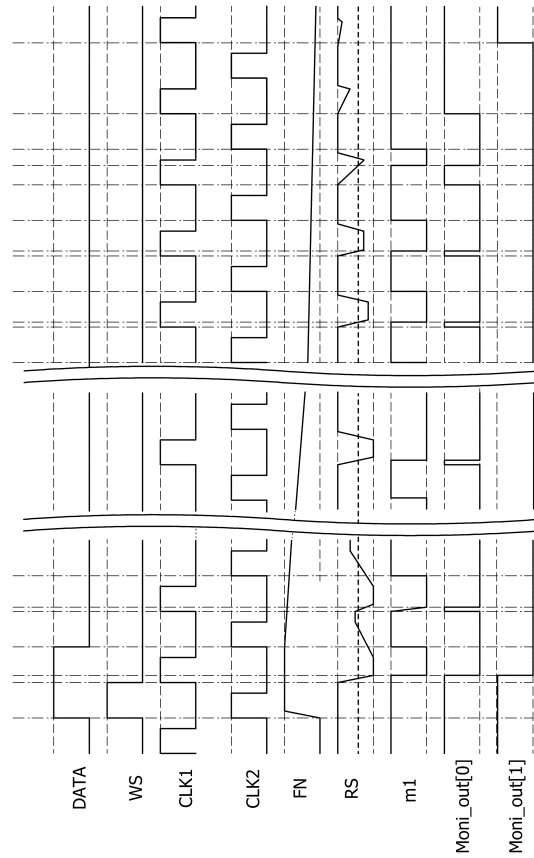
612



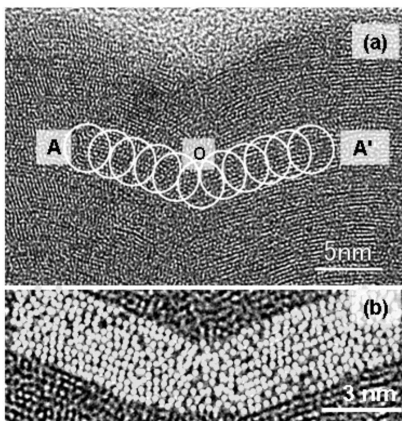
【 図 14 】



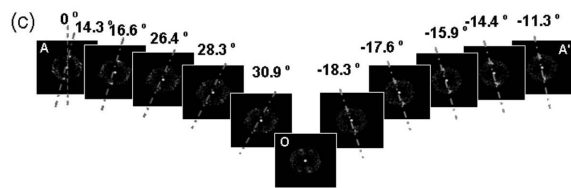
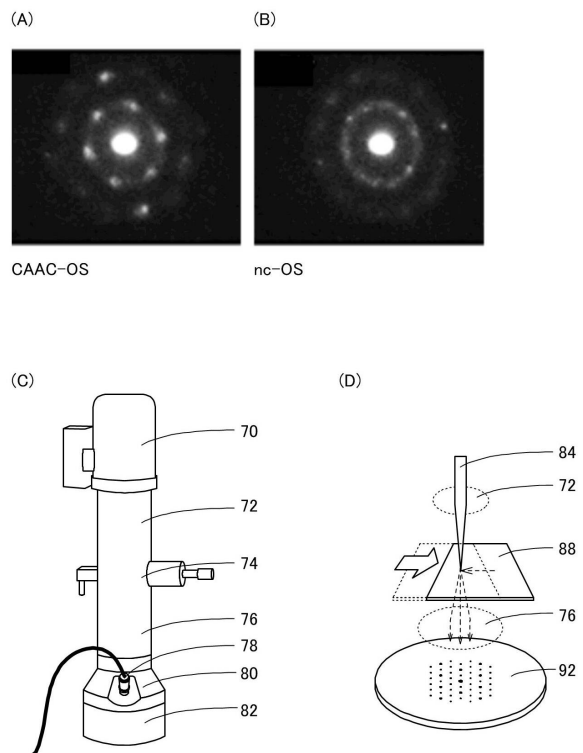
【 図 15 】



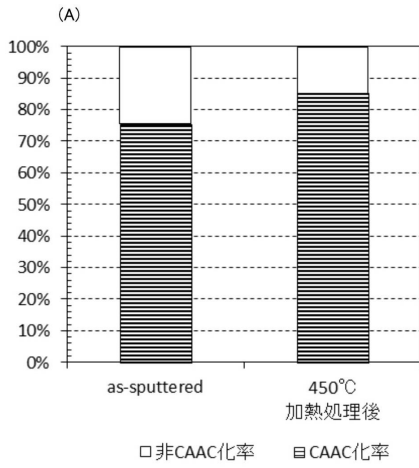
【 図 16 】



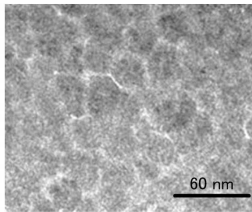
【 図 17 】



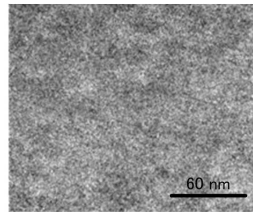
【図18】



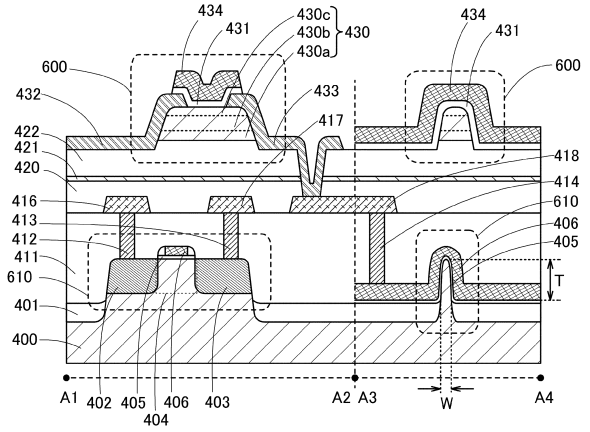
(B)



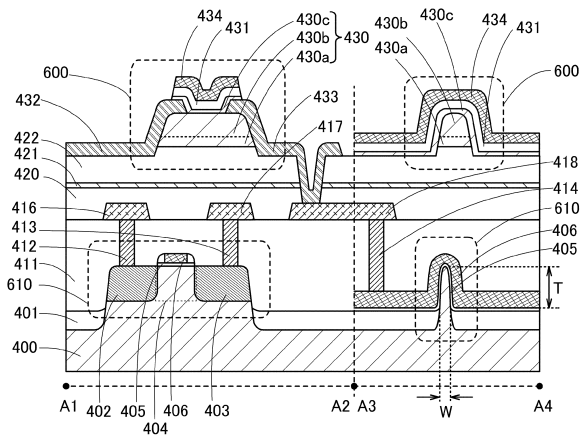
(C)



【図19】

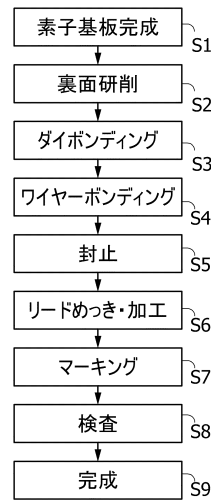


【図20】

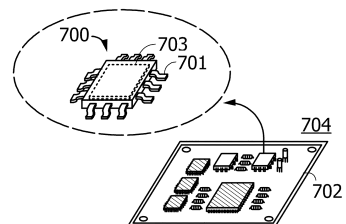


【図21】

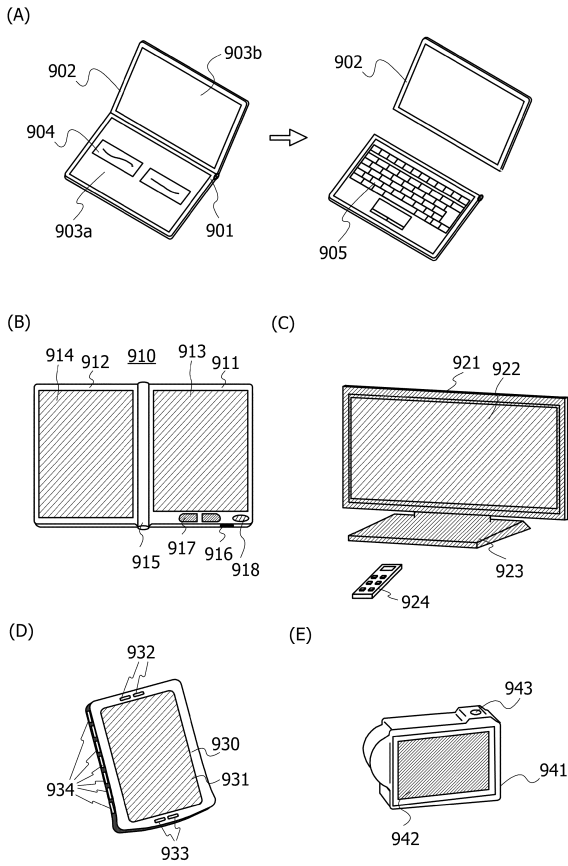
(A)



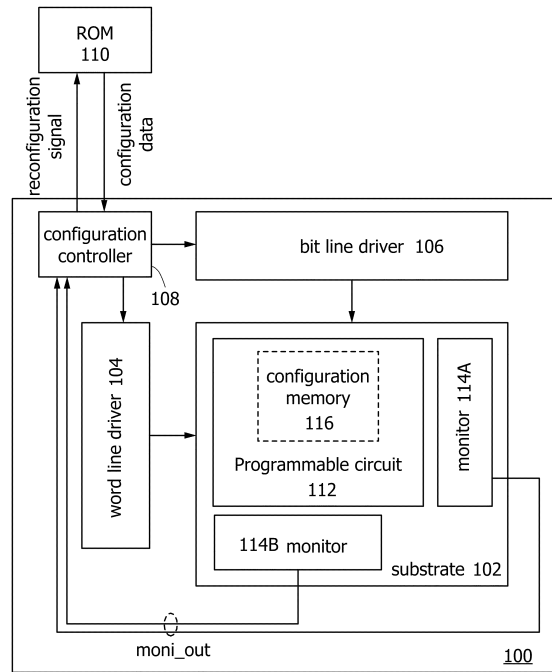
(B)



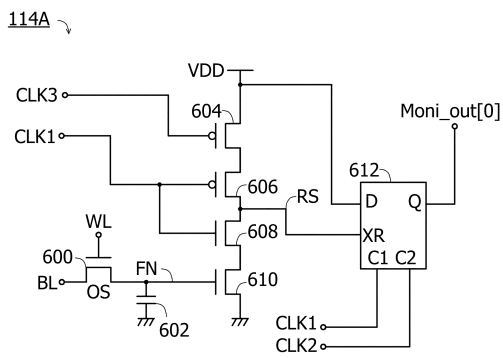
【 図 2 2 】



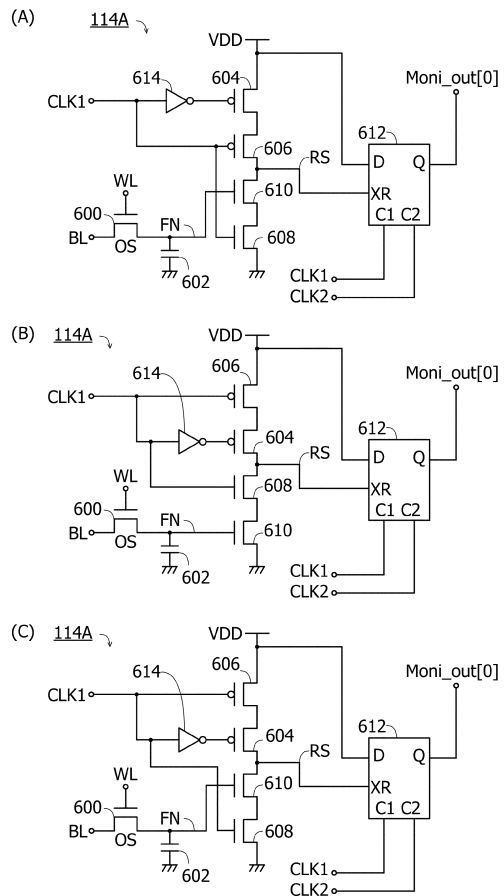
【 図 2 3 】



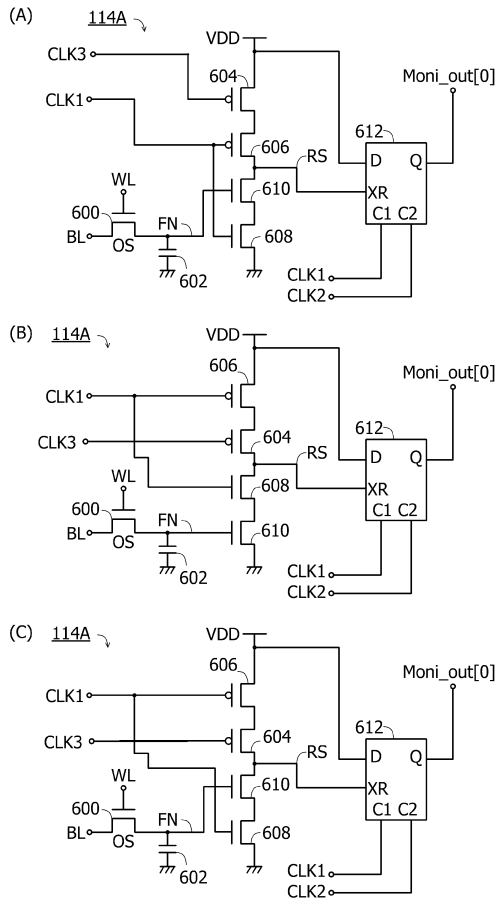
【 図 2 4 】



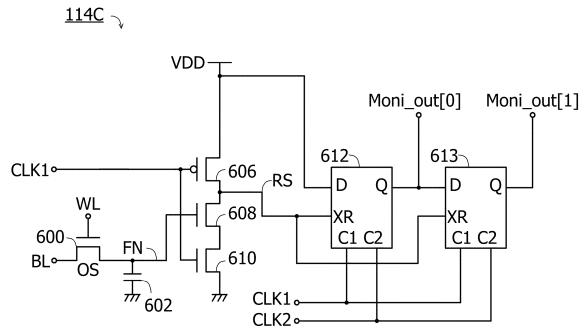
【 図 2 5 】



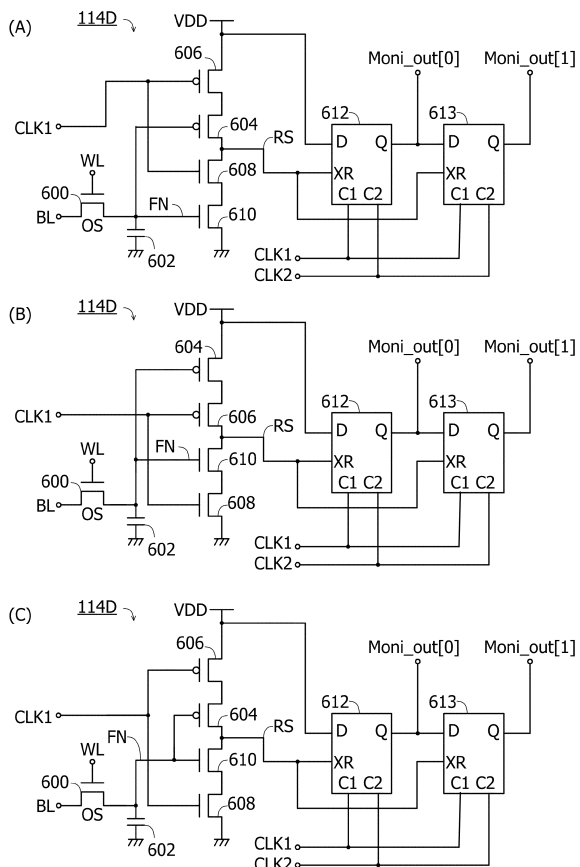
【図26】



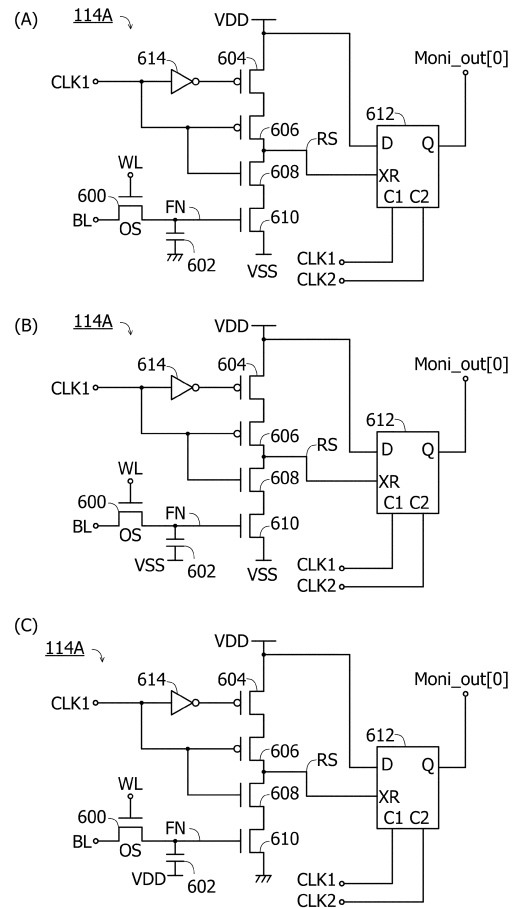
【図27】



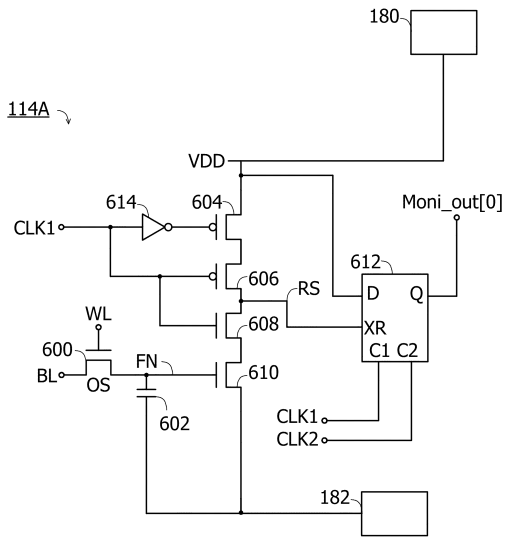
【図28】



【図29】



【 図 30 】



フロントページの続き

(56)参考文献 米国特許第07764081(US, B1)
特開2012-256408(JP, A)
米国特許第05847577(US, A)
特開2012-186797(JP, A)
特開2000-149588(JP, A)
米国特許第07203109(US, B1)
米国特許第05859544(US, A)

(58)調査した分野(Int.Cl., DB名)

H03K 19/173 - 19/177
G11C 11/406