



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년10월30일  
(11) 등록번호 10-2171465  
(24) 등록일자 2020년10월23일

(51) 국제특허분류(Int. Cl.)  
G09F 9/30 (2006.01)  
(21) 출원번호 10-2013-0158656  
(22) 출원일자 2013년12월18일  
심사청구일자 2018년11월12일  
(65) 공개번호 10-2015-0071522  
(43) 공개일자 2015년06월26일  
(56) 선행기술조사문헌  
KR1020040016467 A\*  
(뒷면에 계속)

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
남대현  
경기 고양시 일산동구 경의로 333, 511동 706호  
(마두동, 백마마을5단지아파트)  
이세웅  
경기 부천시 소사구 범안로 81, 112동 1303호 (범  
박동, 부천범박힐스테이트1단지)  
(뒷면에 계속)  
(74) 대리인  
특허법인 정안

전체 청구항 수 : 총 10 항

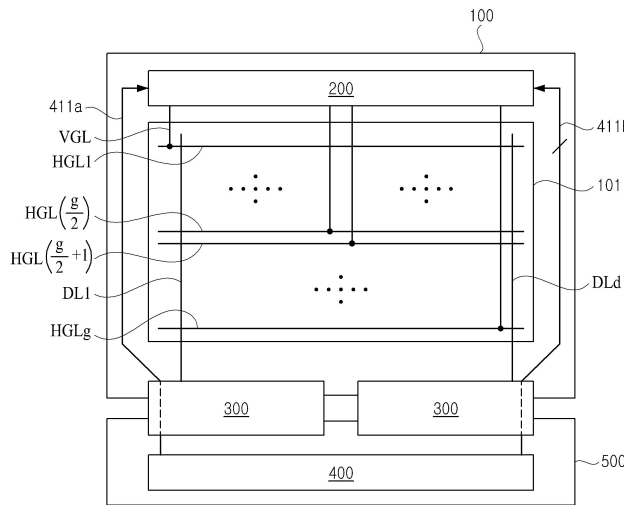
심사관 : 김현

(54) 발명의 명칭 표시장치

(57) 요약

본 발명은 표시장치에 관한 것으로서, 특히, 게이트 라인으로 스캔신호를 공급하기 위한 게이트 드라이버가, 패널 상에, 데이터 드라이버와 마주보도록 형성되어 있는, 표시장치를 제공하는 것을 기술적 과제로 한다.

대표도 - 도2



(72) 발명자

**김하예**

경기 파주시 월롱면 엘씨디로 201, LG디스플레이  
정다운마을 104동 819호

**박찬수**

서울 중랑구 면목로55길 66, 3층 (면목동)

(56) 선행기술조사문헌

KR1020100060377 A\*

KR1020130051340 A\*

KR1020130129009 A\*

KR100884993 B1

KR1020130109816 A

JP2007328346 A

JP2008003134 A

KR101177908 B1

US20130257841 A1

\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

표시영역의 외곽의 하상좌우 측면에 제1, 제2, 제3 및 제4비표시영역이 형성되어 있는 패널;

상기 표시영역에서 제1방향으로 형성되어 있는 데이터 라인들을 구동하기 위해 상기 제1비표시영역에 형성되어 있는 데이터 드라이버;

상기 표시영역에서 상기 제1방향에 수직인 제2방향으로 형성되어 있는  $g$ 개의 수평 게이트 라인들로 스캔신호를 출력하기 위해, 상기 제2비표시영역에 형성되어 있는 게이트 드라이버; 및

상기 데이터 드라이버와 상기 게이트 드라이버를 구동시키기 위한 타이밍 컨트롤러를 포함하고,

상기 표시영역에는, 상기 게이트 드라이버로부터 연장되어 상기 데이터 라인들과 평행하게 형성되어 있는 수직 게이트 라인들이, 상기 수평 게이트 라인들과 연결되어 있고,

상기 게이트 드라이버는, 상기 타이밍 컨트롤러로부터 상기 제3비표시영역을 통해 상기 제2비표시영역으로 연장되어 있는 제1클럭라인그룹으로부터 공급된 클럭들과, 상기 타이밍 컨트롤러로부터 상기 제4비표시영역을 통해 상기 제2비표시영역으로 연장되어 있는 제2클럭라인그룹으로부터 공급된 클럭들을 이용하여, 상기 수평 게이트 라인들로 상기 스캔신호를 출력하고,

상기 제1클럭라인그룹으로 공급되는 클럭들과, 상기 제2클럭라인그룹으로 공급되는 클럭들은 서로 동일한 것을 특징으로 하는 표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 게이트 드라이버는,

상기 제2비표시영역에 게이트인패널(GIP) 방식으로 형성되어 있는 것을 특징으로 하는 표시장치.

#### 청구항 3

제 1 항에 있어서,

상기 표시영역의 하나의 수평라인에 배치된  $P$ 개의 픽셀들은, 두 개의 상기 수평 게이트 라인들과  $P/2$ 개의 상기 데이터 라인들을 이용하여 구동되는 것을 특징으로 하는 표시장치.

#### 청구항 4

제 1 항에 있어서,

상기 게이트 드라이버는,

상기 제1클럭라인그룹으로부터 공급된 클럭들을 이용하여, 제1수평 게이트 라인으로부터 제 $g/2$ 수평 게이트 라인으로 순차적으로 스캔펄스를 공급하며,

상기 제2클럭라인그룹으로부터 공급된 클럭들을 이용하여, 제 $(g/2)+1$ 수평 게이트 라인으로부터 제 $g$ 수평 게이트 라인으로 순차적으로 스캔펄스를 공급하는 것을 특징으로 하는 표시장치.

#### 청구항 5

제 1 항에 있어서,

상기 게이트 드라이버는,

상기 제1클럭라인그룹으로부터 공급된 클럭들을 이용하여, 홀수 번째 수평 게이트 라인들로 순차적으로 스캔펄

스를 공급하며,

상기 제2클럭라인그룹으로부터 공급된 클럭들을 이용하여, 짝수 번째 수평 게이트 라인들로 순차적으로 스캔펄스를 공급하는 것을 특징으로 하는 표시장치.

**청구항 6**

표시영역의 외곽의 하상좌우 측면에 제1, 제2, 제3 및 제4비표시영역이 형성되어 있는 패널;

상기 표시영역에서 제1방향으로 형성되어 있는 데이터 라인들을 구동하기 위해 상기 제1비표시영역에 형성되어 있는 데이터 드라이버;

상기 표시영역에서 상기 제1방향에 수직한 제2방향으로 형성되어 있는 g개의 수평 게이트 라인들로 스캔신호를 출력하기 위해, 상기 제2비표시영역에 형성되어 있는 제1게이트 드라이버와 제2게이트 드라이버; 및

상기 데이터 드라이버와 두 개의 상기 게이트 드라이버들을 구동시키기 위한 타이밍 컨트롤러를 포함하고,

상기 표시영역에는, 두 개의 상기 게이트 드라이버들로부터 연장되어 상기 데이터 라인들과 평행하게 형성되어 있는 수직 게이트 라인들이, 상기 수평 게이트 라인들과 연결되어 있고,

상기 제1게이트 드라이버는, 상기 타이밍 컨트롤러로부터 상기 제3비표시영역을 통해 상기 제2비표시영역으로 연장되어 있는 제1클럭라인그룹으로부터 공급된 클럭들을 이용하고, 상기 제2게이트 드라이버는, 상기 타이밍 컨트롤러로부터 상기 제4비표시영역을 통해 상기 제2비표시영역으로 연장되어 있는 제2클럭라인그룹으로부터 공급된 클럭들을 이용하여, 상기 수평 게이트 라인들로 상기 스캔신호를 출력하고,

상기 제1클럭라인그룹으로 공급되는 클럭들과, 상기 제2클럭라인그룹으로 공급되는 클럭들은 서로 동일한 것을 특징으로 하는 표시장치.

**청구항 7**

제 6 항에 있어서,

상기 제1게이트 드라이버와 제2게이트 드라이버는,

상기 제2비표시영역에 게이트인패널(GIP) 방식으로 형성되어 있는 것을 특징으로 하는 표시장치.

**청구항 8**

제 6 항에 있어서,

상기 표시영역의 하나의 수평라인에 배치된 P개의 픽셀들은, 두 개의 상기 수평 게이트 라인들과 P/2개의 상기 데이터 라인들을 이용하여 구동되는 것을 특징으로 하는 표시장치.

**청구항 9**

제 6 항에 있어서,

상기 제1게이트 드라이버는, 상기 제1클럭라인그룹으로부터 공급된 클럭들을 이용하여, 제1수평 게이트 라인으로부터 제g/2수평 게이트 라인으로 순차적으로 스캔펄스를 공급하며,

상기 제2게이트 드라이버는, 상기 제2클럭라인그룹으로부터 공급된 클럭들을 이용하여, 제(g/2)+1수평 게이트 라인으로부터 제g수평 게이트 라인으로 순차적으로 스캔펄스를 공급하는 것을 특징으로 하는 표시장치.

**청구항 10**

제 9 항에 있어서,

상기 제1클럭라인그룹과 상기 제2클럭라인그룹은 서로 연결되어 있는 것을 특징으로 하는 표시장치.

**발명의 설명**

**기술 분야**

본 발명은 표시장치에 관한 것으로서, 특히, 네로우 베젤(narrow bezel)의 구현이 가능한 표시장치에 관한 것이

[0001]

다.

**배경 기술**

- [0002] 휴대전화, 태블릿PC, 노트북 등을 포함한 다양한 종류의 전자제품에는 평판표시장치(FPD : Flat Panel Display)가 이용되고 있다. 평판표시장치에는, 액정표시장치(LCD : Liquid Crystal Display), 플라즈마 디스플레이 패널(PDP : Plasma Display Panel), 유기발광표시장치(OLED : Organic Light Emitting Display Device) 등이 있으며, 최근에는 전기영동표시장치(EPD : ELECTROPHORETIC DISPLAY)도 널리 이용되고 있다.
- [0003] 평판표시장치(이하, 간단히 '표시장치'라 함)들 중에서, 액정표시장치(LCD)는 액정의 광학적 이방성을 이용하여 화상을 표시하는 장치로서, 박형, 소형, 저소비전력 및 고화질 등의 장점이 있기 때문에, 널리 이용되고 있다.
- [0004] 또한, 표시장치들 중에서, 유기발광표시장치(Organic Light Emitting Display Device)는, 응답속도가 1ms 이하로서 고속의 응답속도를 갖고, 소비 전력이 낮으며, 자체 발광함으로 시야각에 문제가 없기 때문에, 차세대 평판표시장치로 주목받고 있다.
- [0005] 최근, 표시장치의 데이터 드라이버(300)의 갯수 또는 상기 데이터 라인(DL)의 갯수를 줄이기 위해, 더블 레이트 드라이빙(Double Rate Driving)(이하, 간단히 'DRD'라 함) 방식이 이용되고 있다. 상기 DRD 방식을 이용하는 패널에서는, 종래 대비 수평 게이트 라인(HGL)들의 갯수가 2배로 늘어나는 대신, 데이터 라인(DL)들의 갯수가 1/2로 줄어든다. 즉, 상기 DRD 방식은, 필요로 하는 데이터 드라이버(300)의 갯수 또는 데이터 라인(DL)의 갯수를 반으로 줄이면서도 동일한 해상도를 구현할 수 있는 방법이다.
- [0006] 상기 DRD 방식을 이용하는 종래의 표시장치에서는, 상기 패널에 형성되어 있는 게이트 라인들에 스캔펄스를 공급하기 위해, 상기 패널의 좌우 각각에 게이트 드라이버가 형성되어 있다.
- [0007] 이 경우, 두 개의 상기 게이트 드라이버들은 하나의 게이트 라인에 스캔펄스를 동시에 공급할 수 있다. 이러한 방식은 더블 피딩(Double Feeding) 방식이라 한다. 상기 더블 피딩 방식에 의해, 상기 게이트 드라이버에 공급되는 클럭의 로드가 저감될 수 있다.
- [0008] 예를 들어, 상기 DRD 방식을 이용하는 패널에 2160(= 1080 x 2)개의 게이트 라인이 형성되어 있고, 두 개의 상기 게이트 드라이버들 각각이 6개의 클럭들로 구동되는 경우, 클럭 하나가, 360(= 2160 / 6)개의 게이트 라인들을 담당한다. 따라서, 상기 클럭의 로드가 커질 수 있다. 그러나, 상기 더블 피딩 방식이 적용됨으로써, 클럭의 로드는 감소될 수 있다.
- [0009] 또한, 표시장치에 대한 연구는 기술적인 면과, 디자인적인 면으로 구분될 수 있으며, 최근에는, 수요자들에게 보다 어필할 수 있는 디자인적인 면에서의 연구개발의 필요성이 특히 부각되고 있다. 이에 따라, 표시장치의 두께를 최소화(슬립화)하는 노력이 꾸준히 진행되고 있다. 또한, 표시장치의 테두리 부분을 좁게 형성하는 기술(Narrow bezel)에 대한 연구도 활발히 진행되고 있다. 즉, 표시장치의 전면 중 영상이 출력되지 않는 좌우 테두리 부분을 최소화시키는 대신, 영상이 출력되는 부분을 증대시킴으로써, 사용자에게 보다 넓고 큰 영상을 제공하는 기술에 대한 연구가 활발히 진행되고 있다. 이에 따라, 게이트 드라이버가 데이터 드라이버(30)와 마주보는 방향에 형성되는 게이트 링크 인 어레이(GLA : Gate Link in Array) 방식이 이용되고 있다.
- [0010] 도 1은 종래의 표시장치의 구성을 나타낸 예시도로서, 특히, 게이트 링크 인 어레이(GLA) 방식을 이용하는 표시장치의 구성을 나타내고 있다. 도 1에서, (a)는 패널(10)의 전체 구성을 보여주고 있고, (b)는 상기 패널(10)의 좌측 비표시영역(L)의 단면을 보여주고 있으며, (c)는 상기 패널(10)의 우측 비표시영역(R)의 단면을 보여주고 있다.
- [0011] 종래의 표시장치는, 도 1의 (a)에 도시된 바와 같이, 영상을 출력하는 표시영역과, 표시영역 주변의 비표시영역으로 형성된 패널(10), 상기 패널에 형성된 수평 게이트 라인들(HGL1 to HGLg)을 구동하기 위한 게이트 드라이버(20), 상기 패널에 형성된 데이터 라인들(DL1 to DLd)을 구동하기 위한 데이터 드라이버(30) 및 상기 데이터 드라이버(30)와 상기 게이트 드라이버(20)를 구동하기 위한 타이밍 컨트롤러(40)를 포함한다.
- [0012] 상기 데이터 드라이버(30)는 일반적으로, TCP(Tape Carrier Package)의 IC 영역에 실장되거나, 또는, COF(Chip On Film) 방식으로 베이스필름 상에 실장되어, TAB(Tape Automated Bonding) 방식으로 상기 패널(10)에 접속되고 있다. 또한, 상기 데이터 드라이버(30)는 칩온글래스(COG) 방식으로 상기 패널(10)에 장착될 수도 있다. 이 경우, 상기 데이터드라이버는, 도 1의 (a)에 도시된 바와 같이, 상기 게이트 드라이버(20)와 마주보도록, 상기 패널(10)에 장착된다.

- [0013] 상기 게이트 드라이버(20)는 TCP(Tape Carrier Package)의 IC 영역에 실장되거나, 또는, COF(Chip On Film) 방식으로 베이스필름상에 실장되어, TAB(Tape Automated Bonding) 방식으로 상기 패널(10)에 접속될 수 있다. 그러나, 상기 게이트 드라이버(20)는, 도 1에 도시된 바와 같이, GIP(Gate In Panel) 방식으로 상기 패널(10)의 비표시영역에 형성될 수도 있으며, 집적회로(IC)로 구성되어 상기 패널(10)의 비표시영역에 장착될 수 있다. 이 경우, 상기 게이트 드라이버(20)는 상기 데이터 드라이버(30)와 마주보도록, 상기 패널(10)에 형성된다.
- [0014] 상기 타이밍 컨트롤러(40)는 상기 패널(10)에 장착될 수도 있으나, 도 1의 (a)에 도시된 바와 같이, 인쇄회로기판(50)에 장착될 수 있다. 이 경우, 상기 인쇄회로기판은, 상기 게이트 드라이버(20)가 장착되는 비표시영역에서, 상기 패널(10)과 전기적으로 연결될 수 있다.
- [0015] 상기한 바와 같이, 최근에는, 표시장치의 테두리 부분을 좁게 형성하는 기술(Narrow bezel)에 대한 연구가 활발히 진행되고 있다. 특히, 극한 네로우 베젤(Narrow Bezel)의 구현을 위해, 패널(10)의 좌측 및 우측에 게이트 드라이버 IC가 장착되거나, 또는 패널(10)의 좌측 및 우측에 게이트 인 패널(GIP) 방식의 게이트 드라이버가 형성되는 대신, 도 1의 (a)에 도시된 바와 같이, 게이트 드라이버(20)가 데이터 드라이버(30)와 마주보는 방향에 형성되는 게이트 링크 인 어레이(GLA : Gate Link in Array) 방식이 이용되고 있다.
- [0016] 상기 게이트 링크 인 어레이(GLA) 방식을 이용한 표시장치에서는, 상기 게이트 드라이버(20)로부터 연장되어 있는 수직 게이트 라인(VGL)들이, 상기 데이터 드라이버(30)로부터 연장되어 있는 데이터 라인들(DL1 to DLd)과 나란하게 상기 패널(10)에 형성되어 있다. 상기 수직 게이트 라인(VGL)들은, 상기 데이터 라인(DL)과 수직하게 상기 패널(10)에 형성되어 있는 수평 게이트 라인들(HGL1 to HGLg)에 연결되어 있다.
- [0017] 또한, 게이트 인 패널(GIP) 방식의 게이트 드라이버(20)가, 도 1의 (a)에 도시된 바와 같이, 상기 패널(10)의 상부에 형성되어 있는 경우, 상기 게이트 드라이버(20)는 상기 패널(10)의 하부에 형성되어 있는 타이밍 컨트롤러(40) 또는 상기 패널(10)에 장착되어 있는 인쇄회로기판(50)으로부터 게이트 구동신호들을 공급받아 구동된다.
- [0018] 이 경우, 상기 게이트 구동신호들을 공급하기 위한 라인들(GND, RST, CLK, VSS1, VDD, VST, VSS2, FB, COM, FB 등)(11, 12)은, 도 1의 (a)에 도시된 바와 같이, 상기 패널(10)의 좌측 비표시영역(L) 및 우측 비표시영역(R)에 형성되어 있으며, 특히, 도 1의 (b) 및 (c)에 도시된 바와 같이 상기 패널(10) 상에 나란하게 배치되어 있다. 즉, 도 1의 (a)에서는, 좌측 비표시영역(L) 및 우측 비표시영역(R)에 하나의 라인만이 도시되어 있으나, 상기 좌측 비표시영역(L) 및 상기 우측 비표시영역(R)에는, 실질적으로, 도 1의 (b) 및 (c)에 도시된 바와 같이, 복수의 라인들이 형성되어 있다.
- [0019] 특히, 상기 게이트 드라이버(30)를 구동시키기 위해서는, 적어도 두 개 이상의 클럭들이 필요하다. 도 1에는, 세 개의 클럭들이 상기 게이트 드라이버(20)로 공급될 수 있도록, 세 개의 클럭라인(도 1에서 CLK으로 표시되어 있음)이 형성되어 있는 패널이 도시되어 있다.
- [0020] 이 경우, 상기 세 개의 클럭라인(CLK)들은, 도 1에 도시된 바와 같이, 상기 타이밍 컨트롤러(40)로부터 연장되어, 상기 좌측 비표시영역(L)을 통해 상기 게이트 드라이버(20)와 연결될 수도 있으며, 상기 타이밍 컨트롤러(40)로부터 연장되어, 상기 우측 비표시영역(R)을 통해 상기 게이트 드라이버(20)와 연결될 수 있다. 여기서, 상기 좌측 비표시영역(L)에 형성되어 있는 상기 세 개의 클럭라인들과, 상기 우측 비표시영역(L)에 형성되어 있는 세 개의 클럭라인들은, 상기 게이트 드라이버(20)가 형성되어 있는, 상단 비표시영역에서 서로 연결되어 있다.
- [0021] 상기 게이트 드라이버(20)는, 상기 클럭라인들을 통해 공급되는 세 개의 클럭들을 이용하여 구동된다.
- [0022] 그러나, 상기에서 설명된 바와 같이, 상기 게이트 드라이버(20)는, 6개의 클럭들을 이용하여 6상으로 구동될 수도 있으며, 이 경우, 상기 게이트 드라이버(20)는, 상기 좌측 비표시영역(L)에 형성되어 있는 6개의 클럭라인들과, 상기 우측 비표시영역(R)에 형성되어 있는 6개의 클럭라인들을 통해 공급된 6개의 클럭들을 이용하여 구동된다. 이 경우, 도 1에 도시된 종래의 표시장치에서는, 상기 클럭의 로드를 줄이기 위해, 상기 DRD 방식이 적용될 수 없다.
- [0023] 예를 들어, 상기 DRD 방식이 적용되는 FHD(full high definition) 해상도를 갖는 패널의 경우, 수직라인의 갯수는 5760(= 1920 x 3)이다. 이 중, 절반에 해당되는 2880개의 수직라인들에는, 데이터 라인들(DL1 to DLd)이 형성되어 있으며, 나머지 2880개의 수직라인들에는, 수직 게이트 라인(VGL)들이 형성될 수 있다.
- [0024] 상기 수평 게이트 라인들(HGL1 to HGLg)의 갯수가 2160(= 1080 x 2)개 이므로, 상기 더블 피딩 방식이 적용되기

위해서는, 4320(= 2160 x 2)개의 수직 게이트 라인(VGL)들이 요구된다.

[0025] 그러나, 상기한 바와 같이, 상기 DRD 방식 및 상기 GLA 방식을 이용하고 있는 종래의 표시장치에 적용되는 상기 패널(10)에는, 상기 수직 게이트 라인(VGL)으로 이용될 수 있는 수직라인의 갯수가 2880개밖에 없기 때문에, 4320개의 수직 게이트 라인이 상기 패널(10)에 형성될 수 없다.

[0026] 따라서, 상기 DRD 방식 및 상기 GLA 방식을 이용하고 있는 종래의 표시장치에서는, 상기 더블 피딩 방식이 적용될 수 없다.

[0027] 이에 따라, 상기 DRD 방식 및 상기 GLA 방식을 이용하고 있는 종래의 표시장치에서는, 클럭의 로드가 증가되며, 따라서, 상기 게이트 드라이버가 정상적으로 스캔펄스를 상기 수직 게이트 라인(VGL)을 통해 상기 수평 게이트 라인(HGL)으로 출력시킬 수 없다.

**발명의 내용**

**해결하려는 과제**

[0028] 본 발명은 상술한 문제점을 해결하기 위해 제안된 것으로서, 수평 게이트 라인으로 스캔신호를 공급하기 위한 게이트 드라이버가, 패널 상에, 데이터 드라이버와 마주보도록 형성되어 있는, 표시장치를 제공하는 것을 기술적 과제로 한다.

**과제의 해결 수단**

[0029] 상술한 기술적 과제를 달성하기 위한 본 발명에 따른 표시장치는, 표시영역의 외곽의 하상좌우 측면에 제1, 제2, 제3 및 제4비표시영역이 형성되어 있는 패널; 상기 표시영역에서 제1방향으로 형성되어 있는 데이터 라인들을 구동하기 위해 상기 제1비표시영역에 형성되어 있는 데이터 드라이버; 상기 표시영역에서 상기 제1방향에 수직인 제2방향으로 형성되어 있는 g개의 수평 게이트 라인들로 스캔신호를 출력하기 위해, 상기 제2비표시영역에 형성되어 있는 게이트 드라이버; 및 상기 데이터 드라이버와 상기 게이트 드라이버를 구동시키기 위한 타이밍 컨트롤러를 포함하고, 상기 표시영역에는, 상기 게이트 드라이버로부터 연장되어 상기 데이터 라인들과 평행하게 형성되어 있는 수직 게이트 라인들이, 상기 수평 게이트 라인들과 연결되어 있고, 상기 게이트 드라이버는, 상기 타이밍 컨트롤러로부터 상기 제3비표시영역을 통해 상기 제2비표시영역으로 연장되어 있는 제1클럭라인그룹으로부터 공급된 클럭들과, 상기 타이밍 컨트롤러로부터 상기 제4비표시영역을 통해 상기 제2비표시영역으로 연장되어 있는 제2클럭라인그룹으로부터 공급된 클럭들을 이용하여, 상기 수평 게이트 라인들로 상기 스캔신호를 출력하는 것을 특징으로 한다.

[0030] 상술한 기술적 과제를 달성하기 위한 본 발명에 따른 또 다른 표시장치는, 표시영역의 외곽의 하상좌우 측면에 제1, 제2, 제3 및 제4비표시영역이 형성되어 있는 패널; 상기 표시영역에서 제1방향으로 형성되어 있는 데이터 라인들을 구동하기 위해 상기 제1비표시영역에 형성되어 있는 데이터 드라이버; 상기 표시영역에서 상기 제1방향에 수직인 제2방향으로 형성되어 있는 g개의 수평 게이트 라인들로 스캔신호를 출력하기 위해, 상기 제2비표시영역에 형성되어 있는 제1게이트 드라이버와 제2게이트 드라이버; 및 상기 데이터 드라이버와 두 개의 상기 게이트 드라이버들을 구동시키기 위한 타이밍 컨트롤러를 포함하고, 상기 표시영역에는, 두 개의 상기 게이트 드라이버들로부터 연장되어 상기 데이터 라인들과 평행하게 형성되어 있는 수직 게이트 라인들이, 상기 수평 게이트 라인들과 연결되어 있고, 상기 제1게이트 드라이버는, 상기 타이밍 컨트롤러로부터 상기 제3비표시영역을 통해 상기 제2비표시영역으로 연장되어 있는 제1클럭라인그룹으로부터 공급된 클럭들을 이용하고, 상기 제2게이트 드라이버는, 상기 타이밍 컨트롤러로부터 상기 제4비표시영역을 통해 상기 제2비표시영역으로 연장되어 있는 제2클럭라인그룹으로부터 공급된 클럭들을 이용하여, 상기 수평 게이트 라인들로 상기 스캔신호를 출력하는 것을 특징으로 한다.

**발명의 효과**

[0031] 본 발명에 의하면, 네로우 베젤(Narrow Bezel)이 구현될 수 있으며, 게이트 드라이버를 구동하는 클럭의 로드가 감소될 수 있다.

**도면의 간단한 설명**

[0032] 도 1은 종래의 표시장치의 구성을 나타낸 예시도.



- 도 2는 본 발명에 따른 표시장치의 일실시에 구성도.
- 도 3은 본 발명에 따른 표시장치에 적용되는 패널의 구성을 나타낸 예시도.
- 도 4는 본 발명의 제1실시에 따른 표시장치의 일실시에 구성도.
- 도 5는 본 발명의 제2실시에 따른 표시장치의 일실시에 구성도.
- 도 6은 본 발명의 제3실시에 따른 표시장치의 일실시에 구성도.
- 도 7은 본 발명의 제4실시에 따른 표시장치의 일실시에 구성도.

**발명을 실시하기 위한 구체적인 내용**

- [0033] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예에 대해 상세히 설명한다.
- [0034] 도 2는 본 발명에 따른 표시장치의 일실시에 구성도이다. 도 3은 본 발명에 따른 표시장치에 적용되는 패널의 구성을 나타낸 예시도로서, 더블 레이트 드라이빙(Double Rate Driving)(이하, 간단히 'DRD'라 함) 방식을 이용하는 패널의 구성을 나타내고 있다.
- [0035] 본 발명에 따른 표시장치는, 도 2에 도시된 바와 같이, 표시영역(101)의 외곽의 하상좌우 측면에 제1, 제2, 제3 및 제4비표시영역이 형성되어 있는 패널(100), 상기 표시영역(101)에서 제1방향으로 형성되어 있는 데이터 라인들(DL1 to DLd)을 구동하기 위해 상기 제1비표시영역에 형성되어 있는 데이터 드라이버(300), 상기 표시영역(101)에서 상기 제1방향에 수직한 제2방향으로 형성되어 있는 g개의 수평 게이트 라인들(HGL1 to HGLg)로 스캔 신호를 출력하기 위해, 상기 제2비표시영역에 형성되어 있는 게이트 드라이버(200) 및 상기 데이터 드라이버(300)와 상기 게이트 드라이버(200)를 구동시키기 위한 타이밍 컨트롤러(400)를 포함한다. 상기 표시영역(101)에는, 상기 게이트 드라이버(200)로부터 연장되어 상기 데이터 라인들(DL)과 평행하게 형성되어 있는 수직 게이트 라인(VGL)들이, 상기 수평 게이트 라인들(HGL1 to HGLg)과 연결되어 있다.
- [0036] 본 발명의 제1 및 제2실시에 따른 표시장치에서는, 상기 게이트 드라이버(200)는, 상기 타이밍 컨트롤러(400)로부터 상기 제3비표시영역을 통해 상기 제2비표시영역으로 연장되어 있는 제1클럭라인그룹(411a)으로부터 공급된 클럭들과, 상기 타이밍 컨트롤러(400)로부터 상기 제4비표시영역을 통해 상기 제2비표시영역으로 연장되어 있는 제2클럭라인그룹(411b)로부터 공급된 클럭들을 이용하여, 상기 수평 게이트 라인들(HGL1 to HGLg)로 상기 스캔신호를 출력한다. 본 발명의 제1실시에 따른 표시장치에 대해서는, 이하에서, 도 3 및 도 4를 참조하여 상세히 설명된다.
- [0037] 본 발명의 제3 및 제4실시에 따른 표시장치에서는, 상기 게이트 드라이버(200)가, 제1게이트 드라이버 및 제2게이트 드라이버로 구분된다. 이 경우, 상기 제1게이트 드라이버는, 상기 타이밍 컨트롤러(400)로부터 상기 제3비표시영역을 통해 상기 제2비표시영역으로 연장되어 있는 제1클럭라인그룹(411a)으로부터 공급된 클럭들을 이용하고, 상기 제2게이트 드라이버는, 상기 타이밍 컨트롤러(400)로부터 상기 제4비표시영역을 통해 상기 제2비표시영역으로 연장되어 있는 제2클럭라인그룹(411b)d으로부터 공급된 클럭들을 이용하여, 상기 수평 게이트 라인들(HGL1 to HGLg)로 상기 스캔신호를 출력한다. 본 발명의 제2실시에 따른 표시장치에 대해서는, 이하에서, 도 5 및 도 6을 참조하여 상세히 설명된다.
- [0038] 우선, 상기 패널(100)은 액정패널, 유기발광패널 및 전기영동표시패널 등과 같은 다양한 종류의 패널이 될 수 있다.
- [0039] 상기 패널(100)은, 제1기판과 제2기판이 합착공정을 거쳐 합착된 것이다. 상기 제1기판과 상기 제2기판 사이에는 중간층이 형성되어 있다.
- [0040] 상기 제1기판과 상기 제2기판은 글래스(Glass), 플라스틱(Plastic), 메탈(Metal) 등으로 제조될 수 있다.
- [0041] 상기 중간층은 본 발명에 따른 표시장치의 종류에 따라 서로 다른 구성을 포함할 수 있다. 예를 들어, 상기 표시장치가, 액정표시장치(LCD: Liquid Crystal Display Device)인 경우, 상기 중간층은 액정(Liquid Crystal)을 포함할 수 있다. 상기 표시장치가 유기발광표시장치(OLED: Organic Light Emitting Display Device)인 경우, 상기 중간층은 광을 출력하는 유기화합물 등을 포함할 수 있다. 상기 표시장치가 영동표시장치(EPD: Electrophoretic Display Device)인 경우, 상기 중간층은 전기영동 분산액 등을 포함할 수 있다.



- [0042] 이하에서는, 설명의 편의상, 상기 패널(100)이 액정패널인 경우를 일례로 하여 본 발명이 설명된다. 즉, 본 발명은 상기 게이트 드라이버(200)를 이용하는 모든 종류의 표시장치에 적용될 수 있으나, 설명의 편의상, 이하에서는, 액정표시장치를 일례로 하여 본 발명이 설명된다.
- [0043] 상기 패널(100)이 액정패널인 경우, 상기 패널(100)은, 제1기판, 제2기판 및 상기 제1기판과 제2기판 사이에 형성되는 액정층을 포함한다. 상기 패널(100)의 상기 제1기판은 박막트랜지스터 기판(TFT기판)이 될 수 있다.
- [0044] 상기 제1기판의 표시영역(101)에는, 다수의 데이터 라인들(DL1 내지 DLd), 상기 데이터 라인들과 교차되는 다수의 수평 게이트 라인들(HGL1 내지 HGLd), 상기 데이터 라인들과 나란하게 형성되는 다수의 수직 게이트 라인들(VGL), 상기 데이터 라인들(DL1 내지 DLd)과 상기 수평 게이트 라인들(HGL1 내지 HGLg)의 교차영역마다 형성되는 픽셀들에 형성되는 다수의 박막트랜지스터(TFT : Thin Film Transistor)들 및 상기 픽셀에 데이터전압을 충전시키기 위한 다수의 픽셀전극 등이 형성된다. 즉, 상기 데이터 라인들(DL1 내지 DLd)과 상기 수평 게이트 라인들(HGL1 내지 HGLg)의 교차 구조에 의해 픽셀들이 매트릭스 형태로 배치된다. 상기 하나의 수평 게이트 라인(HGL)들 각각에는, 상기 수직 게이트 라인(VGL)이 적어도 두 개 이상 연결될 수 있다.
- [0045] 상기 제1기판의 비표시영역 중, 상기 패널(100)의 하측면에 형성되는 비표시영역(이하, 간단히 '제1비표시영역'이라 함)에는, 상기 데이터 드라이버(300)와 상기 타이밍 컨트롤러(400)와 상기 인쇄회로기판(500)이 전기적으로 연결된다.
- [0046] 상기 제1기판의 비표시영역 중, 상기 패널(100)의 상측면에 형성되는 비표시영역(이하, 간단히 '제2비표시영역'이라 함)에는, 상기 게이트 드라이버(200)가 장착된다.
- [0047] 상기 제1기판의 비표시영역 중, 상기 패널(100)의 좌측면에 형성되는 비표시영역(이하, 간단히 '제3비표시영역'이라 함)(C) 및 상기 패널(100)의 우측면에 형성되는 비표시영역(이하, 간단히 '제4비표시영역'이라 함)(D) 각각에는, 도 2에 도시된 바와 같이, 상기 게이트 드라이버(200)로 클럭들을 공급하는 클럭라인들, 그라운드라인(GND), 상기 픽셀들에 형성되어 있는 공통전극에 공통전압을 공급하는 공통전압 라인(COM), 상기 게이트 드라이버(200)로 고전위 전압을 공급하는 고전위 라인, 상기 게이트 드라이버(200)로 저전위 전압을 공급하는 저전위 라인, 상기 게이트 드라이버(200)로 리셋신호를 공급하는 리셋라인 등이 형성되어 있다. 상기 라인들 중, 상기 클럭들을 공급하는 클럭라인들을 총칭하여 클럭라인그룹이라 한다.
- [0048] 이 경우, 상기 제3비표시영역(C)에는 제1클럭라인그룹(411a)이 형성되어 있으며, 상기 제4비표시영역(D)에는 제2클럭라인그룹(411b)이 형성되어 있다.
- [0049] 상기 제1클럭라인그룹(411a)을 형성하는 클럭라인들의 갯수 및 상기 제2클럭라인그룹(411b)을 형성하는 클럭라인들의 갯수는 동일하다. 상기 제1클럭라인그룹(411a) 및 상기 제2클럭라인그룹(411b) 각각을 형성하는 클럭라인들의 갯수는, 상기 게이트 드라이버(200)의 형태에 따라 다양하게 설정될 수 있다. 이하에서는, 설명의 편의상, 상기 게이트 드라이버(200)가, 6개의 클럭들로 구동되는 경우, 즉, 상기 게이트 드라이버(200)가 6상의 클럭들을 이용하여 구동되는 경우를 일례로 하여 본 발명이 설명된다. 이 경우, 상기 제1클럭라인그룹(411a)은 6개의 클럭라인들로 형성되며, 상기 제2클럭라인그룹(411b) 역시 6개의 클럭라인들로 형성된다. 부연하여 설명하면, 상기 제1클럭라인그룹(411a)으로 공급되는 6개의 클럭들과, 상기 제2클럭라인그룹(411b)으로 공급되는 6개의 클럭들은, 서로 동일한 것이다.
- [0050] 상기 패널(100)의 상기 제2기판은 컬러필터 기판이 될 수 있다. 상기 제2기판에는 블랙매트릭스(BM), 컬러필터 등이 형성된다.
- [0051] 본 발명에 따른 표시장치에 적용되는 상기 패널(100)은, 도 3에 도시된 바와 같이, 상기 DRD 방식으로 구성될 수 있다.
- [0052] 상기 DRD 방식은, 표시장치의 데이터 드라이버(300)의 갯수 또는 상기 데이터 라인(DL)의 갯수를 줄이기 위한 방법의 하나이다. 상기 DRD 방식을 이용하는 패널에서는, 종래 대비 수평 게이트 라인(HGL)들의 갯수가 2배로 늘어나는 대신, 데이터 라인(DL)들의 갯수가 1/2로 줄어든다. 즉, 상기 DRD 방식은, 필요로 하는 데이터 드라이버(300)의 갯수 또는 데이터 라인(DL)의 갯수를 반으로 줄이면서도 동일한 해상도를 구현할 수 있는 방법이다.
- [0053] 즉, 본 발명에 따른 표시장치에서는, 도 3에 도시된 바와 같이, 상기 패널(100)의 하나의 수평라인에 배치된 p(p는 2 이상의 자연수로서, 도 3에서는 8개 임)개의 픽셀들이, 상기 수평라인의 상하에 형성된 두 개의 수평 게이트 라인(HGL)들과 p/2(= 4)개의 데이터 라인(DL)들을 이용하여 구동될 수 있다.

- [0054] 상기 DRD 방식은, 플리커를 최소화함과 아울러, 소비전력을 줄이기 위해, 상기 데이터 드라이버(300)를, 수직 2도트 인버전 방식으로 구동시킬 수 있다. 이에 따라, 상기 데이터 라인(DL)을 사이에 두고 서로 인접한 두 개의 픽셀들은 두개의 수평 게이트 라인(HGL)들에 각각 접속되어 상기 데이터 라인(DL)을 통해 공급되는 동일 극성의 데이터전압을 충전한다. 상기 DRD 방식은 현재 일반적으로 이용되고 있는 기술인바, 이에 대한 상세한 설명은 생략된다.
- [0055] 본 발명에서는, 상기 DRD 방식을 이용함에 따라 남게 되는 공간에, 상기 수직 게이트 라인(VGL)들이 형성되어 있다. 즉, 상기 DRD 방식에서는 종래의 일반적인 방식보다 상기 데이터 라인의 갯수가 반으로 줄어들게 되므로, 본 발명에서는, 나머지 반에 해당하는 데이터 라인이 형성될 위치에 상기 수직 게이트 라인(VGL)들이 형성된다.
- [0056] 그러나, 본 발명이, 반드시, 상기 DRD 방식을 이용하여 형성되는 패널(100)에만 적용되는 것은 아니다.
- [0057] 다음, 상기 데이터 드라이버(300)는 상기 타이밍 컨트롤러(400)로부터 입력된 상기 영상데이터를 데이터 전압으로 변환하여, 상기 수평 게이트 라인(HGL)에 스캔펄스가 공급되는 1수평기간마다 1수평라인분의 데이터 전압을 상기 데이터 라인들(DL1 to DLd)에 공급한다. 즉, 상기 데이터 드라이버(300)는 감마전압 발생부(미도시)로부터 공급되는 감마전압들을 이용하여, 상기 영상데이터를 데이터 전압으로 변환시킨 후 상기 데이터 라인들로 출력시킨다.
- [0058] 상기 데이터 드라이버(300)는 상기 타이밍 컨트롤러(400)로부터 전송되어온 소스 스타트 펄스(Source Start Pulse; SSP)를 소스 쉬프트 클럭(Source Shift Clock; SSC)에 따라 쉬프트시켜 샘플링 신호를 발생한다. 그리고, 상기 데이터 드라이버(300)는 상기 소스 쉬프트 클럭(SSC)에 따라 입력되는 상기 영상데이터(RGB)를 상기 샘플링 신호에 따라 래치하여, 상기 데이터 전압으로 변경한 후, 상기 소스 출력 인에이블(Source Output Enable; SOE) 신호에 응답하여 수평 라인 단위로 상기 데이터 전압을 상기 데이터 라인들에 공급한다.
- [0059] 이를 위해, 상기 데이터 드라이버(300)는 쉬프트 레지스터부, 래치부, 디지털 아날로그 변환부 및 출력버퍼 등을 포함하여 구성될 수 있다.
- [0060] 상기 쉬프트 레지스터부는, 상기 타이밍 컨트롤러(400)로부터 수신된 데이터 제어신호들을 이용하여 샘플링 신호를 출력한다.
- [0061] 상기 래치부는 상기 타이밍 컨트롤러(400)로부터 순차적으로 수신된 상기 디지털 영상데이터를 래치하고 있다가, 상기 디지털 아날로그 변환부로 동시에 출력하는 기능을 수행한다.
- [0062] 상기 디지털 아날로그 변환부는 상기 래치부로부터 전송되어온 상기 영상데이터들을 동시에 정극성 또는 부극성의 데이터 전압으로 변환하여 출력한다. 즉, 상기 디지털 아날로그 변환부는, 상기 감마전압 발생부(미도시)로부터 공급되는 감마전압을 이용하여, 상기 타이밍 컨트롤러(400)로부터 전송되어온 극성제어신호에 따라, 상기 영상데이터들을 정극성 또는 부극성의 데이터 전압으로 변환하여 상기 데이터 라인들로 출력한다.
- [0063] 상기 출력버퍼는 상기 디지털 아날로그 변환부로부터 전송되어온 정극성 또는 부극성의 데이터 전압을, 상기 타이밍 컨트롤러(400)로부터 전송되어온 소스출력인에이블신호에 따라, 상기 패널의 상기 데이터 라인들로 출력한다.
- [0064] 상기 데이터 드라이버(300)는, 상기 게이트 드라이버(200)가 형성되어 있는 제2비표시영역과 마주보고 있는 제1비표시영역에 형성되어 있다.
- [0065] 상기 데이터 드라이버(300)로부터 연장되어 있는 상기 데이터 라인들(DL1 to DLd)은 상기 수평 게이트 라인들(HGL1 to HGLg)과는 수직을 이루고 있으며, 상기 게이트 드라이버(200)로부터 연장되어 있는 상기 수직 게이트 라인(VGL)들과는 평행을 이루고 있다.
- [0066] 상기 데이터드라이버(300)는, COG(Chip On Glass) 방식으로 상기 제1비표시영역에 형성될 수도 있으나, 도 2에 도시된 바와 같이, TCP(Tape Carrier Package)의 IC 영역에 실장되거나, 또는, COF(Chip On Film) 방식으로 베이스필름 상에 실장되어, TAB(Tape Automated Bonding) 방식으로 상기 제1비표시영역에 전기적으로 연결될 수 있다.
- [0067] 상기 데이터 드라이버(300)는, 하나의 집적회로로 구성될 수도 있으나, 도 2에 도시된 바와 같이, 두 개의 집적

회로로 구성될 수도 있으며, 세 개 이상의 집적회로로 구성될 수도 있다.

- [0068] 다음, 상기 게이트 드라이버(200)는 상기 타이밍 컨트롤러(400)에서 생성된 게이트 제어신호들을 이용하여 상기 수평 게이트 라인들(HGL1 to HGLg)에 순차적으로 스캔펄스를 공급한다. 상기 스캔펄스에 응답하여 상기 패널(100)의 박막트랜지스터들(TFT)은 상기 패널(100)의 수평라인 단위로 구동된다.
- [0069] 상기 게이트 드라이버(200)는, 도 2에 도시된 바와 같이, 상기 데이터 드라이버(300)가 형성되어 있는 상기 제1 비표시영역과 마주보고 있는 상기 제2비표시영역에 형성되어 있다. 즉, 상기 게이트 드라이버(200)는 상기 데이터 드라이버(300)와 마주보도록, 상기 패널(100)에 형성된다.
- [0070] 상기 게이트 드라이버(200)로부터 연장되어 있는 상기 수직 게이트 라인(VGL)들은, 상기 데이터 라인들(DL)과 평행하게, 상기 표시영역(101)에 형성되어 있다. 상기 수평 게이트 라인(HGL)에는, 적어도 하나 이상의 상기 수직 게이트 라인(VGL)이 연결될 수 있다. 상기 수평 게이트 라인(VGL)들은, 상기 수평 게이트 라인(HGL)들과 수직을 이룬 상태로 상기 표시영역(101)에 형성되어 있다.
- [0071] 따라서, 상기 게이트 드라이버(200)로부터 순차적으로 출력되는 스캔펄스들은, 상기 수직 게이트 라인(VGL)을 통해 순차적으로 출력되어, 상기 수직 게이트 라인(VGL)들에 연결되어 있는 상기 수평 게이트 라인(HGL)들에 순차적으로 출력된다.
- [0072] 상기 게이트 드라이버(200)는 TCP(Tape Carrier Package)의 IC 영역에 실장되거나, 또는, COF(Chip On Film) 방식으로 베이스필름상에 실장되어, TAB(Tape Automated Bonding) 방식으로 상기 패널(100)에 접속될 수도 있다. 그러나, 도 2에 도시된 바와 같이, 상기 게이트 드라이버(200)는, 게이트 인 패널(GIP : Gate In Panel) 방식으로 상기 패널(100)의 제2비표시영역에 형성될 수도 있으며, 집적회로(IC)로 구성되어 상기 제2비표시영역에 장착될 수 있다.
- [0073] 부연하여 설명하면, 상기 게이트 드라이버(200)는, 필름에 장착되어 상기 필름을 통해 상기 제2비표시영역에서 상기 패널(100)과 전기적으로 연결될 수 있고, 집적회로(IC)로 형성되어 상기 제2비표시영역에 장착될 수도 있으며, 게이트 인 패널(GIP) 방식으로 상기 제2비표시영역에 형성될 수도 있다.
- [0074] 본 발명은, 상기 게이트 드라이버(200)가 상기 집적회로(IC)로 형성되거나, 또는 상기 게이트 인 패널(GIP) 방식으로 형성된 경우에 유용하며, 특히, 상기 게이트 인 패널(GIP) 방식으로 형성된 경우에 유용하다.
- [0075] 상기 게이트 드라이버(200)는, 다양한 갯수의 클럭들을 이용하여 상기 스캔펄스를 순차적으로 상기 수평 게이트 라인들(HGL1 to HGLg)에 공급할 수 있다. 그러나, 이하에서는, 설명의 편의상, 상기에서 설명된 바와 같이, 상기 게이트 드라이버(200)가 6개의 클럭들을 이용하여 구동되는 경우를 일례로 하여 본 발명이 설명된다. 상기 게이트 드라이버(200)가 복수개의 클럭들을 이용하여 구동되는 방법은, 현재 일반적으로 이용되고 있으므로, 상기 게이트 드라이버(200)의 구성 및 동작 방법에 대한 상세한 설명은 생략된다.
- [0076] 상기 게이트 드라이버(200)는, 도 2에 도시된 바와 같이, 하나로 구성될 수도 있으나, 복수개로 구성될 수도 있다. 이하에서, 도 3 및 도 4를 참조하여 설명될, 본 발명의 제1 및 제2실시예에 따른 표시장치에서는, 상기 게이트 드라이버(200)가 게이트 인 패널(GIP) 방식으로 구성된 하나의 블록으로 형성된다. 즉, 게이트 인 패널(GIP) 방식으로 구성된 하나의 블록이 상기 게이트 드라이버(200)를 구성한다. 또한, 이하에서, 도 5 및 도 6을 참조하여 설명될, 본 발명의 제3 및 제4실시예에 따른 표시장치에서는, 상기 게이트 드라이버(200)가 게이트 인 패널(GIP) 방식으로 구성된 두 개의 블록으로 형성된다. 즉, 게이트 인 패널(GIP) 방식으로 구성된 두 개의 블록이 상기 게이트 드라이버(200)를 구성한다. 이 경우, 상기 두 개의 블록 각각을 게이트 드라이버(200)라 한다.
- [0077] 즉, 상기 게이트 드라이버(200)는, 하나의 블록으로 구성될 수도 있으며, 또는 두 개의 블록으로 구분되어 개별적으로 구동될 수도 있다.
- [0078] 다음, 상기 타이밍 컨트롤러(400)는 외부 시스템으로부터 입력되는 타이밍 신호, 즉, 표시장치에서 기준클럭으로 이용되는 도트클럭, 수직동기신호, 수평동기신호 및 데이터 인에이블 신호 등을 이용하여, 상기 게이트 드라이버(200)의 동작 타이밍을 제어하기 위한 게이트 제어신호 및 상기 데이터 드라이버(300)의 동작 타이밍을 제어하기 위한 데이터 제어신호를 생성하고, 상기 데이터 드라이버(300)에 영상데이터를 공급한다.

- [0079] 상기 타이밍 컨트롤러(400)에서 발생하는 상기 게이트 제어신호들에는 게이트 스타트 펄스, 게이트 쉬프트 클럭, 게이트 출력 인에이블 신호, 게이트 스타트 신호(VST), 클럭(CLK), 리셋신호(RST) 등이 있다.
- [0080] 상기 타이밍 컨트롤러(400)에서 발생하는 상기 데이터 제어신호들에는 소스 스타트 펄스, 소스 쉬프트 클럭신호, 소스 출력 인에이블 신호, 극성제어신호(POL) 등이 포함된다.
- [0081] 상기 타이밍 컨트롤러(400)는, 도 2에 도시된 바와 같이, 상기 인쇄회로기판(500)에 장착될 수도 있으나, 상기 제1비표시영역에서, 상기 데이터 드라이버(300)와 일체로 형성될 수도 있다.
- [0082] 마지막으로, 상기 인쇄회로기판(500)은, 상기 제1비표시영역에 장착되어 있다. 이 경우, 상기 인쇄회로기판(500)은, 상기 데이터 드라이버(300)가 장착되어 있는 필름을 통해 간접적으로, 상기 제1비표시영역에 연결될 수도 있으며, 상기 데이터 드라이버(300)가 상기 제1비표시영역에 장착되어 있는 경우에는, 상기 제1비표시영역에 직접 연결될 수도 있다.
- [0083] 상기 인쇄회로기판(500)에는, 상기 타이밍 컨트롤러(400)가 장착될 수 있으며, 상기 타이밍 컨트롤러(400)와 상기 데이터 드라이버(300)와 상기 게이트 드라이버(200)에 필요한 전원을 공급하기 위한 전원공급부가 장착될 수도 있으며, 이 외에도, 상기 구성요소들을 구동하기 위한 다양한 구성요소들이 장착될 수 있다.
- [0084] 도 4는 본 발명의 제1실시예에 따른 표시장치의 일실시예 구성도이다.
- [0085] 본 발명의 제1실시예에 따른 표시장치는, 도 3 및 도 4에 도시된 바와 같이, 표시영역(101)의 외곽의 하상좌우 측면에 제1, 제2, 제3 및 제4비표시영역이 형성되어 있는 패널(100), 상기 표시영역(101)에서 제1방향으로 형성되어 있는 데이터 라인들(DL1 to DLd)을 구동하기 위해 상기 제1비표시영역에 형성되어 있는 데이터 드라이버(300), 상기 표시영역(101)에서 상기 제1방향에 수직한 제2방향으로 형성되어 있는 g개의 수평 게이트 라인들(HGL1 to HGLg)로 스캔신호를 출력하기 위해, 상기 제2비표시영역에 형성되어 있는 게이트 드라이버(200) 및 상기 데이터 드라이버(300)와 상기 게이트 드라이버(200)를 구동시키기 위한 타이밍 컨트롤러(400)를 포함한다.
- [0086] 상기 표시영역(101)에는, 상기 게이트 드라이버(200)로부터 연장되어 상기 데이터 라인들(DL)과 평행하게 형성되어 있는 수직 게이트 라인(VGL)들이, 상기 수평 게이트 라인들(HGL1 to HGLg)과 연결되어 있다.
- [0087] 상기 게이트 드라이버(200)는, 상기 타이밍 컨트롤러(400)로부터 상기 제3비표시영역을 통해 상기 제2비표시영역으로 연장되어 있는 제1클럭라인그룹(411a)으로부터 공급된 클럭들과, 상기 타이밍 컨트롤러(400)로부터 상기 제4비표시영역을 통해 상기 제2비표시영역으로 연장되어 있는 제2클럭라인그룹(411b)로부터 공급된 클럭들을 이용하여, 상기 수평 게이트 라인들(HGL1 to HGLg)로 상기 스캔신호를 출력한다.
- [0088] 상기 패널(100), 상기 게이트 드라이버(200), 상기 데이터 드라이버(300), 상기 타이밍 컨트롤러(400) 및 상기 인쇄회로기판(500)에 대해서는 상기에서 상세히 설명되었으므로, 이에 대해서는 간단히 설명된다.
- [0089] 본 발명의 제1실시예에 따른 표시장치에 적용되는 상기 패널(100)의 기본 구조는, 일반적인 표시장치에 적용되는 패널의 구조와 동일할 수도 있으며, 상기 패널(100)은, 상기한 바와 같은 DRD 방식을 이용하여 형성될 수도 있다.
- [0090] 상기 패널(100)이 상기 DRD 방식을 이용하여 형성된 경우, 하나의 수직라인을 구성하는 픽셀들과, 상기 수직라인에 인접되어 있는 또 다른 수직라인을 구성하는 픽셀들 사이에는, 도 3에 도시된 바와 같이, 상기 데이터 라인(DL)이 하나씩 형성되어 있다.
- [0091] 이 경우, 제n번째 수직라인을 형성하는 픽셀들과, 제n+1번째 수직라인을 형성하는 픽셀들 사이에는 하나의 상기 데이터 라인(DL)이 형성되어 있으며(n은 홀수), 제n+1번째 수직라인을 형성하는 픽셀들과, 제n+2번째 수직라인을 형성하는 픽셀들 사이에는, 상기 수직 게이트 라인(VGL)이 형성될 수 있다.
- [0092] 예를 들어, n이 1인 경우, 도 3에서, 제1(=n)수직라인을 형성하는 픽셀들과, 제2(=n+1)수직라인을 형성하는 픽셀들 사이에는, 하나의 상기 데이터 라인(DL)이 형성되어 있으며, 제2(=n+1)수직라인을 형성하는 픽셀들과, 제3(=n+2)수직라인을 형성하는 픽셀들 사이에는, 상기 수직 게이트 라인(VGL)이 형성되어 있다. 또한, n이 5인 경우, 도 5에서, 제5(=n)수직라인을 형성하는 픽셀들과, 제6(=n+1)수직라인을 형성하는 픽셀들 사이에는, 하나



의 상기 데이터 라인(DL)들이 형성되어 있으며, 제6(=n+1)수직라인을 형성하는 픽셀들과, 제7(=n+2)수직라인을 형성하는 픽셀들 사이에는, 상기 수직 게이트 라인(VGL)이 형성되어 있다.

- [0093] 즉, 본 발명의 제1실시예에서는, 상기 데이터 라인(DL)과, 상기 수직 게이트 라인(VGL) 모두 상기 수직라인들 사이에 단독으로 형성된다.
- [0094] 상기 제1클럭라인그룹(411a)과 상기 제2클럭라인그룹(411b)은, 도 4에 도시된 바와 같이, 상기 게이트 드라이버(200)가 형성되어 있는 상기 제2비표시영역에 형성되어 있으며, 서로 분리되어 있다.
- [0095] 이 경우, 상기 게이트 드라이버(200)는, 상기 제1클럭라인그룹(411a)으로부터 공급된 클럭들을 이용하여, 제1수평 게이트 라인으로부터 제g/2수평 게이트 라인으로 순차적으로 스캔펄스를 공급하며, 상기 제2클럭라인그룹(411b)들로부터 공급된 클럭들을 이용하여, 제(g/2)+1수평 게이트 라인으로부터 제g수평 게이트 라인으로 순차적으로 스캔펄스를 공급한다.
- [0096] 따라서, 상기 DRD 방식을 이용하며, FHD(full high definition) 해상도를 갖는 상기 패널(100)에, 2160(= 1080 x 2)개의 수평 게이트 라인(HGL)이 형성되어 있고, 상기 게이트 드라이버(200)가 6개의 클럭들로 구동되는 경우, 상기 제1클럭라인그룹(411a)을 통해 공급되는 6개의 클럭들 각각은, 180(= 1080 / 6)개의 수평 게이트 라인(HGL)을 담당한다. 또한, 상기 제2클럭라인그룹(411b)을 통해 공급되는 6개의 클럭들 각각은, 180(= 1080 / 6)개의 수평 게이트 라인(HGL)을 담당한다.
- [0097] 즉, 종래기술에서는, 6개의 클럭들 각각이, 360(= 2160 / 6)개의 수평 게이트 라인(HGL)들을 담당하고 있으나, 본 발명에 따른 표시장치에서는, 6개의 클럭들 각각이, 180(= 1080 / 6)개의 수평 게이트 라인(HGL)을 담당한다.
- [0098] 부연하여 설명하면, 본 발명의 제1실시예에 따른 표시장치는, 더블 피딩(Double Feeding) 방식을 이용하지 못하는 대신, 각 클럭이 구동시키는 수평 게이트 라인(HGL)의 갯수를 줄임으로써, 결론적으로, 각 클럭의 로드를 감소시킬 수 있다.
- [0099] 도 5는 본 발명의 제2실시예에 따른 표시장치의 일 실시예 구성도이다.
- [0100] 본 발명의 제2실시예에 따른 표시장치는, 도 3 및 도 5에 도시된 바와 같이, 상기 패널(100), 상기 데이터 드라이버(300), 상기 게이트 드라이버(200) 및 상기 타이밍 컨트롤러(400)를 포함한다. 상기 표시영역(101)에는, 상기 게이트 드라이버(200)로부터 연장되어 상기 데이터 라인들(DL)과 평행하게 형성되어 있는 수직 게이트 라인(VGL)들이, 상기 수평 게이트 라인들(HGL1 to HGLg)과 연결되어 있다. 상기 게이트 드라이버(200)는, 상기 타이밍 컨트롤러(400)로부터 상기 제3비표시영역을 통해 상기 제2비표시영역으로 연장되어 있는 제1클럭라인그룹(411a)으로부터 공급된 클럭들과, 상기 타이밍 컨트롤러(400)로부터 상기 제4비표시영역을 통해 상기 제2비표시영역으로 연장되어 있는 제2클럭라인그룹(411b)로부터 공급된 클럭들을 이용하여, 상기 수평 게이트 라인들(HGL1 to HGLg)로 상기 스캔신호를 출력한다.
- [0101] 상기 패널(100), 상기 게이트 드라이버(200), 상기 데이터 드라이버(300), 상기 타이밍 컨트롤러(400) 및 상기 인쇄회로기판(500)에 대해서는 상기에서 상세히 설명되었으므로, 이에 대해서는 간단히 설명된다.
- [0102] 본 발명의 제2실시예에 따른 표시장치에 적용되는 상기 패널(100)의 기본 구조는, 일반적인 표시장치에 적용되는 패널의 구조와 동일할 수도 있으며, 상기 패널(100)은, 상기한 바와 같은 DRD 방식을 이용하여 형성될 수도 있다.
- [0103] 상기 제1클럭라인그룹(411a)과 상기 제2클럭라인그룹(411b)은, 도 5에 도시된 바와 같이, 상기 게이트 드라이버(200)가 형성되어 있는 상기 제2비표시영역에 형성되어 있으며, 서로 분리되어 있다.
- [0104] 이 경우, 상기 게이트 드라이버(200)는, 상기 제1클럭라인그룹(411a)으로부터 공급된 클럭들을 이용하여, 홀수 번째 수평 게이트 라인들로 순차적으로 스캔펄스를 공급하며, 상기 제2클럭라인그룹(411b)으로부터 공급된 클럭들을 이용하여, 짝수 번째 수평 게이트 라인들로 순차적으로 스캔펄스를 공급할 수 있다.
- [0105] 또한, 상기 게이트 드라이버(200)는, 상기 제1클럭라인그룹(411a)으로부터 공급된 클럭들을 이용하여, 짝수 번째 수평 게이트 라인들로 순차적으로 스캔펄스를 공급하며, 상기 제2클럭라인그룹(411b)으로부터 공급된 클럭들을 이용하여, 홀수 번째 수평 게이트 라인들로 순차적으로 스캔펄스를 공급할 수 있다.

- [0106] 따라서, 상기 DRD 방식을 이용하며, FHD(full high definition) 해상도를 갖는 상기 패널(100)에,  $2160(= 1080 \times 2)$ 개의 수평 게이트 라인(HGL)이 형성되어 있고, 상기 게이트 드라이버(200)가 6개의 클럭들로 구동되는 경우, 상기 제1클럭라인그룹(411a)을 통해 공급되는 6개의 클럭들 각각은,  $180(= 1080 / 6)$ 개의 수평 게이트 라인(HGL)을 담당한다. 또한, 상기 제2클럭라인그룹(411b)을 통해 공급되는 6개의 클럭들 각각은,  $180(= 1080 / 6)$ 개의 수평 게이트 라인(HGL)을 담당한다.
- [0107] 즉, 종래기술에서는, 6개의 클럭들 각각이,  $360(= 2160 / 6)$ 개의 수평 게이트 라인(HGL)들을 담당하고 있으나, 본 발명에 따른 표시장치에서는, 6개의 클럭들 각각이,  $180(= 1080 / 6)$ 개의 수평 게이트 라인(HGL)을 담당한다.
- [0108] 부연하여 설명하면, 본 발명의 제2실시예에 따른 표시장치는, 더블 피딩(Double Feeding) 방식을 이용하지 못하는 대신, 각 클럭이 구동시키는 수평 게이트 라인(HGL)의 갯수를 줄임으로써, 결론적으로, 각 클럭의 로드를 감소시킬 수 있다.
- [0109] 도 6은 본 발명의 제3실시예에 따른 표시장치의 일 실시예 구성도이다.
- [0110] 본 발명의 제3실시예에 따른 표시장치는, 도 3 및 도 6에 도시된 바와 같이, 표시영역(101)의 외곽의 하상좌우 측면에 제1, 제2, 제3 및 제4비표시영역이 형성되어 있는 패널(100), 상기 표시영역(101)에서 제1방향으로 형성되어 있는 데이터 라인들(DL1 to DLd)을 구동하기 위해 상기 제1비표시영역에 형성되어 있는 데이터 드라이버(300), 상기 표시영역(101)에서 상기 제1방향에 수직한 제2방향으로 형성되어 있는 g개의 수평 게이트 라인들로 스캔신호를 출력하기 위해, 상기 제2비표시영역에 형성되어 있는 제1게이트 드라이버(도 6에서 좌측에 도시되어 있는 게이트 드라이버(200))와 제2게이트 드라이버(도 6에서 우측에 도시되어 있는 게이트 드라이버(200)) 및 상기 데이터 드라이버(300)와 두 개의 상기 게이트 드라이버들(200)을 구동시키기 위한 타이밍 컨트롤러(400)를 포함한다.
- [0111] 상기 표시영역(101)에는, 두 개의 상기 게이트 드라이버들(200)로부터 연장되어 상기 데이터 라인(DL)들과 평행하게 형성되어 있는 수직 게이트 라인(VGL)들이, 상기 수평 게이트 라인(HGL)들과 연결되어 있다.
- [0112] 상기 제1게이트 드라이버(200)는, 상기 타이밍 컨트롤러(400)로부터 상기 제3비표시영역을 통해 상기 제2비표시영역으로 연장되어 있는 제1클럭라인그룹(411a)으로부터 공급된 클럭들을 이용하여, 상기 수평 게이트 라인들(HGL1 to HGLg)로 상기 스캔신호를 출력한다. 상기 제2게이트 드라이버(200)는, 상기 타이밍 컨트롤러(400)로부터 상기 제4비표시영역을 통해 상기 제2비표시영역으로 연장되어 있는 제2클럭라인그룹(411b)으로부터 공급된 클럭들을 이용하여, 상기 수평 게이트 라인들(HGL1 to HGLg)로 상기 스캔신호를 출력한다.
- [0113] 상기 패널(100), 상기 게이트 드라이버(200), 상기 데이터 드라이버(300), 상기 타이밍 컨트롤러(400) 및 상기 인쇄회로기판(500)에 대해서는 상기에서 상세히 설명되었으므로, 이에 대해서는 간단히 설명된다.
- [0114] 본 발명의 제3실시예에 따른 표시장치에 적용되는 상기 패널(100)의 기본 구조는, 일반적인 표시장치에 적용되는 패널의 구조와 동일할 수도 있으며, 상기 패널(100)은, 상기한 바와 같은 DRD 방식을 이용하여 형성될 수도 있다.
- [0115] 상기 제1클럭라인그룹(411a)과 상기 제2클럭라인그룹(411b)은, 도 6에 도시된 바와 같이, 두 개의 상기 게이트 드라이버들(200)이 형성되어 있는 상기 제2비표시영역에 형성되어 있으며, 서로 분리되어 있다.
- [0116] 이 경우, 상기 제1게이트 드라이버(도 6의 좌측에 도시되어 있는 게이트 드라이버(200))는, 상기 제1클럭라인그룹(411a)으로부터 공급된 클럭들을 이용하여, 제1수평 게이트 라인(HGL1)으로부터 제g/2수평 게이트 라인(HGL/2)으로 순차적으로 스캔펄스를 공급한다.
- [0117] 상기 제2게이트 드라이버(도 6의 우측에 도시되어 있는 게이트 드라이버(200))는, 상기 제2클럭라인그룹(411b)으로부터 공급된 클럭들을 이용하여, 제(g/2)+1수평 게이트 라인(HGL(g/2)+1)으로부터 제g수평 게이트 라인(HLGg)으로 순차적으로 스캔펄스를 공급한다.
- [0118] 따라서, 상기 DRD 방식을 이용하며, FHD(full high definition) 해상도를 갖는 상기 패널(100)에,  $2160(= 1080 \times 2)$ 개의 수평 게이트 라인(HGL)이 형성되어 있고, 두 개의 상기 게이트 드라이버들(200) 각각이 6개의 클럭들로 구동되는 경우, 상기 제1클럭라인그룹(411a)을 통해 공급되는 6개의 클럭들 각각은,  $180(= 1080 / 6)$ 개의 수평 게이트 라인(HGL)을 담당한다. 또한, 상기 제2클럭라인그룹(411b)을 통해 공급되는 6개의 클럭들 각각은,



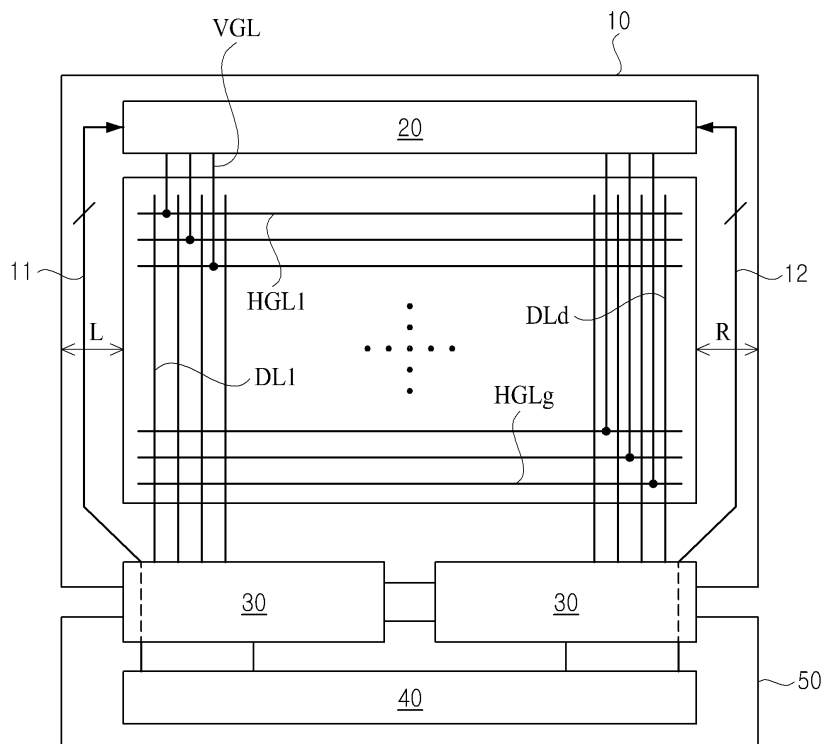
180(= 1080 / 6)개의 수평 게이트 라인(HGL)을 담당한다.

- [0119] 즉, 종래기술에서는, 6개의 클럭들 각각이, 360(= 2160 / 6)개의 수평 게이트 라인(HGL)들을 담당하고 있으나, 본 발명에 따른 표시장치에서는, 6개의 클럭들 각각이, 180(= 1080 / 6)개의 수평 게이트 라인(HGL)을 담당한다.
- [0120] 부연하여 설명하면, 본 발명의 제3실시예에 따른 표시장치는, 더블 피딩(Double Feeding) 방식을 이용하지 못하는 대신, 각 클럭이 구동시키는 수평 게이트 라인(HGL)의 갯수를 줄임으로써, 결론적으로, 각 클럭의 로드를 감소시킬 수 있다.
- [0121] 본 발명의 제3실시예에 따른 표시장치에서, 상기 제1게이트 드라이버는, 상기 제1수평 게이트 라인(HGL1)으로부터 제g/2수평 게이트 라인(HGL/2)으로 순차적으로 스캔펄스를 공급한 이후, 상기 제g/2수평 게이트 라인(HGL/2)으로 공급되는 제g/2스캔펄스를 상기 제2게이트 드라이버로 공급한다. 상기 제2게이트 드라이버는, 상기 제g/2스캔펄스를 게이트 스타트 신호로 이용하여, 제(g/2)+1수평 게이트 라인(HGL(g/2)+1)으로부터 제g수평 게이트 라인(HLGg)으로 순차적으로 스캔펄스를 공급한다.
- [0122] 따라서, 상기 제2게이트 드라이버에서 사용될 게이트 스타트 신호의 공급을 위해, 별도의 라인이 형성될 필요가 없으며, 이에 따라 상기 제2게이트 드라이버의 회로 구성이 간단해 질 수 있다.
- [0123] 도 7은 본 발명의 제4실시예에 따른 표시장치의 일 실시예 구성도이다.
- [0124] 본 발명의 제4실시예에 따른 표시장치는, 도 3 및 도 7에 도시된 바와 같이, 상기 패널(100), 상기 데이터 드라이버(300), 상기 제1게이트 드라이버(도 6에서 좌측에 도시되어 있는 게이트 드라이버(200))와 상기 제2게이트 드라이버(도 6에서 우측에 도시되어 있는 게이트 드라이버(200)) 및 상기 타이밍 컨트롤러(400)를 포함한다.
- [0125] 상기 표시영역(101)에는, 두 개의 상기 게이트 드라이버들(200)로부터 연장되어 상기 데이터 라인(DL)들과 평행하게 형성되어 있는 수직 게이트 라인(VGL)들이, 상기 수평 게이트 라인(HGL)들과 연결되어 있다. 상기 제1게이트 드라이버(200)는, 상기 타이밍 컨트롤러(400)로부터 상기 제3비표시영역을 통해 상기 제2비표시영역으로 연장되어 있는 제1클럭라인그룹(411a)으로부터 공급된 클럭들을 이용하여, 상기 수평 게이트 라인들(HGL1 to HGLg)로 상기 스캔신호를 출력한다. 상기 제2게이트 드라이버(200)는, 상기 타이밍 컨트롤러(400)로부터 상기 제4비표시영역을 통해 상기 제2비표시영역으로 연장되어 있는 제2클럭라인그룹(411b)으로부터 공급된 클럭들을 이용하여, 상기 수평 게이트 라인들(HGL1 to HGLg)로 상기 스캔신호를 출력한다.
- [0126] 본 발명의 제4실시예에 따른 표시장치의 구성 및 기능은, 상기 제1클럭라인그룹(411a)과 상기 제2클럭라인그룹(411b)이 서로 연결되어 있다는 점을 제외하고는, 도 6에 도시된 본 발명의 제3실시예에 따른 표시장치의 구성 및 기능과 동일하다.
- [0127] 따라서, 상기 제1게이트 드라이버(도 6의 좌측에 도시되어 있는 게이트 드라이버(200))는, 상기 제1클럭라인그룹(411a)으로부터 공급된 클럭들을 이용하여, 제1수평 게이트 라인(HGL1)으로부터 제g/2수평 게이트 라인(HGL/2)으로 순차적으로 스캔펄스를 공급한다.
- [0128] 또한, 상기 제2게이트 드라이버(도 6의 우측에 도시되어 있는 게이트 드라이버(200))는, 상기 제2클럭라인그룹(411b)으로부터 공급된 클럭들을 이용하여, 제(g/2)+1수평 게이트 라인(HGL(g/2)+1)으로부터 제g수평 게이트 라인(HLGg)으로 순차적으로 스캔펄스를 공급한다.
- [0129] 상기 제1게이트 드라이버는, 상기 제1수평 게이트 라인(HGL1)으로부터 제g/2수평 게이트 라인(HGL/2)으로 순차적으로 스캔펄스를 공급한 이후, 상기 제g/2수평 게이트 라인(HGL/2)으로 공급되는 제g/2스캔펄스를 상기 제2게이트 드라이버로 공급한다. 상기 제2게이트 드라이버는, 상기 제g/2스캔펄스를 게이트 스타트 신호로 이용하여, 제(g/2)+1수평 게이트 라인(HGL(g/2)+1)으로부터 제g수평 게이트 라인(HLGg)으로 순차적으로 스캔펄스를 공급한다.
- [0130] 이 경우, 상기 DRD 방식을 이용하며, FHD(full high definition) 해상도를 갖는 상기 패널(100)에, 2160(= 1080 x 2)개의 수평 게이트 라인(HGL)이 형성되어 있고, 두 개의 상기 게이트 드라이버들(200) 각각이 6개의 클럭들로 구동되는 경우, 상기 제1클럭라인그룹(411a)과 상기 제2클럭라인그룹(411b)을 통해 공급되는 6개의 클럭들 각각은, 360(= 2160 / 6)개의 수평 게이트 라인(HGL)을 담당한다. 종래기술에서도, 6개의 클럭들 각각이, 360(= 2160 / 6)개의 수평 게이트 라인(HGL)들을 담당하고 있다.

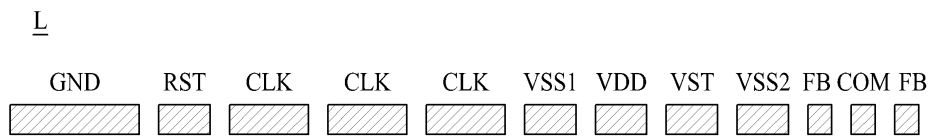


도면

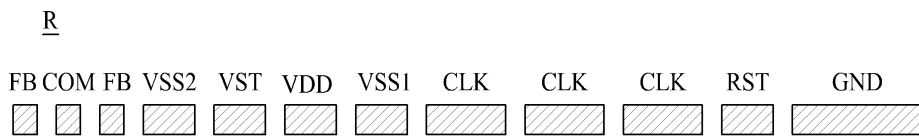
도면1



(a)

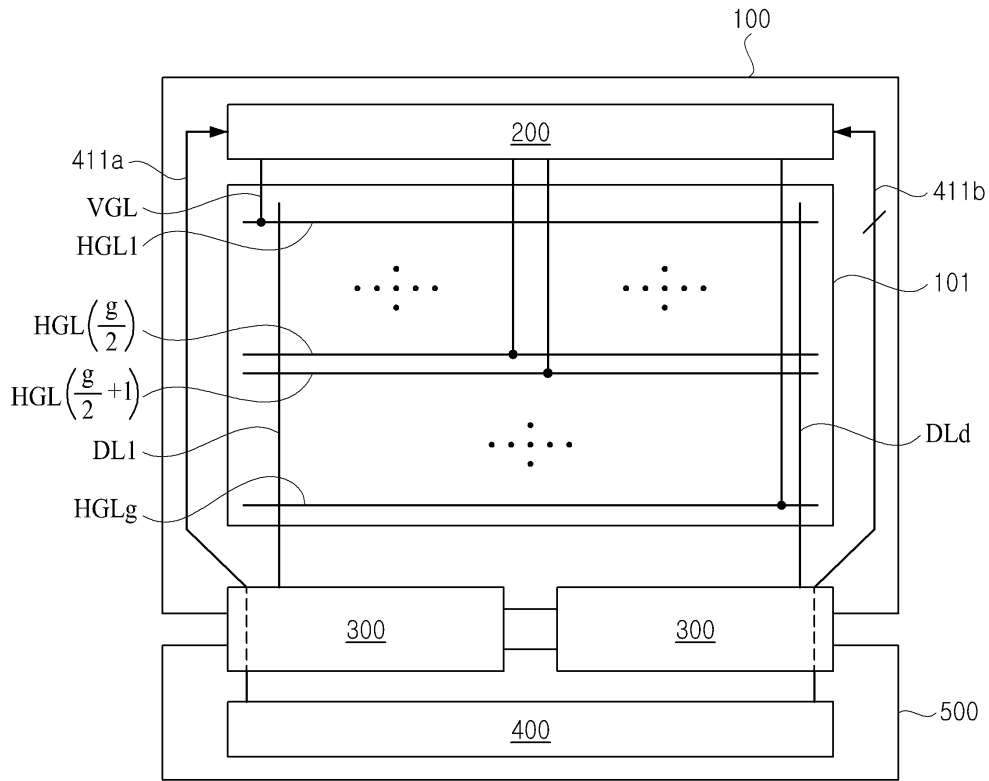


(b)

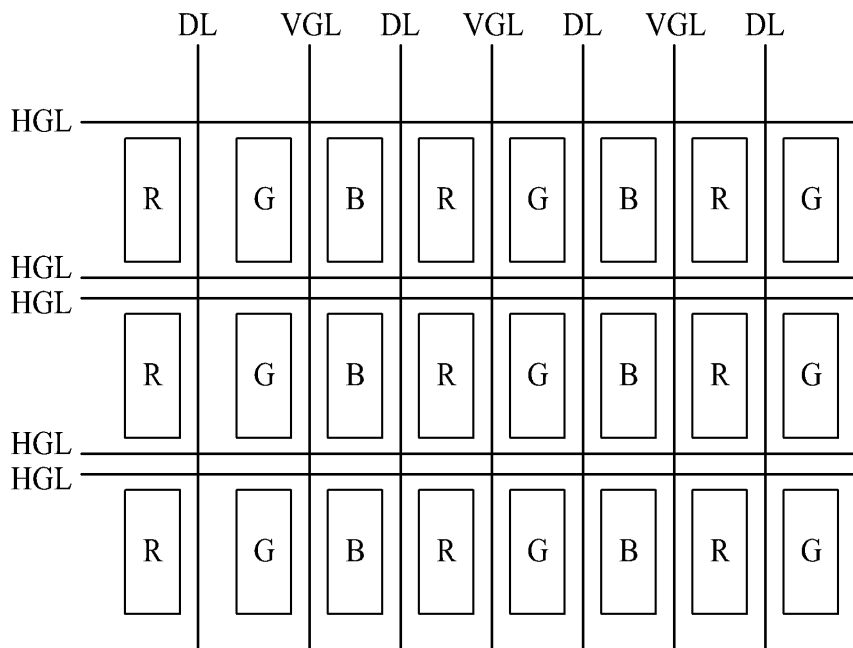


(c)

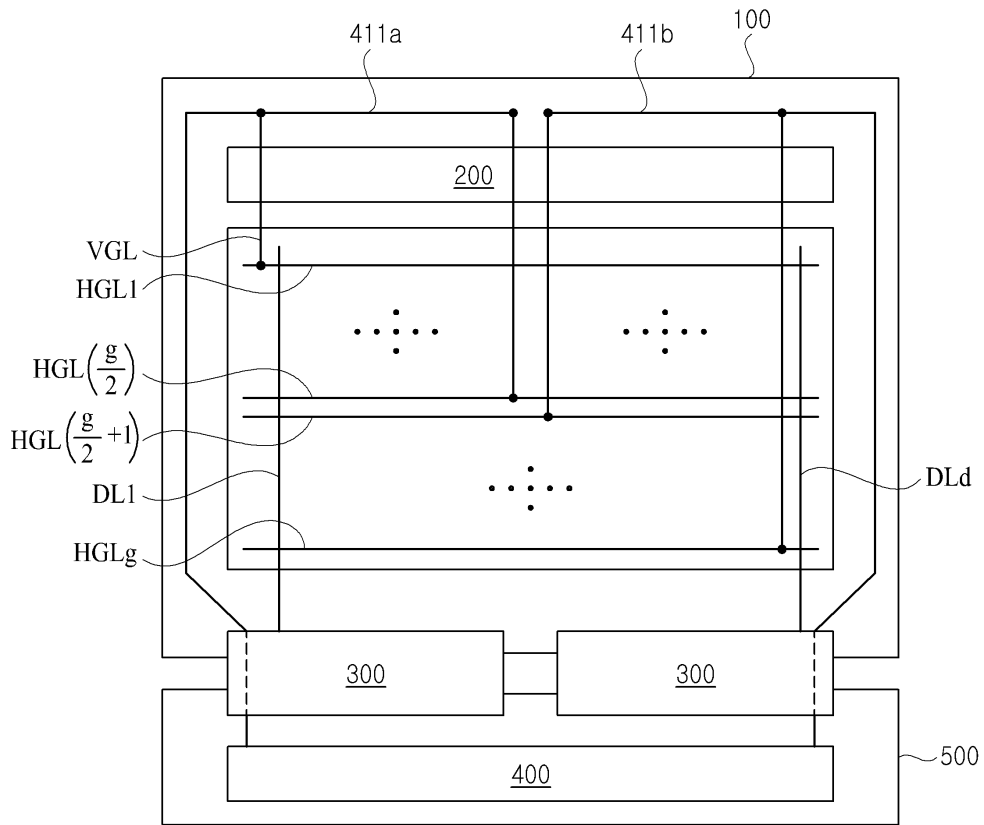
도면2



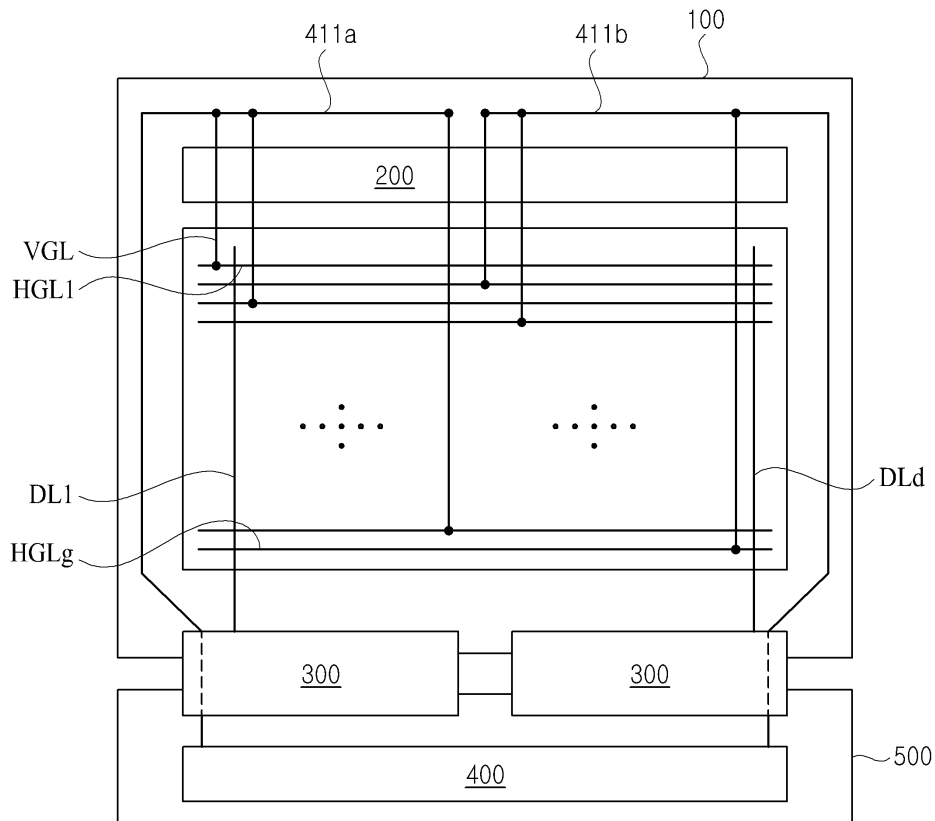
도면3



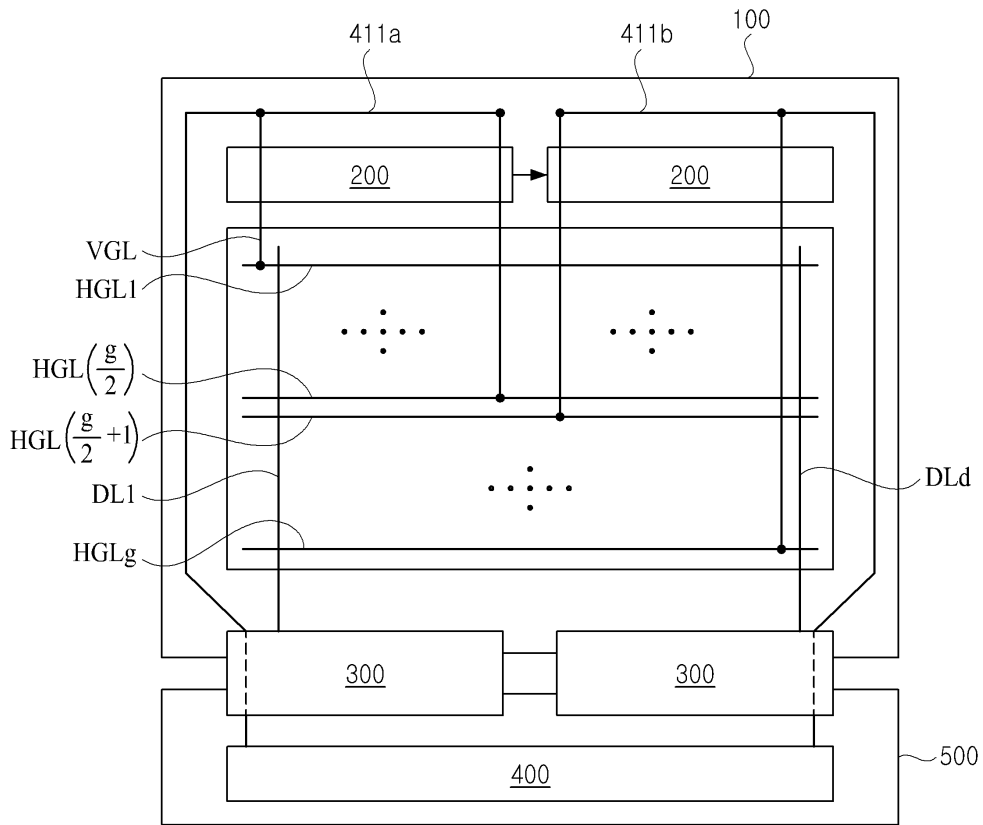
도면4



도면5



도면6



도면7

