



(12) 发明专利

(10) 授权公告号 CN 109376853 B

(45) 授权公告日 2021.09.24

(21) 申请号 201811255479.8

US 2018285728 A1,2018.10.04

(22) 申请日 2018.10.26

CN 106650923 A,2017.05.10

(65) 同一申请的已公布的文献号

CN 107229967 A,2017.10.03

申请公布号 CN 109376853 A

US 2018075344 A1,2018.03.15

(43) 申请公布日 2019.02.22

CN 103678257 A,2014.03.26

(73) 专利权人 电子科技大学

CN 108629404 A,2018.10.09

地址 610000 四川省成都市高新区西源大道2006号

CN 108629407 A,2018.10.09

EP 3451239 A1,2019.03.06

CN 107862379 A,2018.03.30

CN 1981296 A,2007.06.13

(72) 发明人 廖永波 李红梅 李文昌

Morando S等.Reservoir Computing

(74) 专利代理机构 成都惠迪专利事务所(普通合伙) 51215

optimisation for PEM fuel cell fault diagnostic.《2017 IEEE Vehicle Power and Propulsion Conference (VPPC)》.2017,第1-7页.

代理人 刘勋

(续)

(51) Int.Cl.

审查员 乔君

G06N 3/063 (2006.01)

(56) 对比文件

CN 108429573 A,2018.08.21

CN 108090560 A,2018.05.29

CN 106200655 A,2016.12.07

CN 105701540 A,2016.06.22

CN 108564169 A,2018.09.21

EP 3182339 A1,2017.06.21

CN 106528047 A,2017.03.22

权利要求书1页 说明书4页 附图1页

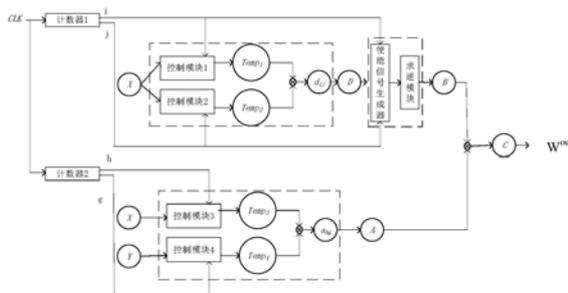
(54) 发明名称

回声状态神经网络输出轴突电路

(57) 摘要

回声状态神经网络输出轴突电路,涉及神经网络技术。本发明包括:时钟信号输入端,X向量寄存器,第一计数器,第一控制模块,第二控制模块,第一乘法器,使能信号生成器,逆矩阵运算器,B矩阵缓存器,Y向量寄存器,第二计数器,第三控制模块,第四控制模块,第二乘法器,矩阵乘法器,所述第一控制模块、第二控制模块、第三控制模块、第四控制模块用于从与其输入端连接的向量寄存器中提取序号与其控制端输入值相同的元素。采用本发明的技术,位权的计算是基于专利提出电路的方式计算的,输入数据、计算单

元、存储长度和运算能力均在该电路中确定,所以通过该电路运算得到的位权值是直接跟硬件神经网络相匹配的,解决了软硬件不匹配的风险。



CN 109376853 B

[接上页]

(56) 对比文件

J. Li等.Analog hardware implementation of spike-based delayed feedback reservoir computing system.《2017 International Joint Conference on Neural Networks (IJCNN)》.2017,第3439-3446页.

王洪等.基于L2正则化回声状态网络的模拟电路故障诊断[.《电子器件》.2017,第40卷(第5期),第1283-1286页.

Neuser F等.Region-specific integration of embryonic stem cell-derived neuronal precursors into a pre-existing neuronal circuit.《PloS one》.2013,第8卷(第6期),第1-13页.

Y. Liao等.An FPGA Based Real Time Reservoir Computing System for Neuromorphic Processors.《2018 3rd Asia-Pacific Conference on Intelligent Robot Systems (ACIRS)》.2018,第82-86页.

1. 回声状态神经网络输出轴突电路,其特征在于,包括下述单元:
 - 时钟信号输入端,用于接收时钟信号;
 - X向量寄存器,用于存储维数为K的X向量;
 - 第一计数器,其输入端连接时钟信号输入端,第一计数器具有i值输出端和j值输出端,用于收到时钟触发信号时输出i值和j值;
 - 所述i值初始值为1,并以K值为一个周期,i值随每一个时钟触发信号循环增1直至 $i = K$;
 - 所述j值初始值为1,并当每一次i值等于K时j值增1直至 $j = K$;
 - 第一控制模块,其输入端接X向量寄存器,其控制端接i值输出端,其输出端接第一缓存器;
 - 第二控制模块,其输入端接X向量寄存器,其控制端接j值输出端,其输出端接第二缓存器;
 - 第一乘法器,其两个输入端分别接第一缓存器和第二缓存器,其输出端接D矩阵缓存器;
 - 使能信号生成器,与i值输出端和j值输出端连接,其输出端接逆矩阵运算器的使能端,用于在 $i = K$ 和 $j = K$ 时向逆矩阵运算器输出使能信号;
 - 逆矩阵运算器,用于在接收到使能信号时对D缓存器存储的矩阵作求逆运算;
 - B矩阵缓存器,与逆矩阵运算器的输出端连接,用于存储逆矩阵运算器的输出;
 - Y向量寄存器,用于存储维数为M的Y向量;
 - 第二计数器,其输入端连接时钟信号输入端,第二计数器具有h值输出端和g值输出端;用于收到时钟触发信号时输出h 值和g 值;
 - 所述h值初始值为1,并以M值为一个周期,h值随每一个时钟触发信号循环增1直至 $h = M$;
 - 所述g值初始值为1,当每一次h值等于M时g值增1直至 $g = M$;
 - 第三控制模块,其输入端接X向量寄存器,其控制端接h值输出端,其输出端接第三缓存器;
 - 第四控制模块,其输入端接Y向量寄存器,其控制端接g值输出端,其输出端接第四缓存器;
 - 第二乘法器,其两个输入端分别接第三缓存器和第四缓存器,其输出端接A矩阵缓存器;
 - 矩阵乘法器,其两个输入端分别接B矩阵缓存器和A矩阵缓存器,其输出端接C矩阵缓存器;
 - 所述第一控制模块、第二控制模块、第三控制模块、第四控制模块用于从与其输入端连接的向量寄存器中提取序号与其控制端输入值相同的元素。
2. 如权利要求1所述的回声状态神经网络输出轴突电路,其特征在于,所述时钟触发信号为时钟上升沿。

回声状态神经网络输出轴突电路

技术领域

[0001] 本发明涉及神经网络技术。

背景技术

[0002] 回声状态网络架构描述为图1,图中圆形表示存储单元,方形表示模块。每时刻外部输入教师信号对 $(u_1 \sim u_L, y_1 \sim y_M)$,教师信号为向量,分别存入U单元和Y单元,随机数发生器模块随机生成输入权值矩阵、reservoir权值矩阵和反馈权值矩阵,分别存入Win单元、W单元、Wback单元,以便后续调用。Reservoir 模块计算网络的中间层状态值 $x_1 \sim x_K$ 并存入X单元。训练模块进行输出权值的计算并送入Wout单元。 $yy_1 \sim yy_M$ 表示网络实际输出向量。

[0003] 现有技术中,通用的位权确认方式是通过CPU或者GPU对确认的应用进行计算,然后把计算出来的位权值写入硬件神经网络中,这种方法受到硬件神经网络可配置位权的存储位长度和硬件的浮点运算位长所限制,具有软硬件接口不匹配的风险。

发明内容

[0004] 本发明所要解决的技术问题是,提供一种硬件方式实现的回声状态神经网络输出轴突电路,其具有高可靠性和高效率的特点。

[0005] 本发明解决所述技术问题采用的技术方案是,回声状态神经网络输出轴突电路,其特征在于,包括下述单元:

[0006] 时钟信号输入端,用于接收时钟信号;

[0007] X向量寄存器,用于存储维数为K的X向量;

[0008] 第一计数器,其输入端连接时钟信号输入端,第一计数器具有i值输出端和j值输出端,用于收到时钟触发信号时输出i值和j值;

[0009] 所述i值初始值为1,并以K值为一个周期,i值随每一个时钟触发信号循环增1直至 $i = K$;

[0010] 所述j值初始值为1,并当每一次i值等于K时j值增1直至 $j = K$;

[0011] 第一控制模块,其输入端接X向量寄存器,其控制端接i值输出端,其输出端接第一缓存器;

[0012] 第二控制模块,其输入端接X向量寄存器,其控制端接j值输出端,其输出端接第二缓存器;

[0013] 第一乘法器,其两个输入端分别接第一缓存器和第二缓存器,其输出端接D 矩阵缓存器;

[0014] 使能信号生成器,与i值输出端和j值输出端连接,其输出端接逆矩阵运算器的使能端,用于在 $i = K$ 和 $j = K$ 时向逆矩阵运算器输出使能信号;

[0015] 逆矩阵运算器,用于在接收到使能信号时对D缓存器存储的矩阵作求逆运算;

[0016] B矩阵缓存器,与逆矩阵运算器的输出端连接,用于存储逆矩阵运算器的输出;

[0017] Y向量寄存器,用于存储维数为M的Y向量;

- [0018] 第二计数器,其输入端连接时钟信号输入端,第二计数器具有h值输出端和 g值输出端;用于收到时钟触发信号时输出h 值和g 值;
- [0019] 所述h值初始值为1,并以M值为一个周期,h值随每一个时钟触发信号循环增1直至 $h = M$;
- [0020] 所述g值初始值为1,并当每一次h值等于M时g值增1直至 $g = M$;
- [0021] 第三控制模块,其输入端接X向量寄存器,其控制端接h值输出端,其输出端接第三缓存器;
- [0022] 第四控制模块,其输入端接Y向量寄存器,其控制端接g值输出端,其输出端接第四缓存器;
- [0023] 第二乘法器,其两个输入端分别接第三缓存器和第四缓存器,其输出端接a 矩阵缓存器;
- [0024] 矩阵乘法器,其两个输入端分别接B矩阵缓存器和A矩阵缓存器,其输出端接C矩阵缓存器;
- [0025] 所述第一控制模块、第二控制模块、第三控制模块、第四控制模块用于从与其输入端连接的向量寄存器中提取序号与其控制端输入值相同的元素。
- [0026] 所述时钟触发信号为时钟上升沿。
- [0027] 采用本发明的技术,位权的计算是基于专利提出电路的方式计算的,输入数据、计算单元、存储长度和运算能力均在该电路中确定,所以通过该电路运算得到的位权值是直接跟硬件神经网络相匹配的,解决了软硬件不匹配的风险。

附图说明

- [0028] 图1为回声状态网络架构图。
- [0029] 图2为本发明的训练模块电路结构图。

具体实施方式

- [0030] 参见图2。
- [0031] 图2中,各部分的标识与本发明各部分对应关系如下:
- [0032] 计数器1——第一计数器
- [0033] 计数器2——第二计数器
- [0034] X——X向量寄存器
- [0035] Y——Y向量寄存器
- [0036] 控制模块1——第一控制模块
- [0037] 控制模块2——第二控制模块
- [0038] 控制模块3——第三控制模块
- [0039] 控制模块4——第四控制模块
- [0040] Temp1——第一缓存器
- [0041] Temp2——第二缓存器
- [0042] Temp3——第三缓存器
- [0043] Temp4——第四缓存器

- [0044] A——A矩阵缓存器
- [0045] B——B矩阵缓存器
- [0046] C——C矩阵缓存器
- [0047] D——D矩阵缓存器
- [0048] d_{ij} ——D矩阵元素寄存器
- [0049] a_{hg} ——A矩阵元素寄存器
- [0050] 本发明提供了一种训练模块的硬件实现方式,具体包括:
- [0051] 时钟信号输入端,用于接收时钟信号;
- [0052] X向量寄存器,用于存储维数为K的X向量;
- [0053] 第一计数器,其输入端连接时钟信号输入端,第一计数器具有i值输出端和 j值输出端,用于收到时钟触发信号时输出i值和j值;
- [0054] 所述i值初始值为1,并以K值为一个周期,i值随每一个时钟触发信号循环增1直至 $i = K$;例如,初始值 $i = 1$,收到一个时钟上升沿后,i增1...直至 $i = K$,之后再收到一个时钟上升沿,i值由K变为初始值1,相当于时钟的指针循环运行,称为“循环增1”。
- [0055] 所述j值初始值为1,并当每一次i值等于K时j值增1直至 $j = K$;
- [0056] 第一控制模块,其输入端接X向量寄存器,其控制端接i值输出端,其输出端接第一缓存器;
- [0057] 第二控制模块,其输入端接X向量寄存器,其控制端接j值输出端,其输出端接第二缓存器;
- [0058] 第一乘法器,其两个输入端分别接第一缓存器和第二缓存器,其输出端通过 D矩阵元素寄存器接D矩阵缓存器;
- [0059] 使能信号生成器,与i值输出端和j值输出端连接,其输出端接逆矩阵运算器的使能端,用于在 $i = K$ 和 $j = K$ 时向逆矩阵运算器输出使能信号;
- [0060] 逆矩阵运算器,用于在接收到使能信号时对D缓存器存储的矩阵作求逆运算;
- [0061] B矩阵缓存器,与逆矩阵运算器的输出端连接,用于存储逆矩阵运算器的输出;
- [0062] Y向量寄存器,用于存储维数为M的Y向量;
- [0063] 第二计数器,其输入端连接时钟信号输入端,第二计数器具有h值输出端和 g值输出端;用于收到时钟触发信号时输出h值和g值;
- [0064] 所述h值初始值为1,并以M值为一个周期,h值随每一个时钟触发信号循环增1直至 $h = M$;
- [0065] 所述g值初始值为1,并当每一次h值等于M时g值增1直至 $g = M$;
- [0066] 第三控制模块,其输入端接X向量寄存器,其控制端接h值输出端,其输出端接第三缓存器;
- [0067] 第四控制模块,其输入端接Y向量寄存器,其控制端接g值输出端,其输出端接第四缓存器;
- [0068] 第二乘法器,其两个输入端分别接第三缓存器和第四缓存器,其输出端通过 A矩阵元素寄存器接A矩阵缓存器;
- [0069] 矩阵乘法器,其两个输入端分别接B矩阵缓存器和A矩阵缓存器,其输出端接C矩阵缓存器;

[0070] 所述第一控制模块、第二控制模块、第三控制模块、第四控制模块用于从与其输入端连接的向量寄存器中提取序号与其控制端输入值相同的元素。

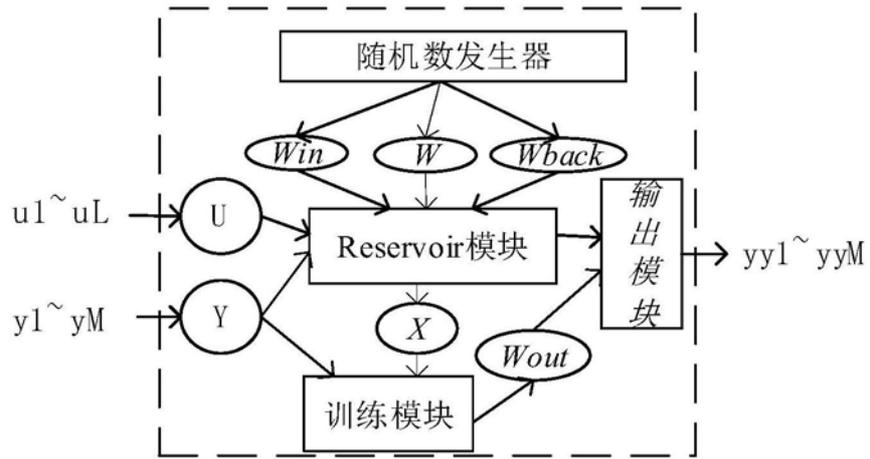


图1

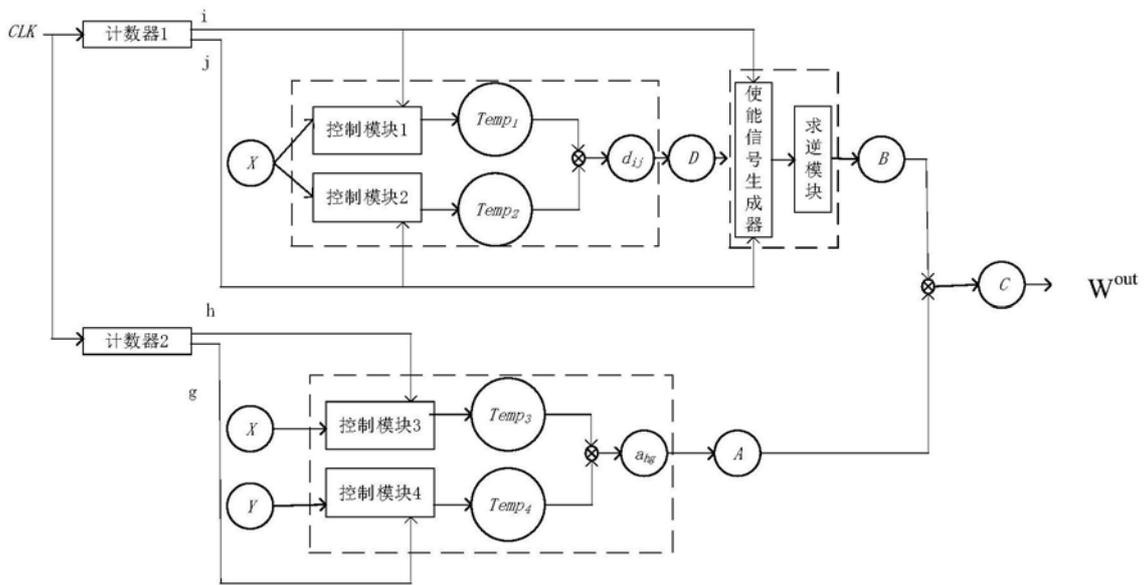


图2