



(12) 发明专利申请

(10) 申请公布号 CN 117007861 A

(43) 申请公布日 2023. 11. 07

(21) 申请号 202310952702.9

G06F 17/14 (2006.01)

(22) 申请日 2023.07.31

(71) 申请人 西安热工研究院有限公司

地址 710048 陕西省西安市碑林区兴庆路
136号

(72) 发明人 苏立新 宋美艳 雷超 焦龙
钟庆尧 李卓 管磊 高少华
辛志波 孙浩洵 张斌

(74) 专利代理机构 西安通大专利代理有限责任
公司 61200

专利代理师 李鹏威

(51) Int. Cl.

G01R 23/16 (2006.01)

G06F 18/15 (2023.01)

G06F 18/20 (2023.01)

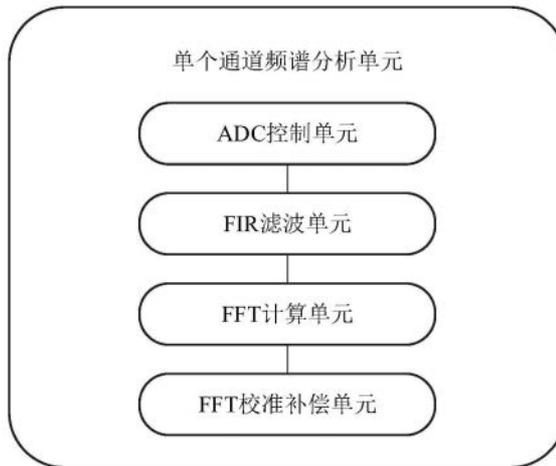
权利要求书3页 说明书8页 附图3页

(54) 发明名称

一种基于FPGA的频谱分析系统及方法

(57) 摘要

本发明属于频谱分析技术领域,公开了一种基于FPGA的频谱分析系统及方法;所述频谱分析系统包括:基于FPGA实现的时钟及复位单元、系统复位单元、SPI单元、寄存器单元、寄存器读写分发单元和多个通道频谱分析单元;其中,每个通道频谱分析单元均包括:ADC控制单元,用于获取待频谱分析的数字信号;FIR滤波单元,用于进行滤波处理,获得滤波后的数字信号;FFT计算单元,用于进行FFT计算,获得初始频谱分析结果;FFT校准补偿单元,用于进行校准补偿,获得最终的频谱分析结果。本发明通过软件滤波,滤波参数可调;可提高被采样信号为非 F_s/N 的倍数次谐波的计算结果的精确性。



1. 一种基于FPGA的频谱分析系统,其特征在于,包括:基于FPGA实现的时钟及复位单元、系统复位单元、SPI单元、寄存器单元、寄存器读写分发单元和多个通道频谱分析单元;其中,

所述多个通道频谱分析单元中的每个通道频谱分析单元均包括:

ADC控制单元,用于通过ADC接口与外部的ADC连接并周期性驱动ADC工作,以获取待频谱分析的数字信号;

FIR滤波单元,用于输入ADC控制单元获取的数字信号,并进行滤波处理,获得滤波后的数字信号;

FFT计算单元,用于将滤波后的数字信号,转换成FFT IP核需要的数据格式,并进行FFT计算,获得初始频谱分析结果;

FFT校准补偿单元,用于对初始频谱分析结果进行校准补偿,获得最终的频谱分析结果;其中,进行校准补偿的步骤具体包括:将初始频谱分析输出频点归算到配置的基波频率下,获得归算后的频率;根据归算后的频率,查寻预存的放缩系数;基于所述放缩系数进行校准补偿,获得最终的频谱分析结果。

2. 根据权利要求1所述的一种基于FPGA的频谱分析系统,其特征在于,所述FFT校准补偿单元中,将初始频谱分析输出频点归算到配置的基波频率下,获得归算后的频率的步骤中,

归算表达式为, $f_j = \text{round}(n_i \times F_s / N / f_{j0}) \times f_{j0}$;

式中, f_j 为归算后的频率; round 为四舍五入取整函数; n_i 为FFT输出频点的索引,取值为 $0 \sim (N-1)$, N 为FFT计算点数; F_s 为采样频率; f_{j0} 为归算的基波频率。

3. 根据权利要求1所述的一种基于FPGA的频谱分析系统,其特征在于,所述FFT校准补偿单元中,根据归算后的频率,查寻预存的放缩系数的步骤包括:

将所述归算后的频率作为ROM地址,根据ROM地址读取ROM中预存的放缩系数;

其中,不同频率下,FFT输出结果与实际值或码值之间的放缩系数,预存于FPGAROM的初始化文件中;初始化文件的地址为频率,输出信号为放缩系数。

4. 根据权利要求3所述的一种基于FPGA的频谱分析系统,其特征在于,所述不同频率下,FFT输出结果与实际值或码值之间的放缩系数的获取步骤包括:

通过枚举的方式,对幅值为 A_n ,频率为 $1 \sim F_s/2$ 的信号依次进行FFT分析,将各频率下信号的幅值 A_n 除以FFT分析结果的最大值 A_m ,获得对应频率下的放缩系数 k_n ;其中,计算表达式为, $k_n = A_n / A_m$ 。

5. 根据权利要求1所述的一种基于FPGA的频谱分析系统,其特征在于,所述FFT校准补偿单元中,基于所述放缩系数进行校准补偿,获得最终的频谱分析结果的步骤包括:

将得到的放缩系数与初始频谱分析结果中归算前的FFT谐波幅值相乘,得到校准补偿后谐波的幅值,获得最终的频谱分析结果。

6. 根据权利要求1所述的一种基于FPGA的频谱分析系统,其特征在于,

所述时钟及复位单元用于基于锁相环给所述频谱分析系统提供统一的内部时钟,并在时钟锁定信号失锁时进行锁相环复位;

所述系统复位单元用于在时钟锁定信号失锁时产生系统复位信号,待内部时钟正常后,延迟撤销系统复位信号,使FPGA各功能单元处于稳定状态;

所述SPI单元用于与外部的MCU交互,并解析MCU发送的SPI接口信号,提取出地址、命令、长度,并根据读写命令实现MCU对FPGA寄存器数据的写入及读取;

所述寄存器单元包括ADC采样频率配置寄存器、滤波器参数配置寄存器、FFT校准补偿配置寄存器和FFT计算结果寄存器;

寄存器读写分发单元用于根据SPI接口信号提取的命令转换为对内部寄存器的读写操作,并分别为分属不同功能的寄存器产生相应的读写操作信号。

7. 根据权利要求6所述的一种基于FPGA的频谱分析系统,其特征在于,

所述ADC采样频率配置寄存器用于根据基波频率配置ADC的采样频率,周期性启动ADC进行信号的采集;

所述滤波器参数配置寄存器用于预存多组滤波器参数,根据需求在线配置所需要的滤波器;

所述FFT校准补偿配置寄存器用于配置被采样信号的基波频率;

所述FFT计算结果寄存器用于存储最终的频谱分析结果,以待所述寄存器读写分发单元进行数据读取。

8. 根据权利要求1所述的一种基于FPGA的频谱分析系统,其特征在于,所述多个通道频谱分析单元中的每个通道频谱分析单元均还包括:

比较单元,用于根据频带配置,从对应通道的最终的频谱分析结果中找出每个频带的最大值及其对应的频点,并写入对应的寄存器。

9. 一种基于FPGA的频谱分析方法,其特征在于,基于权利要求1所述的基于FPGA的频谱分析系统;

所述基于FPGA的频谱分析方法包括以下步骤:

ADC控制单元通过ADC接口与外部的ADC连接并周期性驱动ADC工作,获取待频谱分析的数字信号;

FIR滤波单元输入ADC控制单元获取的数字信号,并进行滤波处理,获得滤波后的数字信号;

FFT计算单元将滤波后的数字信号,转换成FFT IP核需要的数据格式,并进行FFT计算,获得初始频谱分析结果;

FFT校准补偿单元对初始频谱分析结果进行校准补偿,获得最终的频谱分析结果;其中,进行校准补偿的步骤具体包括:将初始频谱分析输出频点归算到配置的基波频率下,获得归算后的频率;根据归算后的频率,查寻预存的放缩系数;基于所述放缩系数进行校准补偿,获得最终的频谱分析结果。

10. 根据权利要求9所述的一种基于FPGA的频谱分析方法,其特征在于,

将初始频谱分析输出频点归算到配置的基波频率下,获得归算后的频率的步骤中,

归算表达式为, $f_j = \text{round}(n_i \times F_s / N / f_{j0}) \times f_{j0}$;

式中, f_j 为归算后的频率; round 为四舍五入取整函数; n_i 为FFT输出频点的索引,取值为 $0 \sim (N-1)$, N 为FFT计算点数; F_s 为采样频率; f_{j0} 为归算的基波频率;

根据归算后的频率,查寻预存的放缩系数的步骤包括:将所述归算后的频率作为ROM地址,根据ROM地址读取ROM中预存的放缩系数;其中,不同频率下,FFT输出结果与实际值或码值之间的放缩系数,预存于FPGA ROM的初始化文件中;初始化文件的地址为频率,输出信号

为放缩系数。

一种基于FPGA的频谱分析系统及方法

技术领域

[0001] 本发明属于频谱分析技术领域,特别涉及一种基于FPGA(Field Programmable Gate Array,现场可编程的门阵列)的频谱分析系统及方法。

背景技术

[0002] 在工业控制中,为了获取工作设备的运行状态,通常需要对反映设备运行状态的相关信号进行采集并进行频谱分析。

[0003] 目前,现有的频谱分析方案中,主要是采用ADC(Analog-to-digital converter,模拟数字转换器)与FPGA相结合的方式;示例性的,如三菱等厂商关于FFT卡件的研发成果。然而,现有的频谱分析方案中,ADC采样频率固定,且通过硬件滤波,使得其应用范围受限;此外,对于被采样信号不为 F_s/N 的倍数次谐波的结果,现有方案并没有进行计算补偿,存在计算结果不精确的缺点;解释性的, F_s 为采样频率, N 为FFT(Fast Fourier Transformation,快速傅里叶变换)计算点数。

发明内容

[0004] 本发明的目的在于提供一种基于FPGA的频谱分析系统及方法,以解决上述存在的一个或多个技术问题。本发明提供的技术方案中,通过软件滤波,滤波参数可调、应用范围较广;通过计算补偿可提高被采样信号为非 F_s/N 的倍数次谐波的计算结果的精确性。

[0005] 为达到上述目的,本发明采用以下技术方案:

[0006] 本发明第一方面提供的一种基于FPGA的频谱分析系统,包括:基于FPGA实现的时钟及复位单元、系统复位单元、SPI单元、寄存器单元、寄存器读写分发单元和多个通道频谱分析单元;其中,

[0007] 所述多个通道频谱分析单元中的每个通道频谱分析单元均包括:

[0008] ADC控制单元,用于通过ADC接口与外部的ADC连接并周期性驱动ADC工作,以获取待频谱分析的数字信号;

[0009] FIR滤波单元,用于输入ADC控制单元获取的数字信号,并进行滤波处理,获得滤波后的数字信号;

[0010] FFT计算单元,用于将滤波后的数字信号,转换成FFT IP核需要的数据格式,并进行FFT计算,获得初始频谱分析结果;

[0011] FFT校准补偿单元,用于对初始频谱分析结果进行校准补偿,获得最终的频谱分析结果;其中,进行校准补偿的步骤具体包括:将初始频谱分析输出频点归算到配置的基波频率下,获得归算后的频率;根据归算后的频率,查寻预存的放缩系数;基于所述放缩系数进行校准补偿,获得最终的频谱分析结果。

[0012] 本发明的进一步改进在于,所述FFT校准补偿单元中,将初始频谱分析输出频点归算到配置的基波频率下,获得归算后的频率的步骤中,

[0013] 归算表达式为, $f_j = \text{round}(n_i \times F_s / N / f_{j0}) \times f_{j0}$;

[0014] 式中, f_j 为归算后的频率; round 为四舍五入取整函数; n_i 为 FFT 输出频点的索引, 取值为 $0 \sim (N-1)$, N 为 FFT 计算点数; F_s 为采样频率; f_{j0} 为归算的基波频率。

[0015] 本发明的进一步改进在于, 所述 FFT 校准补偿单元中, 根据归算后的频率, 查寻预存的放缩系数的步骤包括:

[0016] 将所述归算后的频率作为 ROM 地址, 根据 ROM 地址读取 ROM 中预存的放缩系数;

[0017] 其中, 不同频率下, FFT 输出结果与实际值或码值之间的放缩系数, 预存于 FPGA ROM 的初始化文件中; 初始化文件的地址为频率, 输出信号为放缩系数。

[0018] 本发明的进一步改进在于, 所述不同频率下, FFT 输出结果与实际值或码值之间的放缩系数的获取步骤包括:

[0019] 通过枚举的方式, 对幅值为 A_n , 频率为 $1 \sim F_s/2$ 的信号依次进行 FFT 分析, 将各频率下信号的幅值 A_n 除以 FFT 分析结果的最大值 A_m , 获得对应频率下的放缩系数 k_n ; 其中, 计算表达式为, $k_n = A_n / A_m$ 。

[0020] 本发明的进一步改进在于, 所述 FFT 校准补偿单元中, 基于所述放缩系数进行校准补偿, 获得最终的频谱分析结果的步骤包括:

[0021] 将得到的放缩系数与初始频谱分析结果中归算前的 FFT 谐波幅值相乘, 得到校准补偿后谐波的幅值, 获得最终的频谱分析结果。

[0022] 本发明的进一步改进在于,

[0023] 所述时钟及复位单元用于基于锁相环给所述频谱分析系统提供统一的内部时钟, 并在时钟锁定信号失锁时进行锁相环复位;

[0024] 所述系统复位单元用于在时钟锁定信号失锁时产生系统复位信号, 待内部时钟正常后, 延迟撤销系统复位信号, 使 FPGA 各功能单元处于稳定状态;

[0025] 所述 SPI 单元用于与外部的 MCU 交互, 并解析 MCU 发送的 SPI 接口信号, 提取出地址、命令、长度, 并根据读写命令实现 MCU 对 FPGA 寄存器数据的写入及读取;

[0026] 所述寄存器单元包括 ADC 采样频率配置寄存器、滤波器参数配置寄存器、FFT 校准补偿配置寄存器和 FFT 计算结果寄存器;

[0027] 寄存器读写分发单元用于根据 SPI 接口信号提取的命令转换为对内部寄存器的读写操作, 并分别为分属不同功能的寄存器产生相应的读写操作信号。

[0028] 本发明的进一步改进在于,

[0029] 所述 ADC 采样频率配置寄存器用于根据基波频率配置 ADC 的采样频率, 周期性启动 ADC 进行信号的采集;

[0030] 所述滤波器参数配置寄存器用于预存多组滤波器参数, 根据需求在线配置所需要的滤波器;

[0031] 所述 FFT 校准补偿配置寄存器用于配置被采样信号的基波频率;

[0032] 所述 FFT 计算结果寄存器用于存储最终的频谱分析结果, 以待所述寄存器读写分发单元进行数据读取。

[0033] 本发明的进一步改进在于, 所述多个通道频谱分析单元中的每个通道频谱分析单元均还包括:

[0034] 比较单元, 用于根据频带配置, 从对应通道的最终的频谱分析结果中找出每个频带的最大值及其对应的频点, 并写入对应的寄存器。

[0035] 本发明第二方面提供一种基于FPGA的频谱分析方法,基于本发明第一方面所述的基于FPGA的频谱分析系统;

[0036] 所述基于FPGA的频谱分析方法包括以下步骤:

[0037] ADC控制单元通过ADC接口与外部的ADC连接并周期性驱动ADC工作,获取待频谱分析的数字信号;

[0038] FIR滤波单元输入ADC控制单元获取的数字信号,并进行滤波处理,获得滤波后的数字信号;

[0039] FFT计算单元将滤波后的数字信号,转换成FFT IP核需要的数据格式,并进行FFT计算,获得初始频谱分析结果;

[0040] FFT校准补偿单元对初始频谱分析结果进行校准补偿,获得最终的频谱分析结果;其中,进行校准补偿的步骤具体包括:将初始频谱分析输出频点归算到配置的基波频率下,获得归算后的频率;根据归算后的频率,查寻预存的放缩系数;基于所述放缩系数进行校准补偿,获得最终的频谱分析结果。

[0041] 本发明的进一步改进在于,将初始频谱分析输出频点归算到配置的基波频率下,获得归算后的频率的步骤中,

[0042] 归算表达式为, $f_j = \text{round}(n_i \times F_s / N / f_{j0}) \times f_{j0}$;

[0043] 式中, f_j 为归算后的频率; round 为四舍五入取整函数; n_i 为FFT输出频点的索引,取值为 $0 \sim (N-1)$, N 为FFT计算点数; F_s 为采样频率; f_{j0} 为归算的基波频率;

[0044] 根据归算后的频率,查寻预存的放缩系数的步骤包括:将所述归算后的频率作为ROM地址,根据ROM地址读取ROM中预存的放缩系数;其中,不同频率下,FFT输出结果与实际值或码值之间的放缩系数,预存于FPGA ROM的初始化文件中;初始化文件的地址为频率,输出信号为放缩系数。

[0045] 与现有技术相比,本发明具有以下有益效果:

[0046] 本发明提供的基于FPGA的频谱分析系统中,设置有FIR滤波单元,通过寄存器配置不同的滤波参数进行软件滤波,滤波参数可调、应用范围较广;设置有FFT校准补偿单元,通过计算补偿可提高被采样信号为非 F_s/N 的倍数次谐波的计算结果的精确性。进一步具体解释性的,ADC采样频率、软件FIR滤波参数可以通过配置寄存器的方式进行修改,采样频谱更广,且可以根据信号的基波配置相应的采样频率,提高计算FFT计算精度;增加了FFT校准补偿模块,对于被采样信号为非 f_s/N 的倍数次谐波进行校准补偿,提高计算精度。综上,本发明适用于任意基波频率及其谐波的FFT,可以有效的改善FFT分析的计算精度以及使用范围。

附图说明

[0047] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面对实施例或现有技术描述中所需要使用的附图做简单的介绍;显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域普通技术人员来说,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0048] 图1是本发明实施例提供一种基于FPGA的频谱分析系统中,每个通道频谱分析单元的示意图;

[0049] 图2是本发明实施例中,FPGA内部逻辑架构示意图;

[0050] 图3是现有技术中,目前FFT卡件的数据流示意图;

[0051] 图4是本发明实施例中, $N=1024$,信号基波任意以及基波频率为 F_s/N ,FFT计算结果与码值幅值的关系示意图;其中,示例参数为 $F_s=51.2\text{kHz}$,图4中图(a)为基波频率为 $1\sim F_s/2$ 的示意图,图4中图(b)为基波频率为 50Hz 的示意图;

[0052] 图5是本发明实施例中, $N=1024$, $F_s=51.2\text{kHz}$,基波频率为 60Hz (不满足基波频率为 F_s/N)下,未补偿的FFT结果与校准补偿的FFT结果对比;其中,图5中图(a)为交流信号的时域波形示意图,信号组成为 $2 \cdot \sin(2 \cdot \pi \cdot 60 \cdot t) + \sin(2 \cdot \pi \cdot 12 \cdot 60 \cdot t) + \sin(2 \cdot \pi \cdot 99 \cdot 60 \cdot t) + \sin(2 \cdot \pi \cdot 199 \cdot 60 \cdot t)$;图5中图(b)为未经校准的频谱示意图;图5中图(c)为本发明实施例中校准后的频谱示意图;

[0053] 图6是本发明实施例所提FFT卡件的数据流示意图。

具体实施方式

[0054] 为了使本技术领域的人员更好地理解本发明方案,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅是本发明一部分的实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都应当属于本发明保护的范围。

[0055] 需要说明的是,本发明的说明书和权利要求书及上述附图中的术语“第一”、“第二”等是用于区别类似的对象,而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换,以便这里描述的本发明实施例能够以除了在这里图示或描述的那些以外的顺序实施。此外,术语“包括”和“具有”以及他们的任何变形,意图在于覆盖不排他的包含,例如,包含了一系列步骤或单元的过程、方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元,而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

[0056] 下面结合附图对本发明做进一步详细描述:

[0057] 请参阅图1,本发明实施例提供一种基于FPGA的频谱分析系统,包括基于FPGA实现的时钟及复位单元、系统复位单元、SPI(Serial Peripheral Interface,串行外围设备接口)单元、寄存器单元和多个通道频谱分析单元;其中,

[0058] 所述多个通道频谱分析单元中的每个通道频谱分析单元均包括:

[0059] ADC控制单元,用于通过ADC接口与外部的ADC连接并周期性驱动ADC工作,以获取待频谱分析的数字信号;

[0060] FIR滤波单元,用于输入ADC控制单元获取的数字信号,并进行滤波处理,获得滤波后的数字信号;

[0061] FFT计算单元,用于将滤波后的数字信号,转换成FFT IP核需要的数据格式,并进行FFT计算,获得初始频谱分析结果;

[0062] FFT校准补偿单元,用于对初始频谱分析结果进行校准补偿,获得最终的频谱分析结果;其中,进行校准补偿的步骤具体包括:将频谱输出频率归算到配置的基波频率下,获得归算后的频率;根据归算后的频率,查寻预存的放缩系数,基于所述放缩系数进行校准补偿。

[0063] 本发明实施例中,将初始频谱分析输出频点归算到配置的基波频率下,获得归算后的频率的步骤中,

[0064] 归算表达式为, $f_j = \text{round}(n_i \times F_s / N / f_{j0}) \times f_{j0}$;

[0065] 式中, f_j 为归算后的频率; round 为四舍五入取整函数; n_i 为FFT输出频点的索引,取值为 $0 \sim (N-1)$, N 为FFT计算点数; F_s 为采样频率; f_{j0} 为归算的基波频率。

[0066] 本发明实施例中,根据归算后的频率,查寻预存的放缩系数的步骤包括:可通过MATLAB计算不同频率下,FFT输出结果与实际值(或码值)之间的放缩系数,将放缩系数存入FPGA ROM(只读存储器,read only memory)的初始化文件中;其中,MATLABA计算方法是:通过枚举的方式,对幅值为 A_n ,频率为 $1 \sim F_s/2$ 的信号依次进行FFT分析,将各频率下信号的幅值 A_n 除以FFT分析结果的最大值 A_m 即为该频率下的放缩系数 $k_n = A_n / A_m$;ROM初始化文件的地址为频率,输出信号为放缩系数;

[0067] 得到归算后的频率即ROM的地址,根据此地址可以读出ROM中的放缩系数。

[0068] 本发明实施例提供的技术方案,基于FPGA实现,设置有FIR滤波单元,通过寄存器配置不同的滤波参数进行软件滤波,滤波参数可调、应用范围较广;设置有FFT校准补偿单元,通过计算补偿可提高被采样信号为非 F_s/N 的倍数次谐波的计算结果的精确性。

[0069] 本发明实施例具体示例性的,所述时钟及复位单元用于基于锁相环给所述频谱分析系统提供统一的内部时钟,并在时钟锁定信号失锁时进行锁相环复位;

[0070] 所述系统复位单元用于在时钟锁定信号失锁时产生系统复位信号,待内部时钟正常后,延迟撤销系统复位信号,使FPGA各功能单元处于稳定状态;

[0071] SPI单元用于与外部的MCU交互,并解析MCU发送的SPI接口信号,提取出地址、命令、长度,并根据读写命令实现MCU对FPGA数据的写入及读取;

[0072] 寄存器读写分发单元用于根据SPI接口信号提取的命令转换为对内部寄存器的读写操作,并分别为分属不同功能的寄存器产生相应的读写操作信号。

[0073] 本发明实施例中,还包括:寄存器单元用于实现预设关键数据的寄存;具体示例性的,可包括ADC采样频率配置寄存器、滤波器参数配置寄存器、FFT校准补偿配置寄存器、FFT计算结果寄存器;其中,ADC采样频率配置寄存器可由用户配置ADC的采样频率,周期性启动ADC进行信号的采集,进一步具体示例性的, $N=1024$,当基波频率为50Hz,采样频率可配置为 $1024 \times 50 = 51.2\text{kHz}$;若基波频率为60Hz,采样频率可配置为 $1024 \times 60 = 61.44\text{kHz}$,等等。滤波器参数配置寄存器可预存几组滤波器参数,可由用户根据需要,在线配置现场所需要的滤波器;FFT校准补偿配置寄存器可配置被采样信号的基波频率,依据基波频率对FFT结果进行校准补偿;FFT计算结果寄存器可存储FFT最终的计算结果,待寄存器读写分发单元进行数据读取。

[0074] 本发明实施例中,所述多个通道频谱分析单元中的每个通道频谱分析单元均包括:

[0075] ADC控制单元,用于通过ADC接口与外部的ADC连接并周期性驱动ADC工作,以获取待频谱分析的数字信号;具体示例性的,发电系统中,常通过检测系统输出交流电压的谐波情况来判断电能质量是否满足发电要求,如果谐波含量较大,则需要根据FFT分析结果对含量较大的谐波进行滤除;

[0076] FIR滤波单元,用于输入ADC控制单元获取的数字信号,进行滤波处理,获得滤波后

的数字信号;其中,FIR滤波单元配置为:用户根据前面设置的采样频率以及FFT所需要计算的频谱范围(用户关心的频谱范围)设置滤波参数;其中,滤波参数除了频谱分析系统自带的参数也支持用户在线进行配置,滤波后的信号送至FFT计算单元进行计算;滤波参数在线可调,使得频谱分析系统应用更加灵活,应用范围更广;

[0077] FFT计算单元,用于将滤波后的数字信号,转换成FFT IP核需要的数据格式,并进行FFT计算,获得初始频谱分析结果;

[0078] FFT校准补偿单元,用于对初始频谱分析结果进行校准补偿,获得最终的频谱分析结果。

[0079] 本发明实施例提供的上述技术方案中,采用软件滤波,可节省硬件成本,充分利用FPGA软件资源;软件滤波参数、ADC采样频率可配置,使得采样频谱更广,且可以根据信号的基波配置相应的采样频率,提高计算FFT计算精度;增加了FFT校准补偿模块,可使FFT计算结果精度更高,有助于工作设备的运行状态准确监测。

[0080] 本发明实施例进一步优选的技术方案中,所述多个通道频谱分析单元中的每个通道频谱分析单元均还包括:

[0081] 缓存单元用于暂存对应通道的最终的频谱分析结果,以待MCU读取;具体示例性的,可由adc_chan_num个RAM构成,每个RAM对应1个通道。

[0082] 本发明实施例进一步优选的技术方案中,所述多个通道频谱分析单元中的每个通道频谱分析单元均还包括:

[0083] 比较单元用于根据用户的频带配置,从对应通道的最终的频谱分析结果中找出每个频带的最大值及其对应的频点,写入对应的寄存器,待MCU读取;具体示例性的,可由adc_chan_num个功能相同的比较模块构成,每个模块对应1个通道。

[0084] 请参阅图2,本发明实施例中提供2个ADC,每个ADC共有8个通道可进行模拟数据的采样;各单元实现功能如下:

[0085] 时钟单元,用于基于锁相环给所述频谱分析系统提供统一的内部时钟;示例性的,可通过锁相环PLL由外部输入50MHz时钟生成80MHz内部时钟;

[0086] PLL复位单元,用于在时钟锁定信号失锁时进行锁相环复位;示例性的,工作过程中监测时钟锁定信号,当检测到失锁时,对PLL进行复位;

[0087] 系统复位单元,用于在时钟锁定信号失锁时产生系统复位信号,待内部时钟正常后,延迟撤销系统复位信号,使FPGA的各功能单元处于稳定状态;

[0088] QSPI(Quad SPI)单元,用于与外部的MCU交互,解析MCU发送的QSPI接口信号,提取出地址、命令、长度,并根据读写命令实现MCU对FPGA寄存器数据的写入及读取;

[0089] 寄存器读写分发单元,用于根据QSPI接口命令转换为对内部寄存器的读写操作,并分别为分属不同功能的寄存器产生相应的读写操作信号;

[0090] 寄存器单元用于实现预设关键数据的寄存;

[0091] 所述多个通道频谱分析单元中的每个通道频谱分析单元均包括:

[0092] ADC控制单元,用于:a.根据用户配置的采样周期,周期性启动ADC转换,产生符合ADC接口时序要求的信号;b.控制ADC工作并回读转换值,将回读的电压值按ADC通道送入对应的缓存控制模块;c.将ADC采样的数据送入FIR滤波器单元进行滤波;

[0093] FIR滤波单元,用于:a.根据用户配置的滤波参数进行ADC采样数据的滤波;b.将滤

波后的数据存入位宽 $16 * \text{adc_chan_num}$ (adc_chan_num 为当前ADC使用的通道数),深度2048的RAM中,并以1024个采样点为一个转换周期,将ADC各个通道的缓存信息送给FFT计算单元,待其读取数据并计算;

[0094] FFT计算单元,用于将滤波后的数字信号,转换成FFT IP核需要的数据格式,并进行FFT计算,获得初始频谱分析结果;

[0095] FFT校准补偿单元,用于对初始频谱分析结果进行校准补偿,获得最终的频谱分析结果;其中,进行校准补偿的步骤具体包括:

[0096] 1) 根据FFT校准补偿配置寄存器,将频谱输出频率归算到配置的基波频率下;例如, $N=1024, F_s=51.2\text{kHz}$,对于基波为50Hz的系统,FFT输出结果与实际值的放缩关系如图4(b),不需要校准;若对于基波频率为60Hz的系统,则需要将50Hz的频率归算到60Hz下,归算方法为: $f_{60} = \text{round}(n_{50} \times 50/60) \times 60$,其中 n_{50} 为FFT输出结果的索引,取值为 $0 \sim 1023$, f_{60} 为归算后的频率;

[0097] 2) 根据归算后的频率 f_{60} 查寻存储在ROM中的系数进行补偿;(ROM中的系数见图4中图(a),由MATLAB计算得出后存入FPGA ROM中)。

[0098] 本发明实施例中,补偿前后的频谱如图5所示,对于 $N=1024, F_s=51.2\text{kHz}$,基波频率为60Hz的系统下,补偿前的频谱与理论存在误差,补偿后FFT可精确反应正确频谱,证明改补偿可实现任意基波频率下的FFT准确分析。

[0099] 进一步解释性的,请参阅图3和图4,目前FFT卡件的数据流如图3所示,ADC采集到实际的模拟量得到码值,并以1024(1024为FFT计算周期)个采样点为一组,送入FFT进行计算,进而将计算结果转化为码值的频谱,最后转化为用户分析所需要的模拟量实际值的频谱。上述环节中,在FFT计算单元到ADC采样码值频谱这一步的数据处理中,对于频谱中的直流量将FFT结果 $\div N$,对于交流量则将结果 $\div (N/2)$;这种计算方式,对于采样信号频率为 F_s/N 或其倍数次的信号来说,计算结果是精确的(如图4所示),但对于信号频率非 F_s/N 或其倍数次的谐波来收,FFT计算结果存在误差。

[0100] 进一步解释性的,请参阅图5和图6,本发明实施例中的FFT卡件用于燃气轮机相关信号的检测,其基波为50Hz,若 $N=1024$,采样频率 $F_s=50\text{kHz}$,很明显。用户所关注的信号频率不是 F_s/N 的倍数,因此采用传统方法对信号频谱进行分析是不精确的,具体如图5所示。由图5中图(b)所示,对于燃气轮机以50Hz为基波的设备来说,FFT计算结果与谐波频率之间呈周期关系,因此,本发明将一个周期中不同谐波频率下FFT计算结果与码值幅值之间的比例关系存入ROM中,并根据FFT计算得到的频率来校准码值幅值,最终的实现方法如图6所示,补偿前后对比如图5所示。

[0101] 本发明实施例提供的一种基于FPGA的频谱分析方法,基于本发明实施例上述的基于FPGA的频谱分析系统;

[0102] 所述基于FPGA的频谱分析方法包括以下步骤:

[0103] ADC控制单元通过ADC接口与外部的ADC连接并周期性驱动ADC工作,获取待频谱分析的数字信号;

[0104] FIR滤波单元输入ADC控制单元获取的数字信号,并进行滤波处理,获得滤波后的数字信号;

[0105] FFT计算单元将滤波后的数字信号,转换成FFT IP核需要的数据格式,并进行FFT

计算,获得初始频谱分析结果;

[0106] FFT校准补偿单元对初始频谱分析结果进行校准补偿,获得最终的频谱分析结果;其中,进行校准补偿的步骤具体包括:将初始频谱分析输出频点归算到配置的基波频率下,获得归算后的频率;根据归算后的频率,查寻预存的放缩系数;基于所述放缩系数进行校准补偿,获得最终的频谱分析结果。

[0107] 本发明实施例中,对于采样频率固定,且信号频率非 F_s/N 的情况下通过本反发明提出的补偿方法,可以提高FFT的计算精度。

[0108] 本领域内的技术人员应明白,本申请的实施例可提供为方法、系统、或计算机程序产品。因此,本申请可采用完全硬件实施例、完全软件实施例、或结合软件和硬件方面的实施例的形式。而且,本申请可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质(包括但不限于磁盘存储器、CD-ROM、光学存储器等)上实施的计算机程序产品的形式。

[0109] 本申请是参照根据本申请实施例的方法、设备(系统)、和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器,使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

[0110] 这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中,使得存储在该计算机可读存储器中的指令产生包括指令装置的制品,该指令装置实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

[0111] 这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上,使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理,从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

[0112] 最后应当说明的是:以上实施例仅用以说明本发明的技术方案而非对其限制,尽管参照上述实施例对本发明进行了详细的说明,所属领域的普通技术人员应当理解:依然可以对本发明的具体实施方式进行修改或者等同替换,而未脱离本发明精神和范围的任何修改或者等同替换,其均应涵盖在本发明的权利要求保护范围之内。

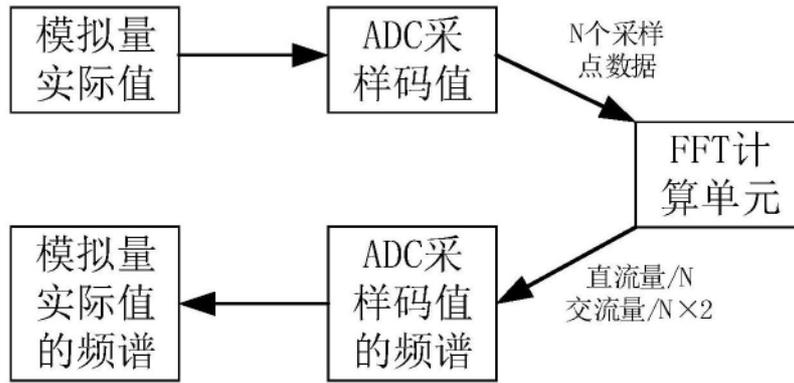


图3

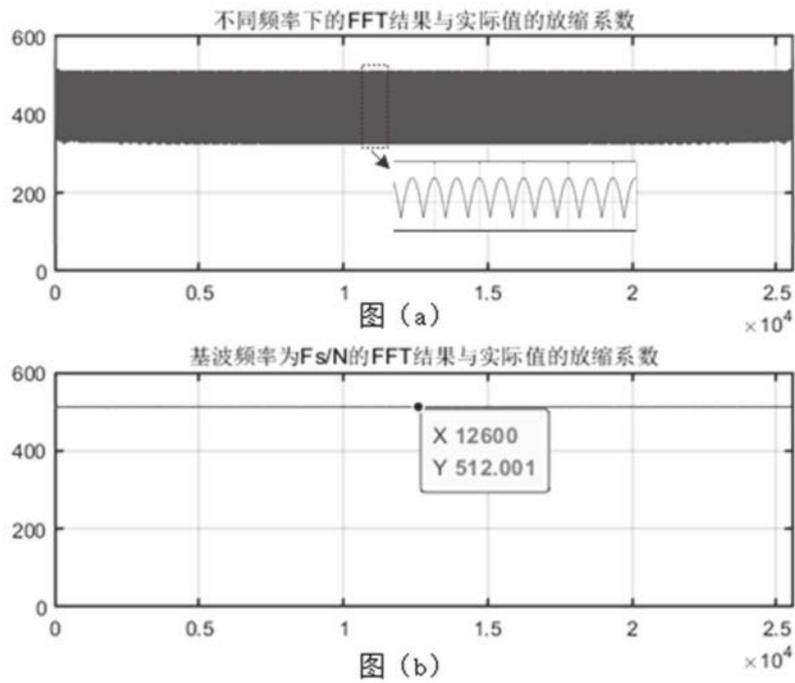


图4

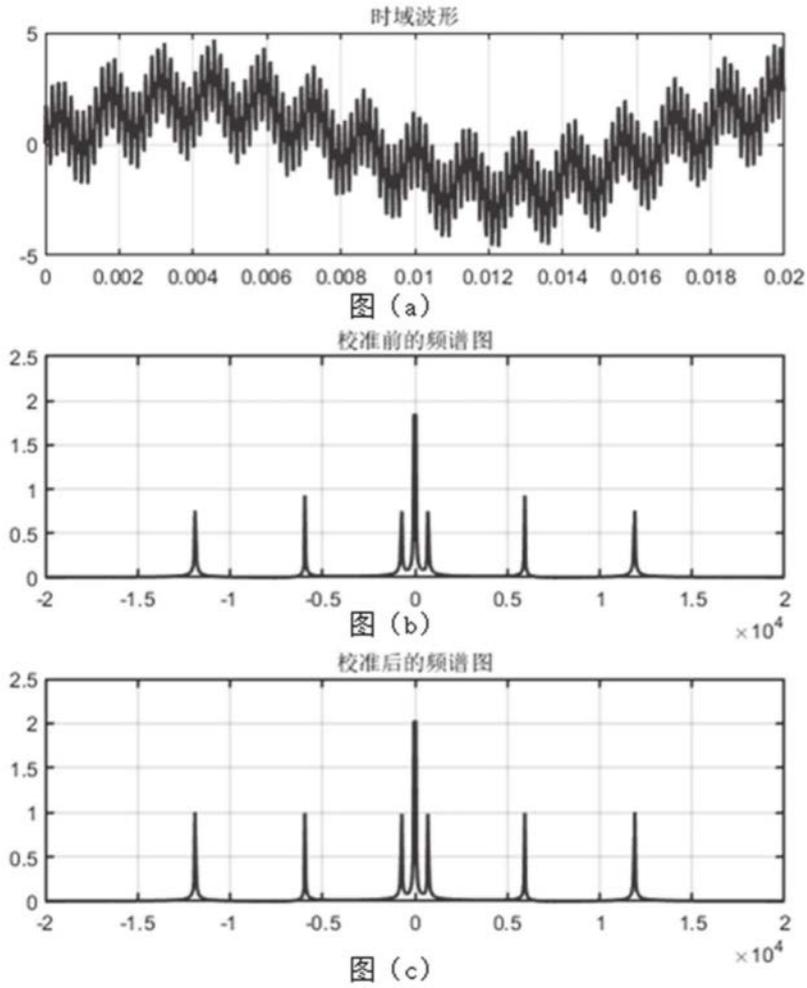


图5

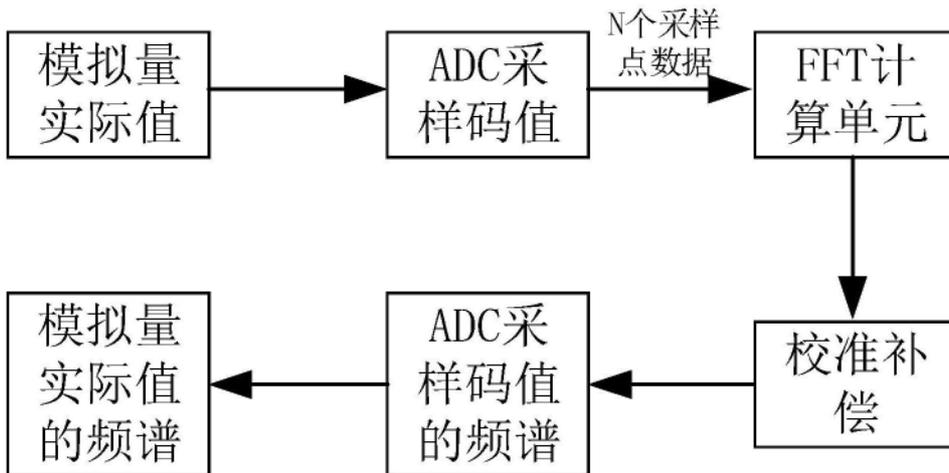


图6