



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0138805
 (43) 공개일자 2014년12월04일

- (51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01) *H01L 29/02* (2006.01)
- (21) 출원번호 10-2014-7027284
- (22) 출원일자(국제) 2013년02월28일
 심사청구일자 없음
- (85) 번역문제출일자 2014년09월26일
- (86) 국제출원번호 PCT/US2013/028201
- (87) 국제공개번호 WO 2013/130732
 국제공개일자 2013년09월06일
- (30) 우선권주장
 13/408,103 2012년02월29일 미국(US)

- (71) 출원인
가부시끼가이샤 도시바
 일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1코
인터몰레쿨러 인코퍼레이티드
 미국, 캘리포니아 95134, 샌 호세, 엔. 제1스트리트 3011
샌디스크 3디 엘엘씨
 미국, 캘리포니아 95035-7933, 밀피타스, 샌디스크 드라이브 951
- (72) 발명자
치앙 토니
 미국 95008 캘리포니아주 캠벨 웨스트먼트 애비뉴 1335
하심 임란
 미국 95070 캘리포니아주 새러토가 스프링힐 코트 13620
 (뒷면에 계속)
- (74) 대리인
특허법인코리아나

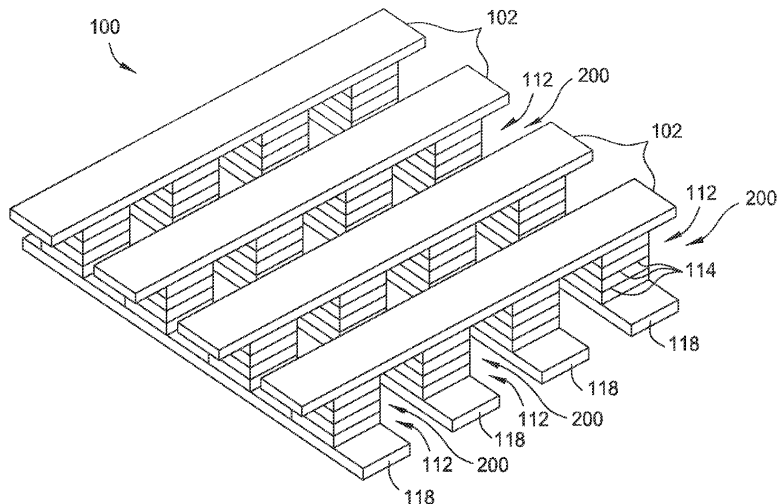
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **통합된 산소 격리 구조를 갖는 비휘발성 저항 메모리 소자**

(57) 요약

비휘발성 저항 메모리 소자는, 산소 이행으로부터 메모리 소자의 저항 스위칭 재료를 보호하는 하나 이상의 신규한 산소 격리 구조를 구비한다. 하나의 그러한 산소 격리 구조는, 메모리 디바이스의 제조 및/또는 동작 동안 저항 메모리 디바이스의 다른 부분들로부터 저항 스위칭 재료를 격리시키는 산소 배리어 층을 포함한다. 또 다른 그러한 산소 격리 구조는, 메모리 디바이스의 제조 및/또는 동작 동안 저항 스위칭 재료 쪽으로 이행하는 원하지 않는 산소와 반응하는 희생 층을 포함한다.

대표도



(72) 발명자

왕 윤

미국 95131 캘리포니아주 샌호세 레이크쇼어 서클
1487

프라마니크 디판카르

미국 95070 캘리포니아주 새러토가 체벌리 코트
12667

특허청구의 범위

청구항 1

비휘발성 메모리 소자로서,

전극 층으로서 동작가능하고 기판 위에 형성되는 제 1 층;

상기 제 1 층과 전극 층으로서 동작가능한 제 3 층 사이에 배치되고 가변 저항 층으로서 동작가능한 제 2 층; 및

상기 제 1 층, 상기 제 2 층 및 상기 제 3 층의 하나 이상에 인접하게 배치된 산소 배리어 층으로서 동작가능한 제 4 층을 포함하고,

상기 제 4 층은 비정질 구조를 갖는 재료를 포함하는, 비휘발성 메모리 소자.

청구항 2

제 1 항에 있어서,

상기 제 4 층은, 상기 제 2 층이 저저항 상태에 있을 때 상기 제 2 층의 전기 저항보다 더 작은 전기 저항을 갖는, 비휘발성 메모리 소자.

청구항 3

제 2 항에 있어서,

상기 제 4 층의 전기 저항은, 상기 제 2 층이 저저항 상태에 있을 때 상기 제 2 층의 전기 저항의 약 10% 이하인, 비휘발성 메모리 소자.

청구항 4

제 1 항에 있어서,

상기 제 4 층은 $Ta_xSi_yC_x$, $W_xSi_yC_x$, 및 Ta-W-Si-C 으로 이루어지는 합금들의 군으로부터 선택되는 재료를 포함하는, 비휘발성 메모리 소자.

청구항 5

제 1 항에 있어서,

상기 제 4 층은 상기 제 1 층과 상기 기판 사이에 배치된, 비휘발성 메모리 소자.

청구항 6

제 1 항에 있어서,

상기 제 3 층은 상기 제 2 층과 상기 제 4 층 사이에 배치된, 비휘발성 메모리 소자.

청구항 7

제 1 항에 있어서,

상기 제 4 층은, 상기 제 2 층에 있는 재료보다 산소와 더 반응성인 재료를 포함하며 희생층으로서 동작가능한 제 5 층을 포함하는, 비휘발성 메모리 소자.

청구항 8

비휘발성 메모리 소자로서,

전극 층으로서 동작가능하고 기판 위에 형성되는 제 1 층;

상기 제 1 층과 전극 층으로서 동작가능한 제 3 층 사이에 배치되고 가변 저항 층으로서 동작가능한 제 2 층;

및

산소 배리어 층으로서 동작가능하고 상기 제 2 층의 측벽에 배치된 제 4 층을 포함하고,
상기 제 4 층은 비정질 구조를 갖는 재료를 포함하는, 비휘발성 메모리 소자.

청구항 9

제 8 항에 있어서,

상기 제 4 층은 실리콘 질화물 (Si_3N_4) 및 테트라에틸 오르토실리케이트 (TEOS, 및 $\text{Si}(\text{OC}_2\text{H}_5)_4$) 로 이루어지는 재료들의 군으로부터 선택된 재료들 중 적어도 하나를 포함하는, 비휘발성 메모리 소자.

청구항 10

제 8 항에 있어서,

상기 제 4 층은, 상기 제 2 층에 있는 재료보다 산소와 더 반응성인 재료를 포함하며 희생층으로서 동작가능한 제 5 층을 포함하는, 비휘발성 메모리 소자.

청구항 11

제 10 항에 있어서,

상기 제 5 층은 비정질 실리콘을 포함하는, 비휘발성 메모리 소자.

청구항 12

비휘발성 메모리 소자로서,

전극 층으로서 동작가능하고 기판 위에 형성되는 제 1 층;

상기 제 1 층과 전극 층으로서 동작가능한 제 3 층 사이에 배치되고 가변 저항 층으로서 동작가능한 제 2 층;
및

상기 제 1 층, 상기 제 2 층 및 상기 제 3 층의 하나 이상에 인접하게 배치된, 희생층으로서 동작가능한 제 4 층을 포함하고,

상기 제 4 층은 상기 제 2 층에 있는 재료보다 산소와 더 반응성인 재료를 포함하는, 비휘발성 메모리 소자.

청구항 13

제 12 항에 있어서,

상기 제 4 층은 비정질 실리콘을 포함하는, 비휘발성 메모리 소자.

청구항 14

제 12 항에 있어서,

상기 제 4 층은 두께가 약 7Å 이하인, 비휘발성 메모리 소자.

청구항 15

제 1 항에 있어서,

상기 제 4 층은, 비정질 구조 및 상기 제 2 층이 저저항 상태에 있을 때 상기 제 2 층의 전기 저항보다 작은 전기 저항을 갖는 재료를 포함하며 산소 배리어 층으로서 동작가능한 제 5 층을 포함하는, 비휘발성 메모리 소자.

청구항 16

제 15 항에 있어서,

상기 제 5 층의 전기 저항은, 상기 제 2 층이 저저항 상태에 있을 때 상기 제 2 층의 전기 저항의 약 10% 이하인, 비휘발성 메모리 소자.

청구항 17

제 12 항에 있어서,
상기 제 4 층은 상기 제 1 층과 상기 기관 사이에 배치된, 비휘발성 메모리 소자.

청구항 18

제 12 항에 있어서,
상기 제 3 층은 상기 제 2 층과 상기 제 4 층 사이에 배치된, 비휘발성 메모리 소자.

청구항 19

제 12 항에 있어서,
상기 제 4 층은 상기 제 3 층 내부에 배치된, 비휘발성 메모리 소자.

청구항 20

제 12 항에 있어서,
상기 제 4 층은 상기 제 2 층의 측벽에 배치된, 비휘발성 메모리 소자.

명세서

기술분야

[0001] 본 발명은 비휘발성 저항 메모리 소자들에 관한 것이고, 보다 구체적으로는, 통합된 산소 격리 구조를 갖는 비휘발성 저항 메모리 소자 및 이의 형성 방법에 관한 것이다.

배경기술

[0002] 비휘발성 메모리 소자들은, 영구 데이터 저장을 필요로 하는 디바이스들, 이를테면 디지털 카메라 및 디지털 뮤직 플레이어, 그리고 컴퓨터 시스템에서 사용된다. 전기 소거가능 프로그램가능 판독 전용 메모리 (EPROM) 및 NAND 플래시는 현재 사용되는 비휘발성 메모리 기술이다. 하지만, 디바이스 치수가 축소됨에 따라, 스케일링 이슈들이 전통적인 비휘발성 메모리 기술에 대해 도전을 제기한다. 이것은, 저항 스위칭 비휘발성 메모리를 포함한, 대안의 비휘발성 메모리 기술들의 연구로 이어졌다.

[0003] 저항 스위칭 비휘발성 메모리는, 쌍안정, 즉 상이한 저항들을 지닌 2개의 안정한 상태들을 갖는 메모리 소자들을 사용하여 형성된다. 쌍안정 메모리 소자는, 적합한 전압 또는 전류의 인가에 의해 고저항 상태 또는 저저항 상태에 놓일 수 있다. 전압 펄스들은 통상적으로, 하나의 저항 상태에서부터 다른 저항 상태로 쌍안정 메모리 소자를 스위칭하기 위하여 사용된다. 후속하여, 비파괴적 읽기 동작들이 메모리 소자에 대해 수행되어 거기에 저장된 데이터 비트의 값을 확인할 수 있다.

[0004] 쌍안정 메모리 소자를 구성하는 재료들에서, 산소 베이컨시 (oxygen vacancy) 들 및 그의 이동이 저항 스위칭 메모리 디바이스들의 "온" 및 "오프" 상태의 주요 메카니즘이라고 생각된다. 게다가, 그러한 산소 베이컨시들은, 메모리 디바이스의 제조 또는 동작 동안, 메모리 소자 내로의 심지어 적은 수의 이동성 산소 이온들의 이행 (migration) 에 의해서 제거되거나 또는 그렇지 않으면 영향을 받을 수 있다는 것이 알려져 있다.

[0005] 저항 스위칭 메모리 디바이스는 크기가 축소됨에 따라, 디바이스의 원하는 "온" 및 "오프" 상태들을 신뢰적으로 세트 (set), 리세트 (reset) 및/또는 결정하기 위해 필요한 요구 전류 및 전압들을 감소시킴으로써, 디바이스의 전력 소비, 디바이스의 저항 가열 및 인접 디바이스들 간의 크로스토크 (cross-talk) 를 최소화하는 것이 중요하다. 또한, 보다 장기간 동안 그러한 디바이스들에 의한 데이터의 신뢰적인 유지 (reliable retention) 가 매우 바람직하다.

[0006] 상대적으로 적은 산소 베이컨시들이 내부에 형성된 채로 형성된 쌍안정 메모리 소자는 보다 낮은 동작 전압 및 전류를 초래할 수 있기 때문에, 일반적으로 쌍안정 메모리 소자들에 형성된 산소 베이컨시들의 수를 최소화하는 것이 바람직하다. 하지만, 그러한 쌍안정 메모리 소자들은 제조 및/또는 동작 동안 산소 이행에 더 민감한데, 왜냐하면 그러한 메모리 소자들 내로의 심지어 아주 적은 수의 이동성 산소 이온들의 이행도 메모리 소자의

성능 및 수명을 현저히 변경할 수 있기 때문이다. 따라서, 보다 적은 산소 베이컨시들을 갖는 것의 혜택인 보다 낮은 동작 전압 및 전류를 갖는 그러한 구성들과, 더 많은 산소 베이컨시를 갖는 것의 혜택인 더 높은 내구성 및 신뢰성을 갖는 그러한 구성들간에, 저항 쌍안정 메모리 소자들의 설계에 있어서 트레이드 오프가 존재한다.

[0007] 상기한 바에 비추어, 산소 이행에 덜 민감한 감소된 전류 및 전압 요건들을 갖는 비휘발성 저항 스위칭 메모리 디바이스들이 업계에서 요망된다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 하나 이상의 실시형태들은 하나 이상의 신규한 산소 격리 구조를 갖는 비휘발성 저항 메모리 소자들 및 이의 형성 방법을 제시한다.

과제의 해결 수단

[0009] 본 발명의 일 실시형태에 따르면, 비휘발성 메모리 소자는, 전극 층으로서 동작가능하고 기판 위에 형성된 제 1 층, 제 1 층과 전극 층으로서 동작가능한 제 3 층 사이에 배치되고 가변 저항 층으로서 동작가능한 제 2 층, 및 제 1 층, 제 2 층 및 제 3 층의 하나 이상에 인접하게 배치된 산소 배리어 층으로서 동작가능한 제 4 층을 포함하고, 제 4 층은 비정질 구조를 갖는 재료를 포함한다.

[0010] 본 발명의 다른 실시형태에 따르면, 비휘발성 메모리 소자는, 전극 층으로서 동작가능하고 기판 위에 형성된 제 1 층, 제 1 층과 전극 층으로서 동작가능한 제 3 층 사이에 배치되고 가변 저항 층으로서 동작가능한 제 2 층, 및 산소 배리어 층으로서 동작가능하고 제 2 층의 측벽 상에 배치된 제 4 층을 포함하고, 제 4 층은 비정질 구조를 갖는 재료를 포함한다.

[0011] 본 발명의 다른 실시형태에 따르면, 비휘발성 메모리 소자는, 전극 층으로서 동작가능하고 기판 위에 형성된 제 1 층, 제 1 층과 전극 층으로서 동작가능한 제 3 층 사이에 배치되고 가변 저항 층으로서 동작가능한 제 2 층, 및 제 1 층, 제 2 층 및 제 3 층의 하나 이상에 인접하게 배치된, 희생 층으로서 동작가능한 제 4 층을 포함하고, 제 4 층은 제 2 층에 있는 재료보다 산소와 더 반응성인 재료를 포함한다.

도면의 간단한 설명

[0012] 본 발명의 실시형태들의 전술된 특징들이 자세히 이해될 수 있도록, 위에 간단히 요약된 본 발명의 실시형태들의 보다 구체적인 설명이, 첨부 도면들을 참조하여, 이루어질 수도 있다. 하지만, 첨부된 도면들은 본 발명의 통상적인 실시형태들만을 예시할 뿐이고, 본 발명은 다른 동일 효과의 실시형태들을 허용할 수도 있으므로, 본 발명의 범위를 제한하는 것으로 고려되서는 안된다는 점에 유의해야 한다.

도 1은 본 발명의 실시형태들에 따라 구성된, 메모리 디바이스들의 메모리 어레이의 사시도이다.

도 2a는 본 발명의 실시형태에 따라 구성된, 메모리 디바이스의 개략 단면도이다.

도 2b는 본 발명의 실시형태들에 따른, 전류가 메모리 디바이스를 통해 순방향으로 흐를 수 있게 하도록 구성된 메모리 디바이스를 개략적으로 예시한다.

도 3은 본 발명의 실시형태에 따른, 메모리 소자의 하나의 실시형태를 위한 쌍극 스위칭 곡선의 전압 대 전류의 로그-로그 플롯을 제시한다.

도 4는, 본 발명의 실시형태에 따른, 하나 이상의 통합된 산소 격리 구조를 갖고 일련의 성막된 층들로부터 형성되는 메모리 디바이스의 개략 단면도이다.

도 5a 및 도 5b는, 도 4에 나타난 바처럼, 메모리 디바이스에서 상부 산소 격리 층의 다양한 실시형태들의 개략 단면도이다.

도 6은, 본 발명의 실시형태에 따른, 산소 배리어 층들이 메모리 소자의 측벽들에 형성된 채로 형성된 메모리 디바이스의 개략 단면도이다.

도 7은 본 발명의 실시형태들에 따른, 메모리 디바이스를 형성하기 위한 프로세스 시퀀스에서 방법 단계들의 플

로우 차트를 제시한다.

명료성을 위하여, 동일한 도면 부호들이, 적용가능한 경우, 도면들간에 공통되는 동일한 요소들을 표시하기 위하여, 사용되었다. 하나의 실시형태의 특징들은 추가 설명 없이도 다른 실시형태들에 포함될 수도 있다고 생각된다.

발명을 실시하기 위한 구체적인 내용

- [0013] 본 발명의 실시형태들은 하나 이상의 신규한 산소 격리 구조를 갖는 비휘발성 저항 메모리 디바이스 및 이의 형성 방법을 제시한다. 하나의 그러한 산소 격리 구조는, 메모리 디바이스의 제조 및/또는 동작 동안 저항 메모리 디바이스의 다른 부분들로부터 비휘발성 메모리 소자의 저항 스위칭 재료를 격리시키는 산소 배리어 층일 수도 있다. 구체적으로, 산소 배리어 층은, 그러한 소자로부터 산소 베이컨시의 고갈을 방지하기 위하여 메모리 소자들의 하나 이상의 영역들을 캡슐화한다. 다른 하나의 그러한 산소 격리 구조는, 메모리 디바이스의 제조 및/또는 동작 동안 저항 메모리 디바이스의 메모리 소자 쪽으로 이행하는 원하지 않는 산소와 반응하는 희생 층일 수도 있다. 희생층은, 그러한 소자에서 산소 베이컨시들을 유지 또는 증가시키기 위하여 메모리 소자에 존재하는 산소와 반응하는 재료를 포함한다. 산소 배리어 층 및/또는 희생 층의 사용은, 저항 스위칭 재료의 스위칭 능력을 담당하는, 산소 베이컨시들과 같은 저항 스위칭 재료에서의 결함들을 보존함으로써 비휘발성 저항 메모리 소자의 성능 및 수명을 향상시킨다.
- [0014] 도 1은 본 발명의 실시형태들에 따라 구성된, 메모리 디바이스들 (200) 의 메모리 어레이 (100) 의 사시도이다. 메모리 어레이 (100) 는, 시스템 온 칩 (system-on-a-chip) 타입 디바이스와 같은, 보다 큰 메모리 디바이스 또는 다른 집적 회로 구조의 부분일 수도 있다. 메모리 어레이 (100) 는, 디지털 카메라, 이동 전화기, 휴대용 컴퓨터, 및 뮤직 플레이어들과 같은 다양한 전자 디바이스들에서 사용될 수 있는 고용량 비휘발성 메모리 집적 회로의 부분으로서 형성될 수도 있다. 명료성을 위하여, 메모리 어레이 (100) 는 단일층 메모리 어레이 구조로서 예시된다. 하지만, 메모리 어레이 (100) 와 같은 메모리 어레이들은 또한, 다층 메모리 어레이 구조들을 만들기 위해 수직 방식으로 적층될 수 있다.
- [0015] 메모리 디바이스들 (200) 의 각각은, ReRAM (resistive random access memory) 디바이스와 같은 비휘발성 저항 스위칭 메모리 디바이스를 포함한다. 메모리 디바이스는, 메모리 소자 (112), 하나 이상의 신규한 산소 격리 구조, 및 일부의 실시형태들에서 전류 스티어링 디바이스를 포함한다. 산소 격리 구조들의 실시형태들은, 도 4 내지 도 6과 함께 이하에서 설명되고, 전류 스티어링 디바이스의 실시형태들은 도 2a, 도 2b와 함께 이하에서 설명된다. 도 1에 나타난 바처럼, 메모리 디바이스들 (200) 에서의 메모리 소자들 (112) 은, 하나 이상의 재료 층들 (114) 로부터 형성될 수도 있고, 이들은 도 4와 함께 이하에서 설명된다.
- [0016] 읽기 및 쓰기 회로 (미도시) 는, 비트 라인 전극들 (102) 및 직교하게 배치된 워드 라인 전극들 (118) 을 사용하여 메모리 디바이스 (200) 에 접속된다. 비트 라인 전극들 (102) 및 워드 라인 전극들 (118) 은 "비트 라인들" 및 "워드 라인들" 으로서 지칭되고, 메모리 디바이스들 (200) 에서 메모리 소자들 (112) 내에 데이터를 읽고 쓰는데 사용된다. 개개의 메모리 디바이스들 (200) 또는 메모리 디바이스들 (200) 의 그룹들은 비트 라인 전극들 (102) 및 워드 라인 전극들 (118) 의 적절한 세트들을 사용하여 어드레스될 수 있다. 도 1에 예시된 실시형태에서, 비트 라인 전극들 (102) 은 메모리 소자들 (112) 위에 배치되고 워드 라인 전극들 (118) 은 메모리 소자들 (112) 아래에 배치된다. 다른 실시형태들에서, 비트 라인 전극들은 메모리 소자들 (112) 아래에 배치될 수도 있고 워드 라인 전극들은 메모리 소자들 (112) 위에 배치될 수도 있다.
- [0017] 도 2a는 본 발명의 실시형태에 따라 구성된, 메모리 디바이스 (200) 의 개략도이다. 메모리 디바이스 (200) 는 메모리 소자 (112) 및 일부 실시형태들에서 전류 스티어링 디바이스 (216) 를 포함하고, 이들은 양자 모두 비트 라인 전극들 (102) 과 워드 라인 전극들 (118) 사이에 배치된다. 하나의 실시형태에서, 전류 스티어링 디바이스 (216) 는, 비트 라인 전극 (102) 과 메모리 소자 (112) 사이, 또는 워드 라인 전극 (118) 과 메모리 소자 (112) 사이에 배치된, p-n 접합 다이오드, p-i-n 다이오드, 트랜지스터, 또는 다른 유사한 디바이스와 같은 개재하는 전기 컴포넌트 (intervening electrical component) 를 포함한다. 일부 실시형태들에서, 전류 스티어링 디바이스 (216) 는, 메모리 소자 (112) 를 통해 상이한 방향들의 전류 흐름을 허용 또는 억제하도록 구성된, 2개 이상의 도핑된 실리콘 층들과 같은, 반도체 재료의 2개 이상의 층들을 포함할 수도 있다. 또한, 읽기 및 쓰기 회로 (150) 는, 도시된 바처럼 비트 라인 전극들 (102) 및 워드 라인 전극들 (118) 을 통하여 메모리 디바이스 (200) 에 연결된다. 읽기 및 쓰기 회로 (150) 는, 메모리 디바이스 (200) 의 저항 상태를 감지할 뿐만 아니라 그 저항 상태를 세트하도록 구성된다.

- [0018] 도 2b는 본 발명의 실시형태들에 따른, 전류가 메모리 디바이스 (200) 를 통해 순방향 (I^+) 으로 흐를 수 있게 하도록 구성된 메모리 디바이스 (200) 를 개략적으로 예시한다. 하지만, 전류 스티어링 디바이스 (216) 의 설계에 기인하여, 감소된 전류는 또한, 비트 라인 전극들 (102) 및 워드 라인 전극들 (118) 로 역 바이어스 (reverse bias) 의 인가에 의해 디바이스를 통해 반대 방향으로 흐를 수 있다.
- [0019] 읽기 동작 동안, 읽기 및 쓰기 회로 (150) 는 메모리 어레이 (100) 에서 적절히 선택된 비트 라인 전극 (102) 및 워드 라인 전극 (118) 을 사용하여 저항 스위칭 메모리 소자 (112) 에 걸쳐, 읽기 전압 V_{READ} , 예를 들어, +0.5 볼트 (V) 을 인가한다. 다음으로, 읽기 및 쓰기 회로 (150) 는 메모리 디바이스 (200) 를 통과하는 결과적인 전류를 감지한다. 상대적으로 높은 "온" 전류 값 (I_{ON}) 은, 메모리 소자 (112) 가 그의 저저항 상태에 있다는 것을 나타내고, 상대적으로 낮은 "오프" 전류 값 (I_{OFF}) 은 메모리 소자 (112) 가 그의 고저항 상태에 있다는 것을 나타낸다. 그의 이력 (history) 에 따라, 이런 방식으로 어드레스된 특정 메모리 소자 (112) 는 고저항 상태 (HRS) 또는 저저항 상태 (LRS) 중 어느 한쪽에 있을 수도 있다. 그러므로, 메모리 소자 (112) 의 저항은 어떤 디지털 데이터가 거기에 저장되는지를 결정한다. 예를 들어, 메모리 소자 (112) 가 고저항 상태 (HRS) 에 있으면, 메모리 소자 (112) 는 논리 0 (즉 "0" 비트) 을 포함한다고 말할 수도 있다. 다른 한편, 메모리 소자 (112) 가 저저항 상태에 있으면, 메모리 소자 (112) 는 논리 1 (즉 "1" 비트) 을 포함한다고 말할 수도 있다.
- [0020] 쓰기 동작 동안, 메모리 어레이 (100) 에 있는 특정 메모리 소자 (112) 의 저항 상태는, 쓰기 및 읽기 회로 (150) 에 의해 비트 라인 전극들 (102) 및 워드 라인 전극들 (118) 의 적절한 세트에 적합한 쓰기 신호들의 인가에 의해 변화될 수 있다. 일부 실시형태들에서, 그러한 변화를 달성하기 위하여, 쌍극 스위칭이 사용되고, 여기서 반대 극성 세트 및 리셋 전압들이 고저항 상태와 저저항 상태 사이에서 선택된 메모리 소자 (112) 의 저항을 변경하는데 사용된다. 도 3은 메모리 소자 (112) 의 일 실시형태에 대한 쌍극성 스위칭 커브 (252) 의 전압 (V) 대 전류 (I) 의 로그-로그 플롯 (251) 을 제시하고, 따라서 메모리 소자 (112) 의 콘텐츠를 세트 또는 리셋하는데 사용되는 통상적인 임계 값들을 예시한다. 예를 들어, 초기에, 메모리 소자 (112) 는 고저항 상태에 있을 수도 있다 (예를 들어, 논리 "0" 을 저장). 메모리 소자 (112) 에서 논리 "1" 을 저장하기 위하여, 메모리 소자 (112) 는 그의 저저항 상태에 놓인다. 이것은, 읽기 및 쓰기 회로 (150) 를 사용하여, 비트 라인 전극들 (102) 및 워드 라인 전극들 (118) 에 걸쳐 세트 전압 V_{SET} (예를 들어, -2 V 내지 -4 V) 를 인가함으로써, 달성될 수도 있다. 일 실시형태에서, 네가티브 V_{SET} 전압을 메모리 소자 (112) 에 인가하는 것은 메모리 소자 (112) 로 하여금 그의 저저항 상태로 스위칭하게 한다. 이 영역에서, 메모리 소자 (112) 는, "세트" 전압 V_{SET} 의 제거 후에, 메모리 소자 (112) 가 저저항 상태에 의해 특성화되도록 변화된다. 반대로, 메모리 소자 (112) 에서 논리 "0" 을 저장하기 위하여, 메모리 소자 (112) 에 포지티브 리셋 전압 V_{RESET} (예를 들어, +2 V 내지 +5 V) 를 인가함으로써 메모리 소자는 다시 한번 그의 고저항 상태에 놓일 수 있다. 읽기 및 쓰기 회로 (150) 가 V_{RESET} 를 메모리 소자 (112) 에 인가할 때, 메모리 소자 (112) 는 그의 고저항 상태에 진입한다. 리셋 전압 V_{RESET} 이 메모리 소자 (112) 로부터 제거되는 경우, 읽기 전압 V_{READ} 이 인가될 때 메모리 소자 (112) 는 다시 한번 고저항에 의해 특성화될 것이다. 여기에서 주로 메모리 소자 (112) 에 대한 논의는 쌍극성 스위칭 예들을 제공하지만, 메모리 소자 (112) 들의 일부 실시형태들은, 단극성 스위칭을 사용할 수도 있고, 여기서 세트 및 리셋 전압들은, 여기에 기재된 본 발명의 범위를 이탈함이 없이, 동일 극성을 갖는다.
- [0021] 메모리 소자 (112) 의 저항 상태의 변화는, 이를테면, 메모리 디바이스 (200) 가 역 바이어스될 때 메모리 소자 (112) 의 가변 저항 층에 있는 트랩 또는 결함들의 재분배 또는 충전에 기인하여, "트랩-조정 (trap-mediated)" 될 수도 있다고 생각된다. 일반적으로 산소 베이컨시로 생각되는 결함 또는 트랩들은 가변 저항 층의 성막 및/또는 포스트 프로세싱 동안 형성된다. 예를 들어, 산소 베이컨시는 마찬가지로 가변 저항 층에서 호스트 산화물 재료의 비화학양론적 재료 조성 (non-stoichiometric material composition) 에 의해 생성된다. 가변 저항 층 (206) 의 실시형태들은 도 4와 함께 이하에서 설명된다.
- [0022] 이용을 위해 메모리 소자 (112) 을 준비하기 위한 노력에서, 적어도 한번 비트 라인 전극들 (102) 및 워드 라인 전극들 (118) 에 걸쳐 형성 전압 V_{FORM} 을 인가하여, 메모리 어레이 (100) 의 각 메모리 디바이스 (200) 를 "번인 (burn-in)" 하는 것이 일반적이다. V_{RESET} 및 V_{SET} 전압들보다 통상적으로 현저히 더 큰 형성 전압 V_{FORM} 의 인가는, 디바이스 제조 프로세스 동안 가변 저항 층 (206) 내에 형성된 결함들이 층의 다양한 영역들내에 이동,

정렬 및/또는 수집되게 하여, 가변 저항 층 (206) 으로 하여금 메모리 소자의 수명 전체에 걸쳐 "온" 및 "오프" 저항 상태들 사이에서 일관되고 신뢰적으로 스위칭하게 한다고 생각된다. 하나의 실시형태에서, 형성 전압 V_{FORM} 은 V_{RESET} 또는 V_{SET} 전압보다 약 1 배와 약 5 배 사이에서 더 크다. 하나의 예에서, 형성 전압은 V_{RESET} 또는 V_{SET} 전압보다 약 1.4 배와 약 2.5 배 사이에서 더 크다. 하나의 예에서, 형성 전압은 약 3 볼트와 약 7 볼트 사이이다. 하지만, 일부의 경우들에서, 디바이스가 그의 수명 전체에 걸쳐 원하는 대로 실행하도록 보장하기 위하여 형성 전압의 인가가 전혀 필요하지 않도록 메모리 소자 (112) 를 형성하는 것이 바람직하다는 것에 유의한다.

[0023] 도 4는, 본 발명의 실시형태에 따른, 하나 이상의 통합된 산소 격리 구조를 갖고 일련의 성막된 층들로부터 형성되는 메모리 디바이스 (200) 의 개략 단면도이다. 도 4에 예시된 실시형태에서, 메모리 디바이스 (200) 는, 기판 (201) (예를 들면, 실리콘 기판 또는 SOI 기판) 의 표면의 부분들 상에 형성되거나, 또는 그와 통합되고 그 상에 배치된다. 본 발명의 실시형태들에 관하여 여기에서 사용된 상대적인 방향의 용어들은 설명을 위한 것일 뿐이고 본 발명의 범위를 제한하지 않음에 유의한다. 특히, "상에", "위에", "아래" 등과 같은 방향의 용어들은, 실시형태들이 형성되는 기판 (201) 이 "하부" 엘리먼트이고 따라서 거기에 형성된 본 발명의 엘리먼트들의 "아래" 에 있다는 가정 아래 사용된다.

[0024] 도 4에 예시된 실시형태에서, 메모리 디바이스 (200) 는, 비트라인 전극 (102) 과 워드 라인 전극 (118) 사이에 배치되고 전기 절연 재료 (410) 로 둘러싸인 메모리 소자 (112) 를 포함한다. 메모리 디바이스 (200) 는, 도시된 바처럼 메모리 소자 (112) 의 아래와 위에 하부 산소 격리 층 (401) 및 상부 산소 격리 층 (402) 을 더 포함한다. 메모리 소자 (112) 는, 하부 전극 (108) 과 상부 전극 (106) 사이에 배치된 가변 저항 층 (206) 을 포함하는 비휘발성 저항 메모리 소자이다.

[0025] 가변 저항 층 (206) 은, 2개 이상의 안정한 저항 상태들 사이에서 스위칭될 수 있는 쌍안정 유전체 재료를 포함하고, 그에 의해 메모리 소자 (112) 를 위한 스위칭 층의 역할을 한다. 통상적으로, 가변 저항 층 (206) 은 매우 박형, 예를 들어, 15 내지 30 Å 정도이다. 다양한 산화물, 질화물 및 모든 전이 금속, 즉, 하프늄 (Hf), 지르코늄 (Zr), 티타늄 (Ti), 탄탈륨 (Ta) 등을 포함하는, 다양한 상이한 재료들이 가변 저항 층 (206) 으로서의 사용에 적합할 수도 있다. 일반적으로, 예를 들어, 4 전자 볼트 (eV) 보다 더 큰 높은 밴드갭 에너지를 갖는 재료가 바람직한데, 왜냐하면 높은 밴드 갭 가변 저항 재료들은 데이터 유지를 향상시키고 메모리 소자 (112) 의 누설 전류를 감소시키기 때문이다. 구체적으로, 높은 밴드갭을 갖는 가변 저항 층 재료에서 포획된 전하의 양은, 보다 낮은 밴드갭 재료를 갖는 가변 저항 층 재료에서 포획된 전하의 양보다 적을 것이다. 또한, 높은 밴드갭 재료들은, 읽기, 세트 및 리세트 동작 동안 포획된 전하 캐리어들이 건너야 하는 큰 배리어 높이를 형성한다. 가변 저항 층 (206) 에서의 사용에 적합한 그러한 높은 밴드갭 재료들의 예들은 하프늄 산화물 (Hf_xO_y), 탄탈륨 산화물 (Ta_xO_y), 알루미늄 산화물 (Al_xO_y), 란타넘 산화물 (La_xO_y), 이트륨 산화물 (Y_xO_y), 디스프로슘 산화물 (Dy_xO_y), 이터븀 산화물 (Yb_xO_y) 및 지르코늄 산화물 (Zr_xO_y) 을 포함한다. 다르게는, 보다 낮은 밴드갭 금속 산화물 재료들, 이를테면 티타늄 산화물 (TiO_x), 니켈 산화물 (NiO_x) 또는 세륨 산화물 (CeO_x) 이 메모리 디바이스 (200) 의 일부 구성들에 유리하게 사용될 수도 있다. 일부 경우들에서, 반도체 금속 산화물 (p 타입 또는 n 타입) 이를테면 아연 산화물 (Zn_xO_y), 구리 산화물 (Cu_xO_y), 및 그들의 비화학양론 및 도핑된 변종 (variant) 들이 사용될 수 있다. 일부 실시형태들에서, 가변 저항 층 (206) 은 약 10 과 약 100 Å 사이의 두께를 갖는다.

[0026] 하부 전극 (108) 및 상부 전극 (106) 은, 가변 저항 층 (206) 을 구성하는 재료의 밴드갭에 맞추어진 바람직한 일함수를 갖는 전도성 재료들로부터 형성된다. 일부 구성들에서, 하부 전극 (108) 및 상부 전극 (106) 은, 하부 전극 (108) 및 상부 전극 (106) 이 원하는 값, 예를 들면, 0.1 eV, 0.5 eV, 1.0 eV 등 만큼 상이한 일함수를 갖도록, 상이한 재료들로부터 형성된다. 예를 들어, 일 실시형태에서, 약 0.3 eV 의 일함수 차이가 바람직한 경우, 상부 전극 (106) 은 TiN 으로 구성될 수도 있고, 이는 4.5-4.6 eV 의 일함수를 갖고, 하부 전극 (108) 은 대략 4.1-4.15 eV 의 일함수를 갖는 n 타입 폴리실리콘으로 구성될 수도 있다. 하부 전극 (108) 및/또는 상부 전극 (106) 에서의 사용에 적합한 많은 다른 전극 재료들은, p-타입 폴리실리콘 (4.9-5.3 eV), n-타입 폴리실리콘, 전이 금속, 전이 금속 합금, 전이 금속 질화물, 전이 금속 탄화물, 텅스텐 (4.5-4.6 eV), 탄탈륨 질화물 (4.7-4.8 eV), 몰리브덴 질화물 (4.0-5.0 eV), 이리듐 (4.6-5.3 eV), 및 루테튬 (~4.7 eV) 을 포함한다. 다른 가능한 전극 재료들은, 티타늄/알루미늄 합금 (4.1-4.3 eV), 니켈 (~5.0 eV), 텅스텐 질화물 (~4.3-5.0 eV), 알루미늄 (4.2-4.3 eV), 구리 또는 실리콘 도핑 알루미늄 (4.1-4.4 eV), 구리 (~4.5 eV), 하프

늄 탄화물 (4.8-4.9 eV), 하프늄 질화물 (4.7-4.8 eV), 니오븀 질화물 (~4.95 eV), 탄탈륨 탄화물 (약 5.1 eV), 탄탈륨 실리콘 질화물 (~4.4 eV), 티타늄 (4.1-4.4 eV), 바나듐 탄화물 (~5.15 eV), 바나듐 질화물 (~5.15 eV), 및 지르코늄 질화물 (~4.6 eV) 을 포함한다. 일부 실시형태들에서, 상부 전극 (106) 은, 티타늄 (Ti), 텅스텐 (W), 탄탈륨 (Ta), 코발트 (Co), 몰리브덴 (Mo), 니켈 (Ni), 바나듐 (V), 하프늄 (Hf) 알루미늄 (Al), 구리 (Cu), 백금 (Pt), 팔라듐 (Pd), 이리듐 (Ir), 루테튬 (Ru), 및 이들의 조합으로 이루어지는 재료들의 군으로부터 선택된 원소로부터 형성된 금속, 금속 합금, 금속 질화물 또는 금속 탄화물이다. 일 실시형태에서, 상부 전극 (106) 은, 티타늄/알루미늄 합금 (Ti_xAl_y), 또는 실리콘 도핑 알루미늄 (AlSi) 의 군으로부터 선택된 금속 합금을 포함한다.

[0027] 비트 라인 전극 (102) 및 워드 라인 전극 (118) 이 전도성 재료들로부터 형성되어, 메모리 어레이 (100) 에서 메모리 디바이스 (200) 들을 커플링함으로써 읽기 및 쓰기 회로 (150) 를 커플링한다 (도 2a에 도시). 비트 라인 전극 (102) 및 워드 라인 전극 (118) 에서의 사용에 적합한 전도성 재료들은, 하부 전극 (108) 및 상부 전극 (106) 에 대해 위에서 열거된 그러한 것들을 포함하지만, 상기 재료들의 일함수는 일반적으로 고려사항이 아니다. 하부 산소 격리 층 (401) 이 형성되지 않는 실시형태들에서, 워드 라인 전극 (118) 및 하부 전극 (108) 은 동일한 재료로부터 그리고 동시에 형성될 수도 있다.

[0028] 본 발명의 실시형태들에 따라, 하부 산소 격리 층 (401) 및 상부 산소 격리 층 (402) 각각은, 산소 배리어 층 (501), 희생 층 (502) 또는 양자 모두의 조합을 포함한다. 일부 실시형태들에서, 메모리 디바이스 (200) 는, 하부 산소 격리 층 (401) 이 있고 상부 산소 격리 층 (402) 이 없는 상태로 구성될 수도 있고, 다른 실시형태들에서, 메모리 디바이스 (200) 는 상부 산소 격리 층 (402) 이 있고 하부 산소 격리 층 (401) 이 없는 상태로 구성될 수도 있다.

[0029] 산소 배리어 층 (501) 은, 비휘발성 메모리 소자로의 이동성 산소 및 다른 원하지 않는 이온들에 대한 누설 경로의 역할을 할 수 있는 입계 또는 다른 결함이 없는 구조를 갖는 재료이다. 산소 배리어 층 (501) 은, 메모리 소자 (112) 로의 이동성 산소 이온들의 이행에 대한 물리적 배리어를 제공한다. 희생 층 (502) 은, 가변 저항 층 (206) 또는 메모리 소자 (112) 를 구성하는 재료들 보다는 산소와 더 반응성인 재료를 포함하고, 그에 의해 메모리 소자 (112) 내로의 이동성 산소 이온들의 이행에 대한 반응성 배리어의 역할을 한다. 따로 사용되거나 또는 하부 산소 격리 층 (401) 및 상부 산소 격리 층 (402) 과 조합하여 사용될 때, 산소 배리어 층 (501) 및 희생 층 (502) 은 메모리 디바이스 (200) 의 제조 및/또는 동작 동안 메모리 소자 (112) 내로의 이동성 산소 이온들의 이행을 현저히 감소시킬 수 있다.

[0030] 메모리 디바이스 (200) 의 제조 동안, 직접 또는 간접적으로, 산소에 대해 부분적으로 형성된 메모리 디바이스 (200) 를 노출시키는 메모리 소자 (112) 의 형성 후에 다수의 디바이스 통합 프로세스들이 일어난다. 예를 들어, 산소 형성 및 어닐과 같은 프로세스들은 본질적으로 현저한 농도의 산소에 부분적으로 형성된 디바이스들을 노출시키는 것을 수반하는 한편, 원자층 증착 (ALD) 과 같은 수증기를 포함하는 프로세스들 및 저진공 프로세스들은 또한, 부분적으로 형성된 메모리 디바이스들 (200) 을 산소 노출시킨다. 메모리 디바이스 (200) 를 형성하는데 사용된 대부분의 재료들은-심지어 고 진공 프로세스들을 사용하여 성막된 막들도-미량 (trace amount) 의 산소를 포함한다. 또한, 메모리 디바이스 (200) 의 동작 동안, 메모리 디바이스 (200) 를 구성하는 박막 구조들에 존재하는 미량 산소는 메모리 소자 (112) 내로 경시적으로 이행할 수 있다. 따라서, 메모리 소자 (112) 내로 이동성 산소 이온들의 이행을 용이하게 하는 메모리 디바이스 (200) 의 제조 및 동작 양쪽 모두 동안에 산소의 많은 불가피한 소스들이 있다. 메모리 소자 (112) 내로의 이동성 산소 이온들의 이행은 메모리 디바이스 (200) 의 성능 및 수명을 감소시킨다.

[0031] 메모리 소자 (112) 에 있는 가변 저항 층 (206) 은 제조 및/또는 동작 동안 산소 이행에 매우 민감한데, 왜냐하면 심지어 그안의 아주 적은 수의 이동성 산소 이온들의 이행조차 메모리 소자 (112) 의 성능을 현저히 변경할 수 있기 때문이다. 구체적으로, 메모리 소자 (112) 의 내구성 및 신뢰성은 가변 저항 층 (206) 내로의 산소 이행에 의해 감소될 수 있는데, 여기서 내구성은 메모리 소자 (112) 에 의해 수행될 수 있는 읽기 쓰기 사이클들의 수이고 신뢰성은 메모리 소자 (112) 가 데이터를 유지할 수 있는 지속기간이다.

[0032] 상기한 바에 비추어, 하부 산소 격리 층 (401) 및 상부 산소 격리 층 (402) 에서 사용되는 산소 배리어 층 (501) 을 위한 재료들은 이동성 산소 및 다른 원하지 않는 이온들을 위한 이행 경로가 실질적으로 없는 구조를 갖는 것이 바람직하다. 구체적으로, 본 발명의 실시형태들에 따른 이상적인 산소 배리어 층은, 핀 홀들, 결정들간의 입계, 결정들내의 전위 라인, 또는 메모리 소자 (112) 내로 산소 또는 다른 원하지 않는 이동성 이온 (mobile ion) 들의 도입을 용이하게 할 수 있는 입계의 다른 피쳐들이 없는 재료를 포함한다. 게다가, 하부

산소 격리 층 (401) 및 상부 산소 격리 층 (402) 이 메모리 디바이스 (200) 를 구성하는 막 스택에 포함되기 때문에, 거기에 사용된 임의의 산소 배리어 층 (501) 은 전기 전도성인 것이 바람직하다. 일부 실시형태들에서, 산소 배리어 층 (501) 의 재료 및 두께는, 산소 배리어 층 (501) 에 의해 메모리 디바이스 (200) 에 추가된 저항이, "온" 상태에 있을 때, 즉, 가변 저항 층 (206) 이 저저항으로 세트되어 있을 때, 가변 저항 층 (206) 의 저항 보다 실질적으로 더 작도록 선택된다. 일 실시형태에서, 산소 배리어 층 (501) 의 재료 및 두께는, "온" 상태에서 가변 저항 층 (206) 의 저항의 약 10% 이하를 갖도록 선택되어, 메모리 디바이스 (200) 의 성능이 손상되지 않는다.

[0033] 일부 실시형태들에서, 산소 배리어 층 (501) 은, 실질적으로 비정질 구조를 갖는 재료를 포함한다. 그러한 실시형태들에서, 산소 배리어 층 (501) 과 메모리 디바이스 (200) 에 있는 인접 구조들 (예를 들어, 비트 라인 전극 (102), 상부 전극 (106), 하부 전극 (108) 또는 워드 라인 전극 (118)) 사이의 계면은 입계가 없다. 이런 식으로, 산소 또는 다른 원하지 않는 이온들이 메모리 디바이스 (200) 의 다른 영역들로부터 메모리 셀 (112) 에 진입하는 이행 경로가 이용가능하지 않고, 산소 배리어 층 (501) 은 이동성 산소 이온들에 대해 불투과성이다. 메모리 셀 (200) 의 형성은 일반적으로, 급속 열 어닐 (RTA) 과 같은 하나 이상의 고온 프로세스들을 포함하기 때문에, 산소 배리어 층 (501) 의 비정질 구조는 결정 함유 상 (crystal-containing phase) 으로의 변화 없이 적어도 600 °C 의 온도를 견디는 것이 바람직하다. 하부 산소 격리 층 (401) 및/또는 상부 산소 격리 층 (402) 의 부분으로서 형성될 때, 산소 배리어 층 (501) 에 적합한 재료들은, 비정질 실리콘 및 내화성 금속 실리콘 탄화물, 이를테면, $Ta_xSi_yC_x$, $W_xSi_yC_x$, 및 Ta-W-Si-C 합금들을 포함한다. 재료 구조를 기술하기 위하여 본원에 사용된 용어 "비정질" 은, 파라결정질 (paracrystalline) 구조를 갖는 재료들, 예를 들어, 완전 비정질 재료보다는 더 질서화되고 완전 결정질 재료보다는 덜 질서화된 재료들인 미세결정질 실리콘과는 구별된다는 것에 유의한다. 완전 비정질 재료는 이동성 이온들을 위한 경로들을 제공하는 입계가 실질적으로 없지만, 파라결정질 구조를 갖는 재료들은 일반적으로 일부 결정질 구조들을 갖고, 그의 입계는 이동성 이온들을 위한 경로들을 제공할 수 있다.

[0034] 위에 언급된 바처럼, 하부 산소 격리 층 (401) 및/또는 상부 산소 격리 층 (402) 에서 사용된 희생 층 (502) 은 가변 저항 층 (206) 및 메모리 소자 (112) 를 구성하는 다른 층들보다 산소에 대해 더 높은 반응성을 갖는 재료이다. 또한, 심지어 고온 프로세싱 후에도, 비정질 구조를 갖는 희생 층 (502) 은, 메모리 셀 (112) 내로의 산소 및 다른 이동성 이온들을 위한 경로들을 제거하는 것이 바람직하다. 희생층 (502) 은, 비트라인 전극 (102) 과 상부 전극 (106) 사이, 또는 하부 전극 (108) 과 워드 라인 전극 (118) 사이의 분리 층으로서 형성될 수도 있다.

[0035] 일부 실시형태들에서, 비정질 실리콘과 같은 비정질 반도체 재료는 희생 층 (502) 에 사용될 수도 있다. 그러한 실시형태들에서, 희생층 (502) 은 산소와 반응함에 따라, 희생층 (502) 이 전기 절연 재료로 전환되고 따라서 증가된 저항을 갖는다. 결과적으로, 그러한 실시형태들에서, 희생층 (502) 의 두께는, 예를 들어, 약 20 Å 이하의 정도로 최소화되는 것이 바람직하다. 이런 식으로, 희생층 (502) 이 산소와의 반응을 통하여 절연 재료로 대체로 전환되는 경우에도, 희생층 (502) 는 형성 프로세스 동안 파괴될 만큼 충분히 얇으며, 이로써 메모리 디바이스 (200) 의 동작이 손상되지 않도록 가변 저항 층 (206) 에 전도성 경로를 제공한다. 그러한 실시형태들에서, 희생 층 (502) 의 최대 두께는, 가변 저항 층 (206) 에 인가될 형성 전압에 기초하여 선택될 수 있다. 통상적인 형성 전압, 예를 들어, 7 V 이하에 대해, 희생층 (502) 의 두께는 3 내지 7 Å 이하가 되도록 선택된다. 대안의 실시형태에서, 상대적으로 두꺼운 희생층이 상부 산소 격리 층 (402) 의 부분으로서 상부 전극 (106) 상에 초기에 형성되고, 다음으로, 비트 라인 전극 (102) 의 형성 전에 대체로 또는 전체적으로 제거된다. 그러한 실시형태는 도 5b와 함께 이하에서 더 자세히 설명된다.

[0036] 도 5a 및 도 5b는, 도 4에 나타난 바처럼, 메모리 디바이스 (200) 에서 상부 산소 격리 층 (402) 의 다양한 실시형태들의 개략 단면도이다. 당업자는, 도 5a 및 도 5b와 함께 설명된 상부 산소 절연 층 (402) 의 실시형태들이 하부 산소 격리 층 (401) 에도 역시 추가 설명 없이 손쉽게 적용될 수 있다는 것을 인식할 것이다.

[0037] 도 5a에서, 상부 산소 격리 층 (402) 이 상부 전극 (106) 과 상부 비트 라인 전극 (102) 사이에 배치되고 산소 배리어 층 (501) 및 희생층 (502) 양자 모두를 포함한다. 산소 배리어 층 (501) 의 두께는, 산소 및 다른 원하지 않는 이동성 이온들에 대한 투과성 (permeability) 에 기초하여 선택될 수 있다. 산소 배리어 층 (501) 은 전기 전도성이므로, 산소 배리어 층 (501) 의 두께 (511) 는 메모리 디바이스 (200) 의 동작 또는 성능에 손상을 주지 않고서 상대적으로 두껍게 구성될 수 있다는 것에 유의한다. 이런 식으로, 산소 배리어 층 (501) 은, 가변 저항 층 (206) 으로의 산소 이온들의 이행을 대부분 또는 전부 방지할 수 있다. 일 실시

형태에서, 산소 배리어 층 (501) 은 5 nm 와 50 nm 사이의 두께 (511) 를 갖는다. 대조적으로, 희생층 (502) 은, 희생 층 (502) 이 부분적으로 또는 전체적으로 절연 재료로 변환될 때, 원하지 않는 저항이 메모리 디바이스 (200) 내에 도입되지 않도록 상대적으로 얇은 층이다. 희생 층 (502) 의 두께 (512) 는, 실리콘 이산화물 (SiO₂) 과 같은 절연 재료로 완전히 전환된다면, 희생 층 (502) 의 최대 허용가능한 저항에 기초하여 선택될 수 있다. 그러한 절연 재료로의 희생 층 (502) 의 전환에 의해 야기된 원하지 않는 저항을 최소화하기 위하여, 그리고 통상적인 형성 전압이 그러한 절연 재료를 파괴할 수 있도록 보장하기 위하여, 일부의 실시 형태들에서, 두께 (512) 는 약 3 내지 7 Å 이하가 되도록 선택될 수도 있다.

[0038] 일부 실시형태들에서, 산소 배리어 층 (501) 은, 도 5a에 나타난 바처럼, 희생 층 (502) 의 상부에 형성된다. 그러한 실시형태들에서, 산소 배리어 층 (501) 은, 가변 저항 층 (206) 쪽으로 이행하는 산소 이온들의 대다수에 대한 물리적 배리어의 역할을 하도록 구성되고, 희생 층 (502) 은 산소 배리어 층 (501) 을 침투하는 임의의 산소 이온들과 반응하도록 배치된다. 희생 층 (502) 은 상대적으로 얇고 오직 제한된 수의 산소 이온들과 반응할 커패시터를 갖기 때문에, 이 실시형태의 이점은 희생층 (502) 이 산소 배리어 층 (501) 을 관통한 소수의 산소 이온들을 막기 위해 남겨진다는 것이다.

[0039] 도 5a에 예시된 실시형태에서, 산소 배리어 층 (501) 이 희생층 (502) 의 상부에 형성되지만, 다른 구성의 산소 배리어 층 (501) 및 희생 층 (502) 이 또한 본 발명에 실시형태에 의해 고려된다. 하나의 그러한 실시형태에서, 산소 배리어 층 (501) 은, 우선 상부 전극 (106) 에 형성되고, 다음으로 희생층 (502) 이 산소 배리어 층 (501) 상에 형성된다. 또 다른 그러한 실시형태에서, 상부 산소 격리 층 (402) 은 희생층 (502) 을 포함하지만, 산소 배리어 층 (501) 을 포함하지 않는다. 또 다른 그러한 실시형태에서, 상부 격리 층 (402) 은 산소 배리어 층 (501) 을 포함하지만, 희생 층 (502) 을 포함하지 않는다.

[0040] 일부 실시형태들에서, 희생층 (502) 이 두께 (512) 보다 현저히 더 큰 초기 두께로 성막됨으로써, 메모리 디바이스 (200) 의 제조 동안 산소로부터 가변 저항 층 (206) 을 보호하기 위한 증대된 커패시터를 제공한다. 희생층 (502) 의 초기 두께 (513) 는, 메모리 디바이스 (200) 의 제조 동안 희생층 (502) 내로의 이행할 산소 이온들의 추정된 양에 기초하여 선택될 수 있다. 그러한 추정은, 메모리 디바이스 (200) 의 제조 동안 산소 이온들에 의해 이동되는 평균 자유 경로 및 메모리 디바이스 (200) 의 벌크 재료내에 이동성 산소 이온들의 농도를 포함할 수도 있다. 그러한 실시형태들에서, 메모리 디바이스 (200) 를 제조하는 부분으로서 산소 집중 (oxygen-intensive) 프로세스들 (예를 들어, 반응성 식각 프로세스들 및 전기 절연 재료 (410) 의 형성을 위한 프로세스들) 이 수행되는 동안 희생층 (502) 은 제자리에 남는다. 다음으로, 비트라인 전극 (102) 의 형성 전에, 대부분 또는 전부의 희생층 (502) 이 제거되어, 메모리 디바이스 (200) 의 동작에 손상을 줄 수 있는 비트 라인 전극 (102) 과 상부 전극 (106) 사이에 두꺼운 전기 절연 층이 존재하지 않게 된다. 하나의 실시형태에서, 동작 동안 가변 저항 층 (206) 을 보호하기 위해 그러한 제거 후에 두께 (512) 의 층이 제자리에 남겨질 수도 있다.

[0041] 도 5b에서, 상부 산소 격리 층 (402) 은 상부 전극 (106) 내부에 임베딩된 희생층 (502) 을 포함한다. 그러한 실시형태에서, 희생층 (502) 은 상술된 이유들로 매우 박형, 예를 들어, 3 내지 7 Å 일 수도 있다. 또한, 상부 산소 격리 층 (402) 은, 상부 전극 (106) 과 비트 라인 전극 (102) 사이에 형성된 산소 배리어 층 (501) 을 더 포함할 수도 있고, 그에 의해 산소 이온 이행으로부터 가변 저항 층 (206) 의 추가 보호를 제공한다.

[0042] 도 6은, 본 발명의 실시형태에 따른, 산소 격리 층들 (610) 이 메모리 소자 (112) 의 측벽들 (620) 상에 형성된 채로 형성된 메모리 디바이스 (200) 의 개략 단면도이다. 도 6에 예시된 메모리 디바이스 (200) 의 실시형태는, 도 4에 예시된 실시형태와 구조 및 동작에 있어서 실질적으로 유사하며, 메모리 소자 (112) 의 측벽들 (620) 상에 형성된 산소 격리 층들 (610) 이 추가된다.

[0043] 산소 격리 층들 (610) 은 메모리 디바이스 (200) 의 동작에 영향을 주지 않고서 산소 이행으로부터 메모리 셀 (112) 을 더 격리하도록 구성된다. 그 목적으로, 산소 격리 층들 (610) 은, 산소를 함유하지 않고 메모리 소자 (112) 주변, 즉, 비트 라인 전극 (102) 으로부터 워드 라인 전극 (118) 으로의 현저한 전류 경로를 형성하지 않는 재료들을 포함한다. 그러한 전류 경로를 방지하기 위하여, 산소 격리 층들 (610) 은, 메모리 소자 (112) 에 상대적으로 현저히 더 높은 저항을 갖고, 따라서 하부 산소 격리 층 (401) 및 상부 산소 격리 층 (402) 과는 상이한 재료들로부터 형성된다. 또한, 산소 격리 층들 (610) 은 저항 스위칭 특성을 가질 수 없다. 산소 격리 층들 (610) 은, 산소 배리어 층, 희생층 또는 양자 모두의 조합을 포함할 수도 있다.

[0044] 산소 격리 층들 (610) 을 위한 적합한 산소 배리어 층들은, 고온 프로세스들 후에 비정질 구조를 갖고 상대적으

로 높은 전기 저항률을 갖는다. 또한, 산소 격리 층들에 적합한 산소 배리어 층들은 메모리 셀 (112) 에 있는 재료들보다 더 높은 산소 친화도를 갖는다. 하나의 실시형태에서, 산소 격리 층 (610) 은 실리콘 질화물 (Si_3N_4) 또는 테트라에틸 오르토실리케이트 (TEOS, 또는 $\text{Si}(\text{OC}_2\text{H}_5)_4$) 를 포함한다. 산소 격리 층들 (610) 에 적합한 희생층 재료들은 메모리 셀 (112) 에 있는 재료들보다 산소와 더 반응성인 재료들을 포함한다. 이상적으로, 산소 격리 층들 (610) 에서 희생층은 또한 고온 프로세스들 후에 비정질 구조를 유지한다. 예를 들어, 일 실시형태에서, 산소 격리 층들 (610) 각각은 산소와 매우 반응성이고 비정질 구조를 갖는 비정질 실리콘의 층을 포함한다. 하나의 그러한 실시형태에서, 산소 배리어 층은 메모리 소자 (112) 와 희생층 사이에 배치된다.

[0045] 도 7은 본 발명의 실시형태에 따른, 메모리 디바이스 (200) 를 형성하기 위한 프로세스 시퀀스 (700) 에서 방법 단계들의 플로우차트를 제시한다. 방법 단계들이 도 6에서 메모리 디바이스 (200) 와 함께 설명되었지만, 당업자는 프로세스 시퀀스 (700) 를 사용한 다른 저항 스위칭 메모리 디바이스들의 형성이 본 발명의 범위내라는 것을 이해할 것이다.

[0046] 나타낸 바처럼, 방법 (700) 은 단계 (701) 에서 시작되고, 여기서 워드 라인 전극 (118) 이 형성된다. 일 실시형태에서, 워드 라인 전극 (118) 은 종래 CVD 또는 ALD 타입 폴리실리콘 증착 기법을 사용하여 기판 (201) 상에 형성된 고도로 도핑된 폴리실리콘 층이고, 약 50 Å 과 약 5000 Å 두께 사이이다.

[0047] 단계 (702) 에서, 하부 산소 격리 층 (401) 이, 하부 산소 격리 층 (401) 의 구성에 적절한 성막 프로세스 또는 프로세스들을 사용하여 워드 라인 전극 (118) 에 형성된다. 예를 들어, 하부 산소 격리 층 (401) 이 희생층으로서 비정질 실리콘 층을 포함하는 실시형태들에서, 화학 기상 증착 (CVD) 프로세스가 사용될 수 있다. 하부 산소 격리 층 (401) 이, $\text{Ta}_x\text{Si}_y\text{C}_z$ 와 같은 산소 배리어 층으로서 내화성 금속 실리콘 탄화물을 포함하는 실시형태들에서, DC 마그네트론 코스퍼터링 프로세스가 사용될 수 있다. 하나의 그러한 실시형태에서, $\text{Ta}_{40}\text{W}_{40}\text{Si}_{10}\text{C}_{10}$ 박막이 탄탈륨, 텅스텐 (W) 및 실리콘 탄화물 (SiC) 타겟으로 3 타겟 dc 마그네트론 코스퍼터링을 사용하여 성막될 수 있다. 일부 실시형태들에서, 희생층은 가변 저항 층 (206) 에 보다 가깝게 배치되기 위하여 산소 배리어 층 (501) 의 상부에 형성될 수도 있다.

[0048] 단계 (703) 에서, 하부 전극 (108) 이, 성막 프로세스 또는 하부 전극 (108) 에 포함된 재료들에 적절한 프로세스들을 사용하여 하부 산소 격리 층 (401) 에 형성된다. 예를 들어, 하부 전극 (108) 이 고도로 도핑된 폴리실리콘 층인 경우, 종래 CVD 또는 ALD 타입 폴리실리콘 증착 기법이 약 50 과 약 5000 Å 사이에 있는 두께를 갖는 하부 전극 (108) 을 형성하는데 사용될 수도 있다.

[0049] 단계 (704) 에서, 가변 저항 층 (206) 이 적절한 성막 프로세스를 사용하여 하부 전극 (108) 상에 성막된다. 예를 들어, 가변 저항 층 (206) 이, 약 20 과 약 100 Å 사이의 두께로 형성되는, Hf_xO_y , Ta_xO_y , Al_xO_y , La_xO_y , Y_xO_y , Dy_xO_y , Yb_xO_y 및/또는 Zr_xO_y 와 같은 금속 산화물 층을 포함할 때, 가변 저항 층 (206) 이 업계에 잘 알려진 ALD 프로세스를 사용하여 성막될 수 있다. 다른 실시형태들에서, 가변 저항 층 (206) 은, CVD 프로세스, 이클테면 저압 CVD (LPCVD) 또는 플라즈마 강화 (PECVD), 물리 기상 증착 (PVD) 프로세스들, 액체 성막 프로세스들, 또는 에피택시 프로세스들을 사용하여, 성막될 수 있다. 하나의 실시형태에서, 약 250 °C 의 온도에서 테트라키스(디메틸아미노)하프늄 (TDMAH) 및 산소 함유 전구체를 사용한 ALD 프로세스가, 50 Å 두께의 하프늄 산화물 (Hf_xO_y) 함유 가변 저항 층 (206) 을 형성하는데 사용된다.

[0050] 단계 (705) 에서, 상부 전극 (106) 이, PVD, CVD, ALD 또는 다른 유사한 프로세스들을 포함한, 성막 프로세스 또는 상부 전극 (106) 에 포함된 재료들에 적절한 프로세스들을 사용하여 가변 저항 층 (206) 에 형성된다. 하나의 예에서, PVD 프로세스가 티타늄 질화물 (TiN) 을 포함하고 약 100 Å 와 1000 Å 두께 사이인 전극 (102) 을 형성하는데 사용된다.

[0051] 단계 (706) 에서, 상부 산소 격리 층 (402) 이, 성막 프로세스 또는 상부 산소 격리 층 (402) 의 구성에 적절한 프로세스들을 사용하여 상부 전극 (106) 에 형성된다. 하부 산소 격리 층 (401) 을 위한 단계 (702) 에서 기술된 유사한 프로세스들이 단계 (706) 에서 사용될 수도 있다.

[0052] 단계들 (701-706) 에 기재된 프로세스들은 기판 (201) 상의 상이한 재료들의 블랭킷 (blanket) 층들을 형성한다는 것에 유의한다. 단계 (707) 에서, 단계들 (701-706) 에서 성막된 막 스택이 메모리 어레이 (100) 의 개개의 메모리 디바이스들 (200) 을 형성하기 위하여 업계에 알려져 있는 표준 기법들을 사용하여 패터닝 및 식각된다.

- [0053] 단계 (708) 에서, 산소 격리 층 (610) 들이, 성막 프로세스 또는 상부 산소 격리 층 (402) 의 구성에 적절한 프로세스들을 사용하여 메모리 소자 (112) 의 측벽들 (620) 상에 형성된다. 일부 실시형태들에서, 컨포멀 프로세스 (conformal process) 가 산소 배리어 층으로서 실리콘 질화물 (Si_3N_4) 층을 성막하는데 사용된다. 그러한 실시형태들에서, CVD 프로세스가 측벽들 (620) 의 적절한 스텝 커버리지 (step coverage) 를 제공하는데 사용될 수 있다. 하나의 그러한 실시형태에서, 다음으로 희생층이 비정질 실리콘 층과 같은 산소 배리어 층 (501) 상에 성막된다.
- [0054] 단계 (709) 에서, 전기 전도성 재료 (410) 가 메모리 어레이 (100) 의 메모리 디바이스들 (200) 을 패시베이트 및 보호하기 위하여 나타낸 바처럼 성막된다. 일부 실시형태들에서, CVD 산화물 성막 프로세스가 사용된다. 하부 산소 격리 층 (401), 상부 산소 격리 층 (402) 및 산소 격리 층들 (610) 의 존재는 단계 (709) 동안 메모리 셀 (112) 내로의 산소 이행을 방지하는데 도움이 된다는 것에 유의한다.
- [0055] 단계 (710) 에서, 두꺼운 희생층이 상부 전극 (106) 상에 형성되는 실시형태들에서, 적합한 재료 제거 프로세스가 희생층 (502) 을 대체로 또는 완전히 제거하는데 사용된다. 습식 산화물 식각 프로세스, 건식 식각 프로세스, 또는 CMP (chemical-mechanical polishing) 프로세스가 단계 (710) 를 수행하는데 사용될 수도 있다. 일부 실시형태들에서, 희생층 (502) 의 남아 있는 부분의 두께는 약 3 내지 7 Å 사이이다. 다른 실시형태들에서, 희생층 (502) 이 전체적으로 제거된다.
- [0056] 단계 (711) 에서, 비트 라인 전극 (102) 이 전기 절연 재료 (410) 및 상부 산소 격리 층 (402) 상에 나타낸 바처럼 성막된다. 일부 실시형태들에서, 비트 라인 전극 (102) 이 적절한 성막 프로세스로 블랭킷 막으로서 성막되고, 다음으로 패터닝되고 식각되어 메모리 어레이 (100) 의 비트 라인 전극들 (102) 을 형성한다. 일부 실시형태들에서, 비트 라인 전극들 (102) 은 금속 전도체를 포함하고, 업계에 알려져 있는 임의의 기술적으로 실현가능한 금속 성막 프로세스를 사용하여 성막된다.
- [0057] 본 발명의 실시형태들은, 메모리 어레이들을 형성하는데 사용되는 저항 스위칭 메모리 소자들 및 메모리 디바이스 (200) 에 관하여 여기에서 설명되었지만, 본 발명의 실시형태들은, 여기에 기재된 본 발명의 범위를 넘어서지 않고서 다른 저항 메모리 디바이스들에 적용될 수 있다. 따라서, 다른 구성의 저항 메모리 디바이스도 또한 본 발명의 실시형태들로부터 혜택을 볼 수도 있다.
- [0058] 요건대, 본 발명의 실시형태들은 하나 이상의 신규한 산소 격리 구조를 갖는 비휘발성 저항 메모리 소자 및 이의 형성 방법을 제공한다. 산소 격리 구조들의 사용은, 저항 스위칭 재료의 스위칭 능력을 담당하는, 산소 배이컨시드들과 같은 저항 스위칭 재료에서의 결함들을 보존함으로써 비휘발성 저항 메모리 소자의 성능 및 수명을 유리하게 향상시킨다.
- [0059] 본 발명의 일부 실시형태들에서, ReRAM 디바이스에서 비휘발 메모리 소자를 형성하는 방법들이 이하에 기재된다.
- [0060] AA: ReRAM 디바이스에서 비휘발성 메모리 소자의 형성 방법으로서,
- [0061] 가변 저항 층으로서 동작가능한 제 1 층을 전극 층으로서 동작가능한 제 2 층 위에 형성하는 단계;
- [0062] 전극 층으로서 동작가능한 제 3 층을 형성하는 단계로서, 상기 제 1 층이 궁극적으로 상기 제 2 층과 상기 제 3 층 사이에 배치되도록, 상기 제 3 층을 형성하는 단계; 및
- [0063] 상기 제 3 층 위에 산소 격리 층으로서 동작가능한 제 4 층을 형성하는 단계
- [0064] 를 포함하는, 비휘발성 메모리 소자의 형성 방법.
- [0065] AB: AA에 있어서, 상기 제 4 층을 상기 제 3 층 위에 형성하는 단계는 상기 제 2 층보다 산소와 더 반응성인 희생층을 형성하는 단계를 포함하는, 비휘발성 메모리 소자의 형성 방법.
- [0066] AC: AA에 있어서, 상기 제 3 층 위에 상기 제 4 층을 형성하는 단계는, 비정질 구조 및 저저항 상태에서 가변 저항 층의 전기 저항보다 작은 전기 저항을 갖는 재료를 포함하는 산소 배리어 층을 형성하는 단계를 포함하는, 비휘발성 메모리 소자의 형성 방법.
- [0067] AD: AC에 있어서, 상기 산소 배리어 층은 $\text{Ta}_x\text{Si}_y\text{C}_z$, $\text{W}_x\text{Si}_y\text{C}_z$, 및 Ta-W-Si-C 으로 이루어지는 합금들의 군으로부터의 재료를 포함하는, 비휘발성 메모리 소자의 형성 방법.
- [0068] AE: AA에 있어서, 상기 제 1 층의 측벽에 산소 격리 층으로서 동작가능한 제 5 층을 형성하는 단계를 더 포함하

는, 비휘발성 메모리 소자의 형성 방법.

- [0069] AF: AE에 있어서, 상기 제 5 층은 실리콘 질화물 (Si_3N_4), 테트라에틸 오르토실리케이트 (TEOS, $\text{Si}(\text{OC}_2\text{H}_5)_4$), 및 비정질 실리콘으로 이루어지는 재료들의 군으로부터의 재료를 포함하는, 비휘발성 메모리 소자의 형성 방법.
- [0070] BA: ReRAM 디바이스에서 비휘발성 메모리 소자의 형성 방법으로서,
- [0071] 기관 상에 산소 격리 층으로서 동작가능한 제 1 층을 형성하는 단계;
- [0072] 상기 제 1 층 위에 전극 층으로서 동작가능한 제 2 층을 형성하는 단계;
- [0073] 상기 제 2 층 위에 가변 저항 층으로서 동작가능한 제 3 층을 형성하는 단계; 및
- [0074] 전극 층으로서 동작가능한 제 4 층을 형성하는 단계로서, 상기 제 3 층이 궁극적으로 상기 제 2 층과 상기 제 4 층 사이에 배치되도록, 상기 제 4 층을 형성하는 단계
- [0075] 를 포함하는, 비휘발성 메모리 소자의 형성 방법.
- [0076] BB: BA에 있어서, 기관 상에 산소 격리층을 형성하는 단계는 상기 가변 저항 층보다 산소와 더 반응성인 희생층을 형성하는 단계를 포함하는, 비휘발성 메모리 소자의 형성 방법.
- [0077] BC: BB에 있어서, 상기 희생 층은 비정질 실리콘을 함유하는, 비휘발성 메모리 소자의 형성 방법.
- [0078] BD: BA에 있어서, 상기 기관 상에 상기 제 1 층을 형성하는 단계는, 비정질 구조 및 상기 제 3 층이 저저항 상태에 있을 때 상기 제 3 층의 전기 저항보다 작은 전기 저항을 갖는 재료를 포함하는 산소 배리어 층을 형성하는 단계를 포함하는, 비휘발성 메모리 소자의 형성 방법.
- [0079] BE: BD에 있어서, 산소 배리어 층의 전기 저항은, 상기 제 3 층이 저저항 상태에 있을 때 상기 제 3 층의 전기 저항의 약 10% 이하인, 비휘발성 메모리 소자의 형성 방법.
- [0080] BF: BA에 있어서, 상기 제 3 층의 측면에 산소 격리 층으로서 동작가능한 제 5 층을 형성하는 단계를 더 포함하는, 비휘발성 메모리 소자의 형성 방법.
- [0081] CA: ReRAM 디바이스에서 비휘발성 메모리 소자의 형성 방법으로서,
- [0082] 가변 저항 층으로서 동작가능한 제 1 층을 전극 층으로서 동작가능한 제 2 층 위에 형성하는 단계;
- [0083] 전극 층으로서 동작가능한 제 3 층의 제 1 부분을 형성하는 단계로서, 상기 제 1 층이 상기 제 2 층과 상기 제 3 층의 제 1 부분 사이에 배치되도록, 상기 제 3 층의 제 1 부분을 형성하는 단계;
- [0084] 상기 제 3 층의 제 1 부분 상에 희생층으로서 동작가능한 제 4 층을 형성하는 단계로서, 상기 제 4 층은 상기 제 1 층에 있는 재료보다 산소와 더 반응성인 재료를 포함하는, 상기 제 4 층을 형성하는 단계; 및
- [0085] 상기 제 4 층 상에 상기 제 3 층의 나머지 부분 (remainder portion) 을 형성하는 단계
- [0086] 를 포함하는, 비휘발성 메모리 소자의 형성 방법.
- [0087] CB: CA에 있어서, 상기 제 4 층은 비정질 실리콘을 포함하는, 비휘발성 메모리 소자의 형성 방법.
- [0088] CC: CA에 있어서, 상기 제 4 층은 두께가 약 7Å 이하인, 비휘발성 메모리 소자의 형성 방법.
- [0089] CD: CA에 있어서, 상기 제 1 층의 측면에 산소 격리 층으로서 동작가능한 제 5 층을 형성하는 단계를 더 포함하는, 비휘발성 메모리 소자의 형성 방법.
- [0090] DA: ReRAM 디바이스에서 비휘발성 메모리 소자의 형성 방법으로서,
- [0091] 가변 저항 층으로서 동작가능한 제 1 층을 전극 층으로서 동작가능한 제 2 층 위에 형성하는 단계;
- [0092] 전극 층으로서 동작가능한 제 3 층을 형성하는 단계로서, 상기 제 1 층이 궁극적으로 상기 제 2 층과 상기 제 3 층 사이에 배치되도록, 상기 제 3 층을 형성하는 단계; 및
- [0093] 상기 제 1 층의 측면에 산소 격리 층으로서 동작가능한 제 4 층을 형성하는 단계
- [0094] 를 포함하는, 비휘발성 메모리 소자의 형성 방법.
- [0095] DB: DA에 있어서, 상기 제 4 층을 형성하는 단계는, 상기 제 1, 제 2 및 제 3 층들의 부분들을 식각함으로써 상

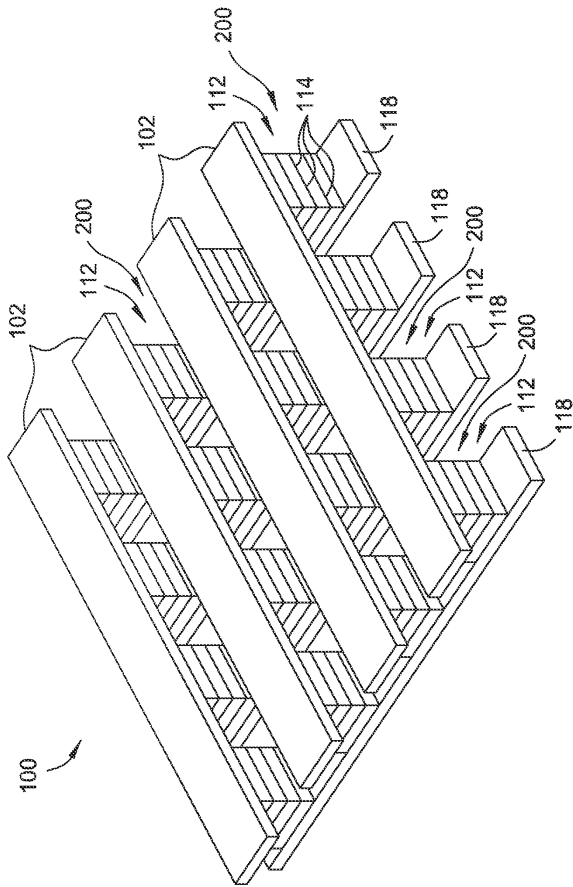
기 제 1 층의 측벽을 노출시키는 단계를 포함하는, 비휘발성 메모리 소자의 형성 방법.

[0096] DC: DA에 있어서, 상기 제 4 층은 실리콘 질화물 (Si_3N_4), 테트라에틸 오르토실리케이트 (TEOS, $\text{Si}(\text{OC}_2\text{H}_5)_4$), 및 비정질 실리콘으로 이루어지는 재료들의 군으로부터 선택된 재료를 포함하는, 비휘발성 메모리 소자의 형성 방법.

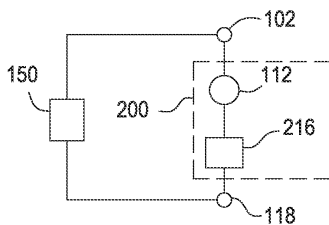
[0097] 이전의 설명들은 본 발명의 실시형태들에 관한 것이지만, 본 발명의 다른 그리고 추가의 실시형태들이 그의 기본 범위를 벗어나지 않고서, 고안될 수도 있고, 그의 범위는 이하의 청구항들에 의해 결정된다.

도면

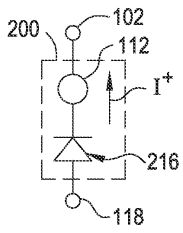
도면1



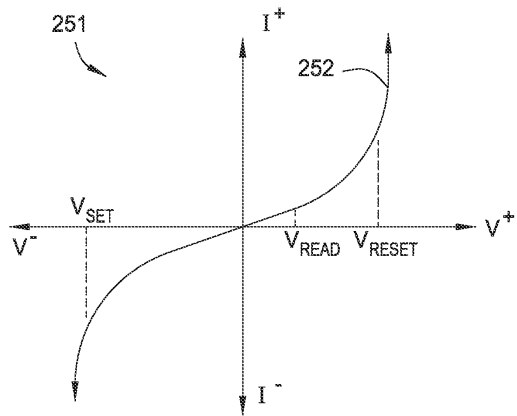
도면2a



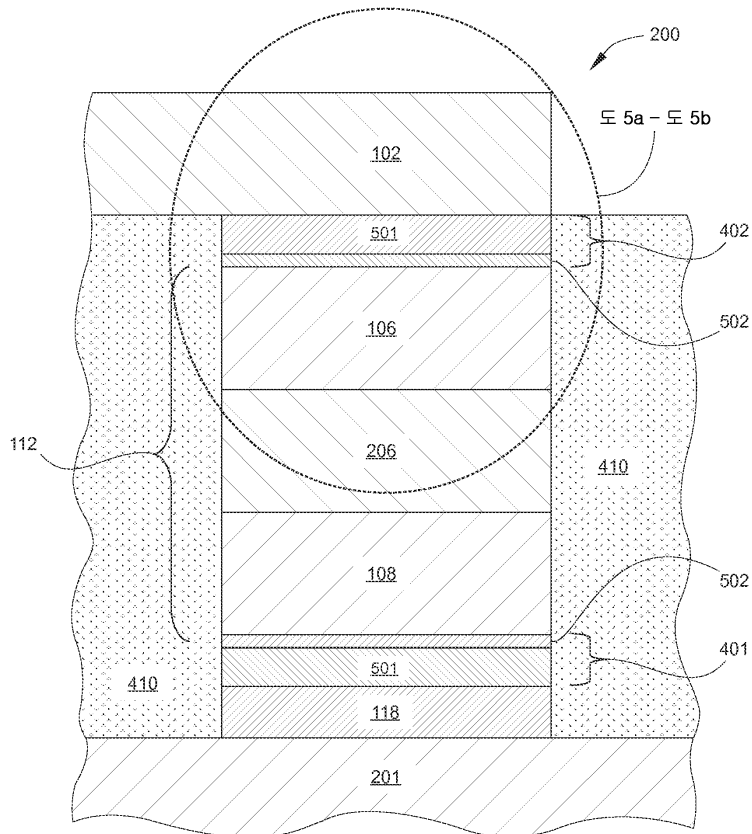
도면2b



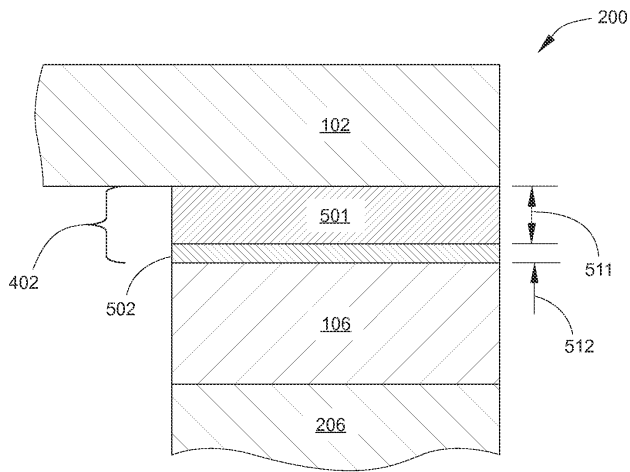
도면3



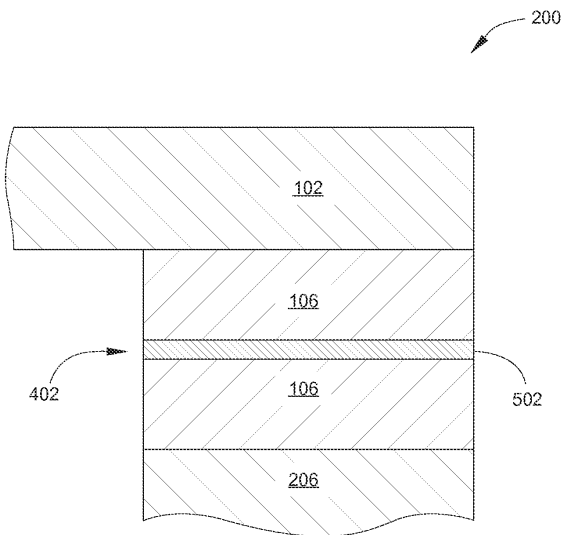
도면4



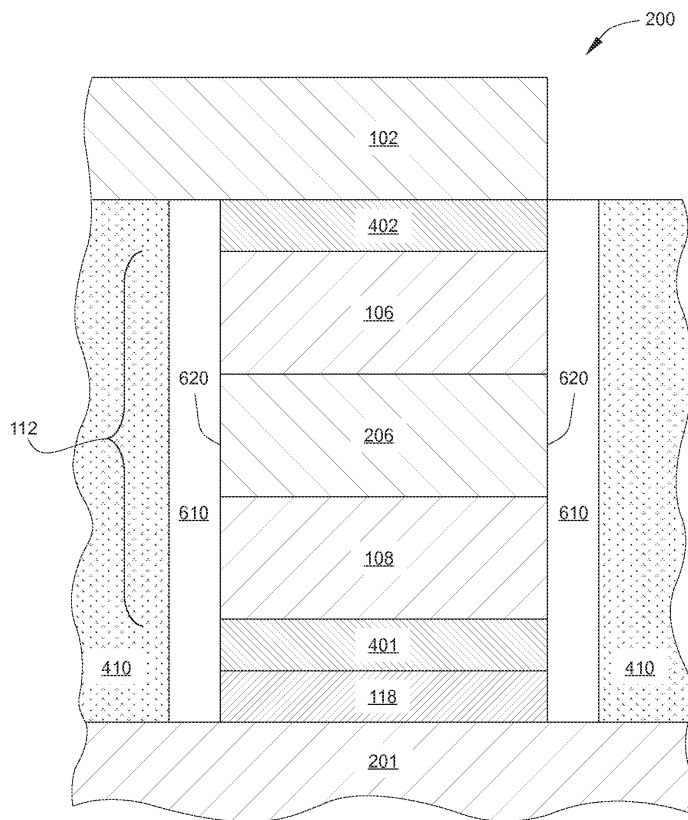
도면5a



도면5b



도면6



도면7

