



(21) 申请号 202311319773.1

(22) 申请日 2023.10.12

(65) 同一申请的已公布的文献号
申请公布号 CN 117334693 A

(43) 申请公布日 2024.01.02

(73) 专利权人 北京大学
地址 100871 北京市海淀区颐和园路5号

(72) 发明人 吴恒 张磊 黎明 王润声 黄如

(74) 专利代理机构 北京善任知识产权代理有限公司 11650
专利代理师 陈龙飞 孟桂超

(51) Int. Cl.

H01L 27/02 (2006.01)

H01L 21/8238 (2006.01)

H01L 27/092 (2006.01)

(56) 对比文件

CN 109219874 A, 2019.01.15

CN 113471147 A, 2021.10.01

US 2019326395 A1, 2019.10.24

US 2020105753 A1, 2020.04.02

US 2022415878 A1, 2022.12.29

李明亮等. 纳米集成电路的静电放电防护. 微电子学. 2010, (第01期), 全文.

审查员 周文龙

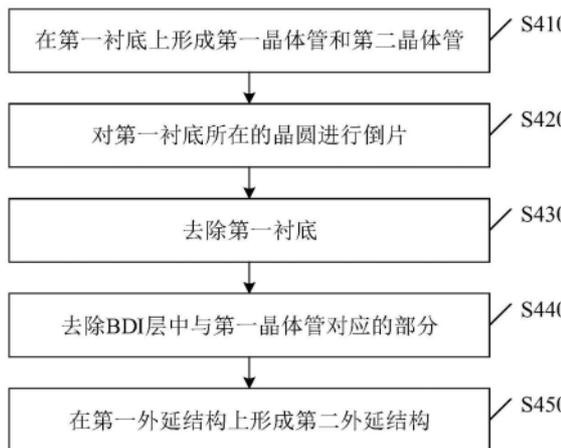
权利要求书1页 说明书8页 附图5页

(54) 发明名称

半导体制备方法、半导体结构和芯片

(57) 摘要

本申请提供一种半导体制备方法、半导体结构和芯片。该方法包括：在第一衬底上形成第一晶体管和第二晶体管，其中，第一晶体管和第二晶体管与第一衬底之间形成有BDI层；对第一衬底所在的晶圆进行倒片；去除第一衬底，以暴露出BDI层；去除BDI层中与第一晶体管对应的部分，以暴露出第一晶体管的第一外延结构，其中，第一外延结构构成第一晶体管的源极和/或漏极；在第一外延结构上形成第二外延结构，其中，第一外延结构和第二外延结构构成静电放电路径。通过本申请的方案，能够为具有BDI层的GAA晶体管提供ESD保护。



1. 一种半导体制备方法,其特征在于,包括:

在第一衬底上形成第一晶体管和第二晶体管,其中,所述第一晶体管和所述第二晶体管与所述第一衬底之间形成有底部介质隔离层;

对所述第一衬底所在的晶圆进行倒片;

去除所述第一衬底,以暴露出所述底部介质隔离层;

去除所述底部介质隔离层中与所述第一晶体管对应的部分,以暴露出所述第一晶体管的第一外延结构,其中,所述第一外延结构构成所述第一晶体管的源极和/或漏极;

在所述第一外延结构上形成第二外延结构,其中,所述第一外延结构和所述第二外延结构接触,所述第一外延结构与所述第二外延结构具有不同的掺杂类型,所述第一外延结构和所述第二外延结构构成静电放电路径。

2. 根据权利要求1所述的方法,其特征在于,所述去除所述底部介质隔离层中与所述第一晶体管对应的部分,以暴露出所述第一晶体管的第一外延结构,包括:

在所述底部介质隔离层中与所述第二晶体管对应的部分上形成正光刻胶;

对所述底部介质隔离层进行刻蚀,以去除所述底部介质隔离层中与所述第一晶体管对应的部分。

3. 根据权利要求1所述的方法,其特征在于,所述第一外延结构为P型外延结构,所述第二外延结构为N型外延结构。

4. 根据权利要求1所述的方法,其特征在于,所述第一外延结构为N型外延结构,所述第二外延结构为P型外延结构。

5. 根据权利要求1至4中任一项所述的方法,其特征在于,在所述第一外延结构上形成第二外延结构之后,所述方法还包括:

在所述第一晶体管和所述第二晶体管上形成隔离层,其中,所述底部介质隔离层位于所述第二晶体管和所述隔离层之间,所述第二外延结构穿过所述隔离层并与所述第一晶体管的第一外延结构接触。

6. 一种半导体结构,其特征在于,包括:

第二衬底;

第一晶体管和第二晶体管,倒装布置在所述第二衬底上;

底部介质隔离层,设置在所述第二晶体管上、且不设置在所述第一晶体管上;

第二外延结构,设置在所述第一晶体管的第一外延结构上,其中,所述第一外延结构构成所述第一晶体管的源极和/或漏极,所述第一外延结构和所述第二外延结构接触,所述第一外延结构与所述第二外延结构具有不同的掺杂类型,所述第一外延结构和所述第二外延结构构成静电放电路径。

7. 根据权利要求6所述的半导体结构,其特征在于,所述第一外延结构为P型外延结构,第二外延结构为N型外延结构。

8. 根据权利要求6所述的半导体结构,其特征在于,所述第一外延结构为N型外延结构,第二外延结构为P型外延结构。

9. 根据权利要求6至8中任一项所述的半导体结构,其特征在于,所述第一外延结构与所述第二外延结构沿垂直方向层叠设置。

10. 一种芯片,其特征在于,所述芯片包括如权利要求6至9中任一项所述的半导体结构。

半导体制备方法、半导体结构和芯片

技术领域

[0001] 本申请涉及半导体技术领域,并且尤其涉及一种半导体制备方法、半导体结构和芯片。

背景技术

[0002] 环栅纳米片(Gate-All-Around NanoSheet,GAA NA)结构的场效应晶体管(Field Effect Transistor,FET),或称为GAA-FET,能够承载更大的电流并保持较小的尺寸。GAA晶体管是在鳍式场效应晶体管的基础上演化而来的。鳍式场效应晶体管也被称为FinFET。与鳍式场效应晶体管相比,GAA晶体管降低了供电电压并增强了电流驱动能力,从而进一步提升了性能。特别是,GAA-FET相比于FinFET具有更佳的静电特性。

[0003] 在大规模、甚至超大规模的集成电路中采用GAA晶体管有可能引发严重的底部寄生沟道漏电。为了解决这个问题,在GAA晶体管的源极、漏极、栅极等区域的下方设置有底部介质隔离(Bottom Dielectric Isolation,BDI)层。

[0004] 在日常使用中,静电放电(Electro Static Discharge,ESD)往往会对半导体器件的正常工作造成干扰,甚至会损坏半导体器件。通常,可以制备以衬底为电流泄放通道的二极管,从而实现静电保护。

[0005] 然而,由于BDI层被设置在GAA晶体管与其下方的衬底之间,下方的衬底无法作为静电放电电流的泄放通道。那么,如何保护具有BDI层的GAA晶体管免于ESD的干扰,是一个亟待解决的问题。

发明内容

[0006] 本申请涉及一种半导体制备方法、半导体结构和芯片,从而为具有BDI层的GAA晶体管提供ESD保护。

[0007] 在第一方面,本申请提供了一种半导体制备方法。该方法包括:在第一衬底上形成第一晶体管和第二晶体管,其中,第一晶体管和第二晶体管与第一衬底之间形成有BDI层;对第一衬底所在的晶圆进行倒片;去除第一衬底,以暴露出BDI层;去除BDI层中与第一晶体管对应的部分,以暴露出第一晶体管的第一外延结构,其中,第一外延结构构成第一晶体管的源极和/或漏极;在第一外延结构上形成第二外延结构,其中,第一外延结构和第二外延结构构成静电放电路径。

[0008] 在一些可能的实施方式中,去除BDI层中与第一晶体管对应的部分,以暴露出第一晶体管的第一外延结构的操作可以包括:在BDI层中与第二晶体管对应的部分上形成正光刻胶;对BDI层进行刻蚀,以去除BDI层中与第一晶体管对应的部分。

[0009] 在一些可能的实施方式中,第一外延结构可以为P型外延结构,第二外延结构可以为N型外延结构。

[0010] 在一些可能的实施方式中,第一外延结构可以为N型外延结构,第二外延结构可以为P型外延结构。

[0011] 在一些可能的实施方式中,在第一外延结构上形成第二外延结构之后,上述方法还可以包括:在第一晶体管和第二晶体管上形成隔离层,其中,BDI层位于第二晶体管和隔离层之间,第二外延结构穿过隔离层并与第一晶体管的第一外延结构接触。

[0012] 在第二方面,本申请提供了一种半导体结构。该半导体结构包括第二衬底、第一晶体管、第二晶体管、BDI层、以及第二外延结构。第一晶体管和第二晶体管倒装布置在第二衬底上。BDI层设置在第二晶体管上。第二外延结构设置在第一晶体管的第一外延结构上。第一外延结构构成第一晶体管的源极和/或漏极。第一外延结构和第二外延结构构成静电放电路径。

[0013] 在一些可能的实施方式中,第一外延结构可以为P型外延结构,第二外延结构可以为N型外延结构。

[0014] 在一些可能的实施方式中,第一外延结构可以为N型外延结构,第二外延结构可以为P型外延结构。

[0015] 在一些可能的实施方式中,第一外延结构和第二外延结构沿垂直方向层叠设置。

[0016] 在第三方面,本申请提供了一种芯片。该芯片包括如第二方面所述的半导体结构。

[0017] 通过本申请的方案,半导体结构包括第一晶体管和第二晶体管。在与第一晶体管对应的区域内,第一晶体管的第一外延结构能够与第二外延结构构成静电放电路径,该路径能够对ESD电流进行泄放,从而为半导体结构提供ESD保护。

[0018] 此外,半导体结构中的第一外延结构和第二外延结构是堆叠设置的。如此,第一外延结构和第二外延结构构成的二极管的导电通道的沿垂直方向延伸,从而占用了较小的面积,进而减小了半导体结构占用的面积。

[0019] 应当理解的是,以上的一般描述和后文的细节描述仅是示例性和解释性的,并不能限制本申请。

附图说明

[0020] 此处的附图被并入说明书中并构成本说明书的一部分,示出了符合本申请的实施例,并与说明书一起用于解释本申请的原理。

[0021] 图1是本申请实施例提供的半导体结构的示意性版图。

[0022] 图2是本申请实施例提供的半导体结构的第一实施例的剖视图。

[0023] 图3是本申请实施例提供的半导体结构的第二实施例的剖视图。

[0024] 图4是本申请实施例提供的半导体制备方法的流程图。

[0025] 图5A至图5I是本申请实施例提供的半导体制备方法的各个步骤的示意图。

[0026] 附图标记说明:

[0027] G:栅极;NS:纳米片;100:第一晶体管;101:第一外延结构;102:金属;110:第一层叠结构;111:Si层;112:SiGe层;200:第二晶体管;201:第三外延结构;202:金属;210:第二层叠结构;S1:第一衬底;S2:第二衬底;3:BDI层;4:第二外延结构;5:隔离层;6:金属;7:氧化物层;8:牺牲层;9:金属栅;10:氮化物层;11:氧化物层;12:正光刻胶。

具体实施方式

[0028] 这里将详细地对示例性实施例进行说明,其示例表示在附图中。下面的描述涉及

附图时,除非另有表示,不同附图中的相同附图标记可以表示相同或相似的要素。以下示例性实施例中所述实施方式并不代表与本申请相一致的所有实施方式。

[0029] 首先,本申请实施例提供了一种半导体结构。图1是本申请实施例提供的半导体结构的示意性版图。如图1所示,该半导体结构包括第一晶体管100和第二晶体管200。

[0030] 第一晶体管100用于ESD保护。第一晶体管100可以被称为ESD晶体管或ESD器件。第一晶体管100所在的区域如图中100标识的虚线框所示。第一晶体管100包括栅结构G以及纳米片(nanosheet)NS。

[0031] 第二晶体管200用于实现正常的晶体管功能,例如,开关、放大等。第二晶体管200所在的区域如图中200标识的虚线框所示。第二晶体管200包括栅结构G以及纳米片NS。

[0032] 在一实施例中,第一晶体管100和/或第二晶体管200可以是GAA晶体管。例如,第一晶体管100和/或第二晶体管200可以是纳米片场效应晶体管。例如,第一晶体管100和/或第二晶体管200可以是纳米线场效应晶体管。当然,第一晶体管100和/或第二晶体管200可以是其它类型的晶体管,本申请实施例对此不做具体限定。

[0033] 在半导体结构中,第一晶体管100的数量可以是一个或多个,并且第二晶体管200的数量可以是一个或多个。在一实施例中,第一晶体管200的数量可以远多于第一晶体管100的数量。例如,第一晶体管200的数量可以比第一晶体管100的数量多一个量级。在一实施例中,第一晶体管200的尺寸可以大于第一晶体管100的尺寸。例如,第一晶体管200占用的面积可以远大于第一晶体管100占用的面积。

[0034] 第一晶体管100可以在预设条件被满足的情况下实现静电放电。在一实施例中,预设条件可以与电源电压(例如,VDD)相关。在一示例中,在第一晶体管100上施加的电压超过1.1倍或1.2倍的电源电压的情况下,第一晶体管100可以实现静电放电。

[0035] 图2是本申请实施例提供的半导体结构的第一实施例的剖视图。针对第一晶体管100的剖视图是沿A1-A1'方向和B1-B1'方向分别得到的。针对第二晶体管200的剖视图是沿A2-A2'方向和B2-B2'方向分别得到的。

[0036] 如图2所示,本申请实施例的半导体结构可以包括第二衬底S2、第一晶体管100、第二晶体管200、BDI层3、以及第二外延结构4。

[0037] 第二衬底S2用于承载第一晶体管100和第二晶体管200。在一实施例中,第二衬底S2可以是载片衬底。例如,第二衬底S2可以是在半导体结构的制备过程中使用的载片晶圆(carrier wafer)。

[0038] 第一晶体管100和第二晶体管200倒装布置在第二衬底S2上。可以理解的是,本申请实施例中的术语“倒装”是指晶体管被上下反向设置。具体地,如图2所示,第一晶体管100的金属102在晶体管100的下方与第一外延结构101形成金属接触。同时,第二晶体管200的金属202在晶体管200的下方与第三外延结构201形成金属接触。

[0039] BDI层3设置在第二晶体管200上。在一实施例中,BDI层3可以由低介电(low-K)材料制成。例如,BDI层3可以是SiO₂或其它材料制成的介质膜。

[0040] 在一实施例中,第一外延结构101和第二外延结构4可以沿垂直方向层叠设置。具体地,第二外延结构4设置在第一晶体管100的第一外延结构101上。第一外延结构101构成第一晶体管100的源极和/或漏极。第一外延结构101和第二外延结构4构成静电放电路径。第一外延结构101为N型外延结构。第二外延结构4为P型外延结构。第一外延结构101和第二

外延结构4之间构成PN结。当因为静电而导致PN结发生反向击穿(例如,齐纳击穿)时,ESD电流可以从第一外延结构101流向第二外延结构4。

[0041] 在一实施例中,半导体结构还可以包括隔离层5。隔离层5设置在第一晶体管100、第二晶体管200的BDI层3上。第二外延结构4穿过隔离层5并与第一晶体管100的第一外延结构101接触。在一示例中,金属6设置在隔离层5内并与第二外延结构4接触,并且穿过氧化物层7。在一示例中,第二外延结构4的上表面可以与隔离层5的上表面齐平,并且与金属6接触。此时,金属6可以不伸入隔离层5。如此,金属6可以将ESD电流从第一晶体管100引出。

[0042] 图3是本申请实施例提供的半导体结构的第二实施例的剖视图。针对第一晶体管100的剖视图是沿A1-A1'方向和B1-B1'方向分别得到的。针对第二晶体管200的剖视图是沿A2-A2'方向和B2-B2'方向分别得到的。图3中的半导体结构与图2中的半导体结构基本相同。与图2中的半导体结构相比,在图3中的半导体结构中,第一外延结构101为P型外延结构,且第二外延结构4为N型外延结构。第一外延结构101和第二外延结构4之间构成PN结。在该PN结的作用下,ESD电流可以从第二外延结构4流向第一外延结构101。

[0043] 在本申请实施例中,上述半导体结构可以应用于如存储器、处理器等半导体器件。特别是,上述半导体结构可以用于实现芯片。换言之,经过封装的芯片中可以包括本申请实施例的半导体结构。

[0044] 本申请实施例还提供了一种半导体制备方法。该方法用于制备本申请实施例中的半导体结构。图4是本申请实施例提供的半导体制备方法的流程图。如图4所示,本申请实施例的半导体制备方法包括步骤S410至步骤S450。

[0045] 在步骤S410中,在第一衬底上形成第一晶体管和第二晶体管。

[0046] 在此步骤中,可以提供第一衬底,并在第一衬底上形成第一晶体管和第二晶体管。

[0047] 在一实施例中,第一衬底可以由各种材料制成。例如,第一衬底可以是硅衬底、锗衬底。此时,第一衬底可以由硅晶圆、锗晶圆等形成的衬底。又例如,第一衬底可以是绝缘体上硅(silicon-on-insulator, SOI)衬底。此时,第一衬底可以是对硅晶圆进行处理后得到的衬底。

[0048] 在一实施例中,在第一衬底上形成的第一晶体管和第二晶体管在尺寸、数量、位置等方面可以是不同的。例如,第一晶体管的尺寸可以大于第二晶体管的尺寸。例如,第一晶体管的数量可以少于第二晶体管的数量。例如,第一晶体管的位置与第二晶体管的位置可以相邻或远离。

[0049] 在一实施例中,形成的第一晶体管和第二晶体管具有BDI层。更确切地说,在第一晶体管和第二晶体管与第一衬底之间形成有BDI层。该BDI层是电介质层,并且将第一晶体管和第二晶体管与衬底隔开。在一实施例中,BDI层可以由诸如SiO₂之类的低介电材料制成。

[0050] 在步骤S420中,对第一衬底所在的晶圆进行倒片。

[0051] 在此步骤中,将其上形成有第一晶体管和第二晶体管的晶圆进行倒片,以实现第一衬底在上下方向(或称为垂直方向)上颠倒。经过倒片,第一晶体管和第二晶体管倒装布置。倒片后的晶圆可以被承载在载片晶圆上。载片晶圆构成第二衬底。如此,第一晶体管和第二晶体管倒装布置在第二衬底上。

[0052] 显然,在步骤S420完成后,第一衬底、第一晶体管和第二晶体管、以及第二衬底依

照从上至下的顺序依次堆叠。如此,第一衬底位于第一晶体管和第二晶体管的上方,以继续后续的制备流程。

[0053] 在步骤S430中,去除第一衬底。

[0054] 在此步骤中,将第一衬底去除,以暴露出BDI层。具体地,BDI层在第一晶体管和第二晶体管上的部分均被暴露。

[0055] 在一实施例中,可以通过机械或化学方法去除第一衬底。例如,可以通过机械抛光的方式去除第一衬底。例如,可以通过化学机械平坦化(chemical-mechanical planarization,CMP)去除第一衬底。

[0056] 在步骤S440中,去除BDI层中与第一晶体管对应的部分。

[0057] 在此步骤中,将BDI层中与第一晶体管对应的部分去除,并保留BDI层中与第二晶体管对应的部分。

[0058] 在一实施例中,步骤S440可以通过采用光刻工艺实现。

[0059] 在一实施例中,光刻工艺可以使用正光刻胶。对应地,步骤S440可以包括:在BDI层中与第二晶体管对应的部分上形成正光刻胶;以及,对BDI层进行刻蚀,以去除BDI层中与第一晶体管对应的部分。具体地,在半导体结构的BDI层上涂覆正光刻胶。之后,利用掩模对正光刻胶进行曝光,以使正光刻胶图案化。正光刻胶中与第一晶体管对应的部分未被曝光,并且与第二晶体管对应的部分被曝光。正光刻胶中被曝光的部分得到保留,而未被曝光的部分被去除。图案化的正光刻胶使得BDI层中与第一晶体管对应的部分暴露而与第二晶体管对应的部分被覆盖。接下来,对BDI层进行刻蚀。BDI层中与第一晶体管对应的部分被刻蚀。BDI层中与第二晶体管对应的部分因为正光刻胶的保护而未被刻蚀。如此,BDI层中仅与第一晶体管对应的部分被去除。

[0060] 在一实施例中,光刻工艺可以使用负光刻胶。对应地,步骤S440可以包括:在BDI层中与第一晶体管对应的部分上形成负光刻胶;以及,对BDI层进行刻蚀,以去除BDI层中与第一晶体管对应的部分。具体地,在半导体结构的BDI层上涂覆负光刻胶。之后,利用掩模(mask)对负光刻胶进行曝光,以使负光刻胶图案化。负光刻胶中与第一晶体管对应的部分被曝光,并且与第二晶体管对应的部分未被曝光。负光刻胶中被曝光的部分被去除,而未被曝光的部分得到保留。图案化的负光刻胶使得BDI层中与第一晶体管对应的部分暴露而与第二晶体管对应的部分被覆盖。接下来,对BDI层进行刻蚀。BDI层中与第一晶体管对应的部分被刻蚀。BDI层中与第二晶体管对应的部分因为负光刻胶的保护而未被刻蚀。如此,BDI层中仅与第一晶体管对应的部分被去除。

[0061] 在去除BDI层中与第一晶体管对应的部分之后,第一晶体管的第一外延结构暴露。在一实施例中,第一外延结构可以构成第一晶体管内的源极和/或漏极。

[0062] 在步骤S450中,在第一外延结构上形成第二外延结构。

[0063] 在此步骤中,用于形成第二外延结构的材料与形成第一外延结构的材料可以具有相反的导电类型。在此,导电类型指的是利用电子导电或者利用空穴导电。那么,导电类型对应地为N型或P型。在一实施例中,第一外延结构和第二外延结构分别为N型和P型。在一实施例中,第一外延结构和第二外延结构分别为P型和N型。由第一外延结构和第二外延结构形成PN结。该PN结中电流的流动方向可以是自下向上、或自上向下的。

[0064] 在一实施例中,上述半导体制备方法还包括:在第一晶体管和第二晶体管上形成

隔离层。在此步骤中,在半导体结构上形成隔离层。隔离层用于对半导体结构与周围环境进行隔离。在本申请实施例中,“隔离”可以包括但不限于物理隔离、电隔离、化学隔离。

[0065] 在一实施例中,执行步骤S450之前,还可以在第二外延结构的第二外延结构上形成金属接触,以用于将ESD电流引出。用于与第二外延结构形成金属接触的金属可以是钨、铜、银等。

[0066] 在下文中,对本申请实施例中的半导体结构的制备方法进行详细说明。

[0067] 图5A至图5G是本申请实施例提供的半导体制备方法的各个步骤的示意图。利用图5A至图5G所示的制备方法的各个步骤可以用于制备如图2所示的半导体结构。

[0068] 在第一步中,在衬底S1(即第一衬底)上形成第一层叠结构110和第二层叠结构210(参见图5A)。

[0069] 在一实施例中,衬底S1可以由硅晶圆实现。在一实施例中,衬底S1可以被实现为SOI。在一实施例中,衬底S1可以由Ge晶圆实现。

[0070] 在此步骤中,在衬底S1上形成一层SiGe作为牺牲层8。在牺牲层8上形成第一层叠结构110和第二层叠结构210。第一层叠结构110和第二层叠结构210均包括多个Si层111和多个SiGe层112。多个SiGe层112和多个Si层111沿垂直方向交错设置。相邻的两个Si层111之间由一个SiGe层112分隔。

[0071] 在一实施例中,牺牲层8与第一层叠结构110和第二层叠结构210的SiGe层的区别可以在于SiGe的浓度。例如,牺牲层8中SiGe的浓度可以大于或等于70%,譬如,大约为70%。第一层叠结构110和第二层叠结构210的SiGe层中SiGe的浓度可以是大约30%。需要说明的是,本申请实施例中的“浓度”可以是重量比例。

[0072] 在第二步中,基于第一层叠结构110和第二层叠结构210分别形成第一晶体管100和第二晶体管200(参见图5B),并形成氮化物层10和氧化物层11(参见图5C)。

[0073] 具体地,基于第一层叠结构110和第二层叠结构210共同进行处理。形成栅结构、以及源漏结构101。执行金属代替栅(replacement metal gate, RMG),以形成金属栅9。执行中段工艺(the middle-of-line, MOL)以及后段工艺(the back-end-of-line, BEOL)。形成氮化物层10和氧化物层11。

[0074] 在一实施例中,金属栅9可以由高K材料制成。

[0075] 氮化物层10和氧化物层11均作为介电层。在一实施例中,氮化物层10可以由SiCN制成。在一实施例中,氮化物层10的厚度可以是大约50纳米。在一实施例中,氧化物层可以由SiO₂制成。在一实施例中,氧化物层11的厚度可以是大约150纳米。

[0076] 在此步骤中,牺牲层8被去除,并且在牺牲层8的位置处形成BDI层3。在一实施例中,BDI层3可以由低K材料制成。

[0077] 在第三步中,将晶圆倒片(参见图5D)。

[0078] 在此步骤中,对衬底S1所在的晶圆倒片处理,并通过晶圆键合承载在载片晶圆上。载片晶圆构成衬底S2(即第二衬底)。

[0079] 在第四步中,去除衬底S1(参见图5E)。

[0080] 在此步骤中,可以进行晶圆减薄,以去除第一晶体管100和第二晶体管200上方的衬底S1。

[0081] 在一实施例中,可以通过机械方式实现晶圆减薄。例如,可以通过削切、研磨等方

式去除衬底S1。在一实施例中,可以通过机械化学方式实现晶圆减薄。例如,可以通过CMP方式去除衬底S1。

[0082] 在第五步中,在第二晶体管200上形成正光刻胶12(参见图5F),去除BDI层3并去除正光刻胶12(参见图5G)。

[0083] 具体地,在第一晶体管100和第二晶体管200对应的BDI层3上形成涂覆正光刻胶12。利用掩模,对正光刻胶12中在第二晶体管200上方的部分进行曝光,以使得正光刻胶12中在第二晶体管200上方的部分硬化。之后,对正光刻胶12进行溶解。正光刻胶12中除在第二晶体管200上方的硬化部分之外的部分被溶解,其中包括正光刻胶12中在第一晶体管100上方的部分。至此,正光刻胶12被图案化。

[0084] 在一实施例中,在正光刻胶12与BDI层3之间还可以形成一层光阻剂。光阻剂可以用于消除驻波效应。

[0085] 在正光刻胶12被图案化之后,可以在正光刻胶12的作用下对BDI层3进行刻蚀。在一实施例中,可以通过干法刻蚀或湿法刻蚀对BDI层3进行刻蚀,从而刻蚀掉BDI层3在第一晶体管100上的部。接下来,可以去除第二晶体管200上的正光刻胶12。

[0086] 在第六步中,形成第二外延结构4(参见图5H)。

[0087] 在第五步完成之后,第一晶体管100的第一外延结构101暴露出来。第一外延结构101为N型外延结构。接下来,在第六步中,去除在第一外延结构101上形成第二外延结构4。第二外延结构4为P型外延结构。

[0088] 在一实施例中,可以通过外延生长形成第二外延结构4。

[0089] 在第七步中,在第一晶体管100和第二晶体管200上形成隔离层5(参见图5I)。

[0090] 在此步骤中,在第二外延结构4上进一步形成金属6,并在第一晶体管100和第二晶体管200上形成隔离层5。隔离层5可以由氮化物制成。隔离层5可以覆盖第一晶体管100。第二外延结构4和金属6共同穿过隔离层5。第二外延结构4和金属6在隔离层5中形成金属接触。金属6将第二外延结构4引出。此外,隔离层6可以覆盖第二晶体管200上的BDI层3。

[0091] 之后,可以在隔离层5上形成氧化物层7。金属6可以穿过氧化物层7。

[0092] 通过本示例性实施例所示的制备方法得到的半导体结构包括第一晶体管100和第二晶体管200。第一晶体管100的第一外延结构101与对应的第二外延结构4形成PN结。该PN结在用作ESD路径时,ESD电流的方向可以是第一外延结构101流向第二外延结构4。第二晶体管200上方设置有BDI层3。如此,在同一晶圆上可以同时制作具有ESD作用的第一晶体管100、以及具有BDI层3的第二晶体管200。

[0093] 可以理解的是,在一实施例中,第一晶体管100的第一外延结构101可以是P型外延结构。第二外延结构4可以是N型外延结构。第一外延结构101和第二外延结构4可以形成PN结。该PN结在用作ESD路径时,ESD电流的方向可以是第二外延结构4流向第一外延结构101。

[0094] 在本申请的描述中,参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本申请实施例的至少一个实施例或示例中。在本申请中,对上述术语的示意性表述不是必须针对的是相同的实施例或示例。而且,描述的具体特征、结构、材料或者特点可以在任一个或多个实施例或示例中以合适的方式结合。此外,在不相互矛盾的情况下,本领域的

技术人员可以将本申请中描述的不同实施例或示例以及不同实施例或示例的特征进行结合。

[0095] 以上所述仅为本申请的较佳实施例而已,并不用于限制本申请,对于本领域的技术人员来说,本申请可以有各种更改和变化。凡在本申请的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本申请的保护范围之内。

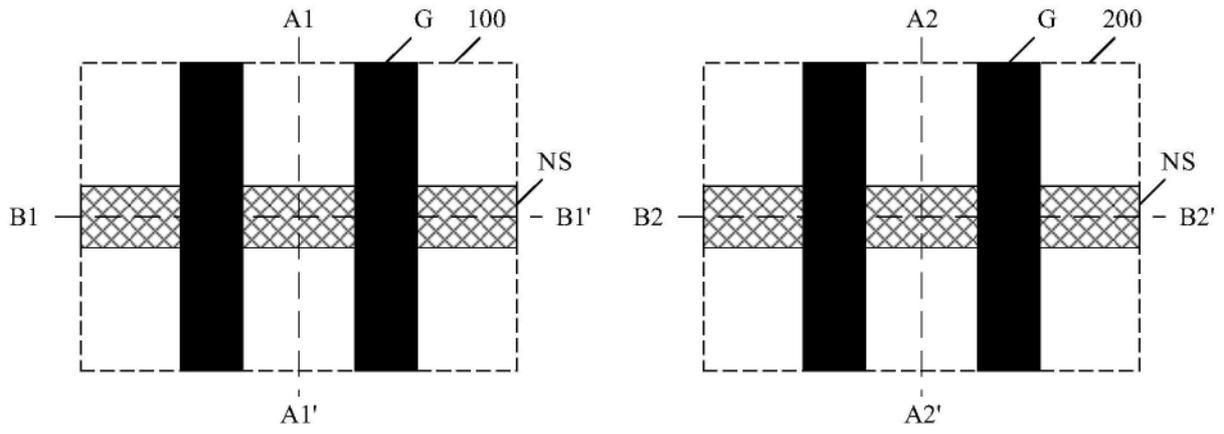


图1

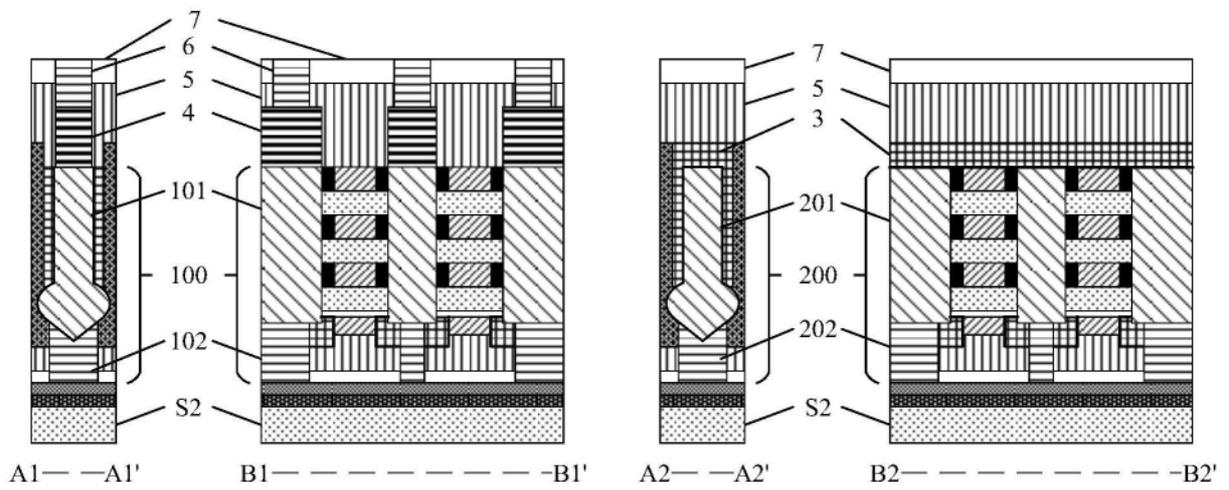


图2

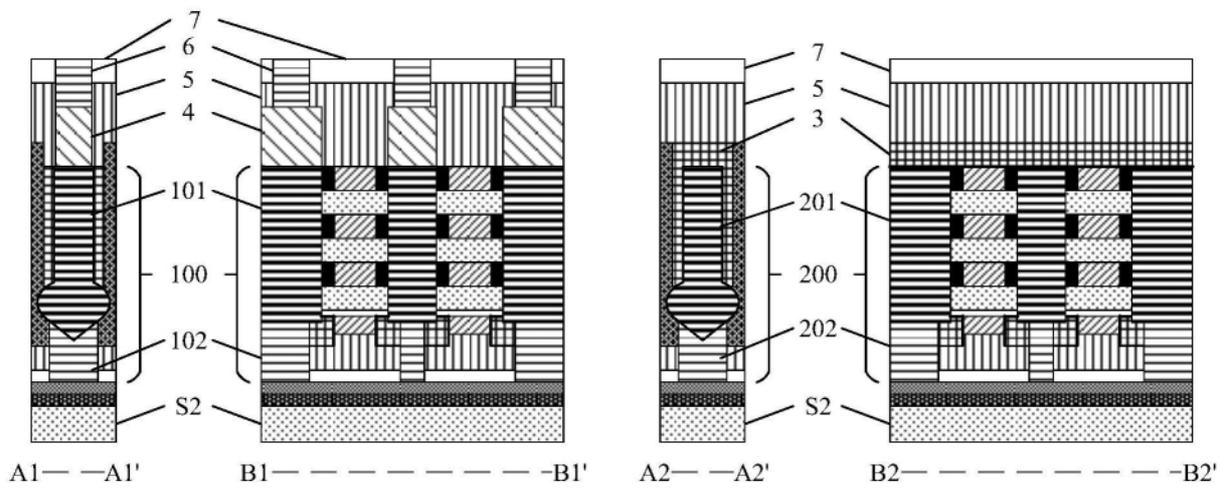


图3

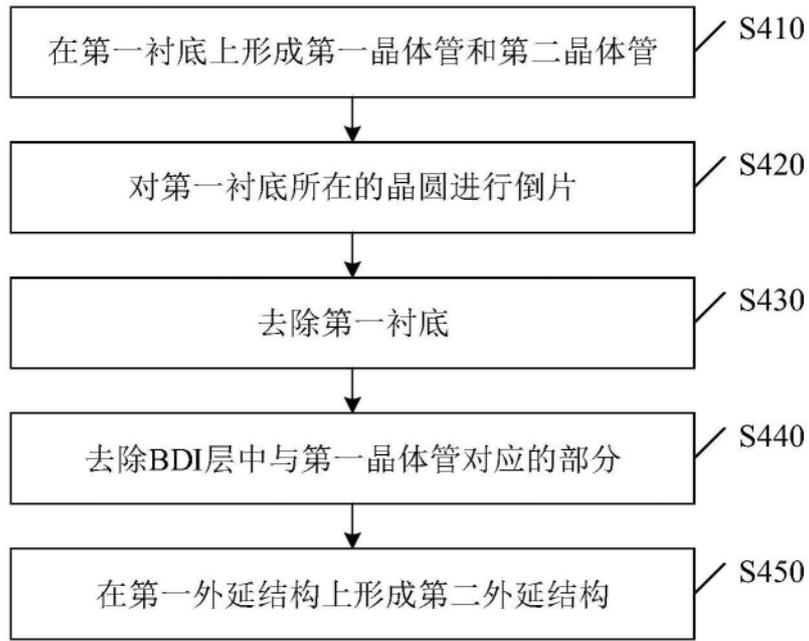


图4

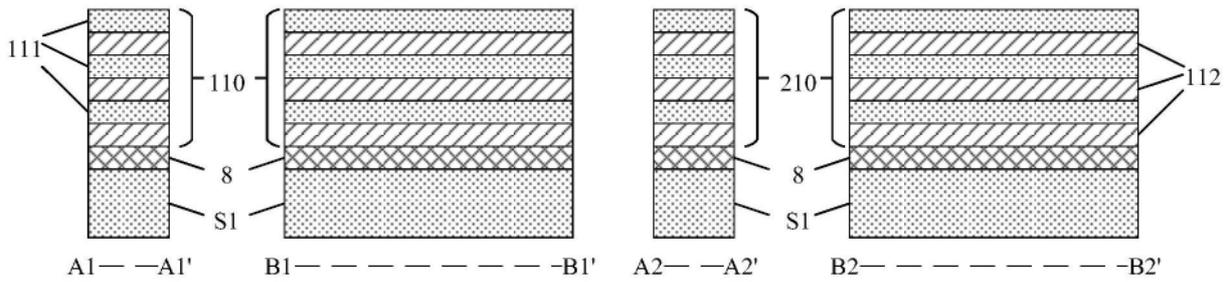


图5A

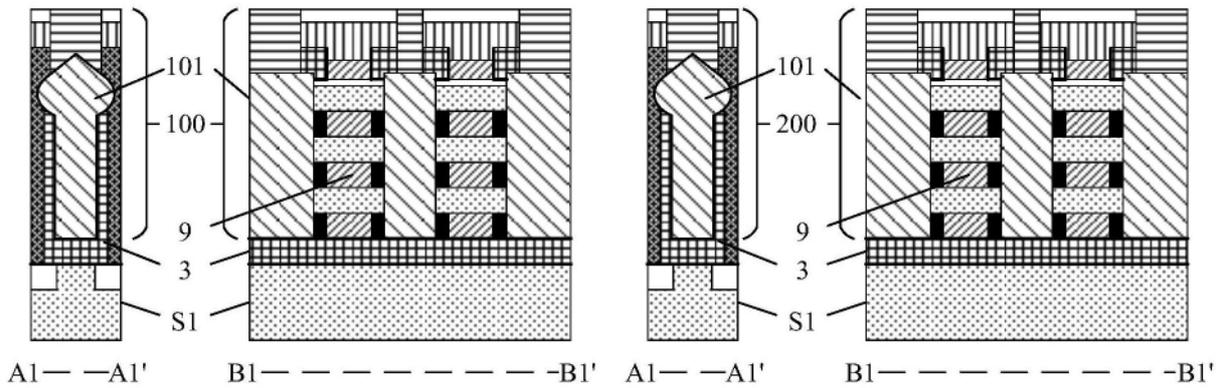


图5B

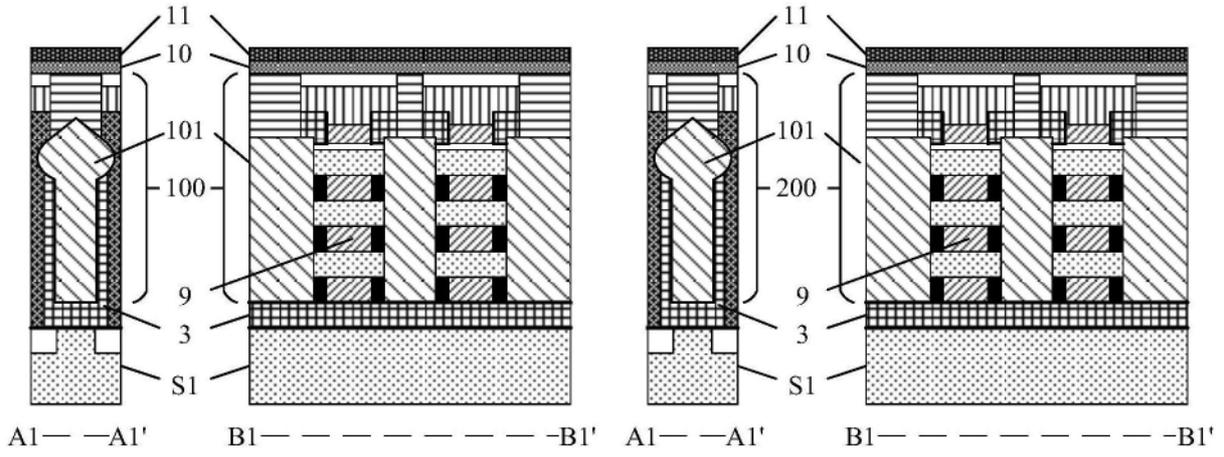


图5C

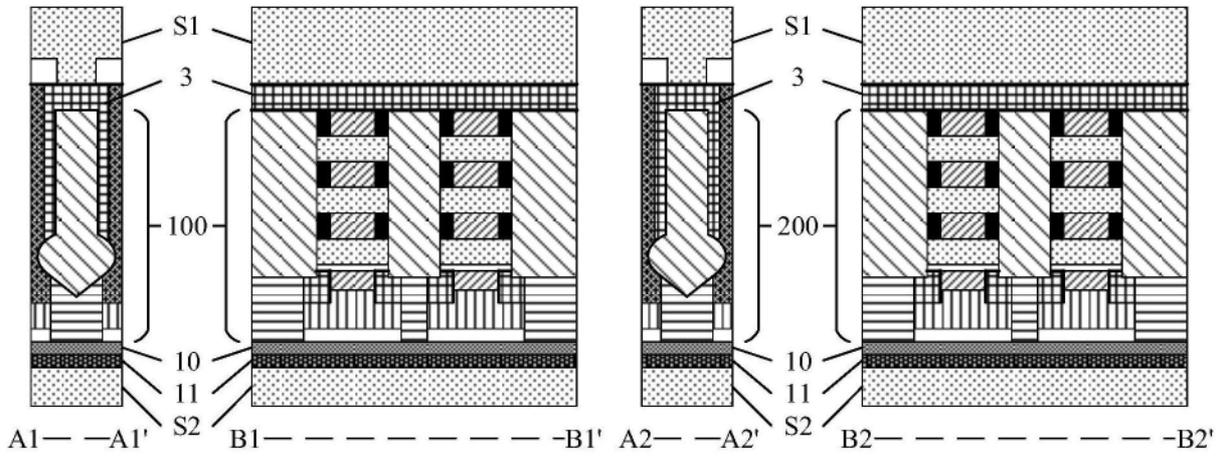


图5D

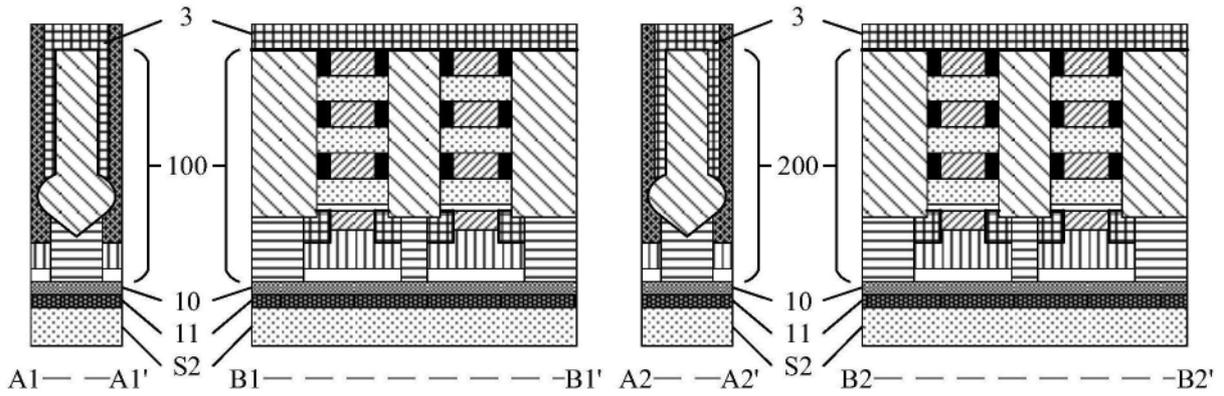


图5E

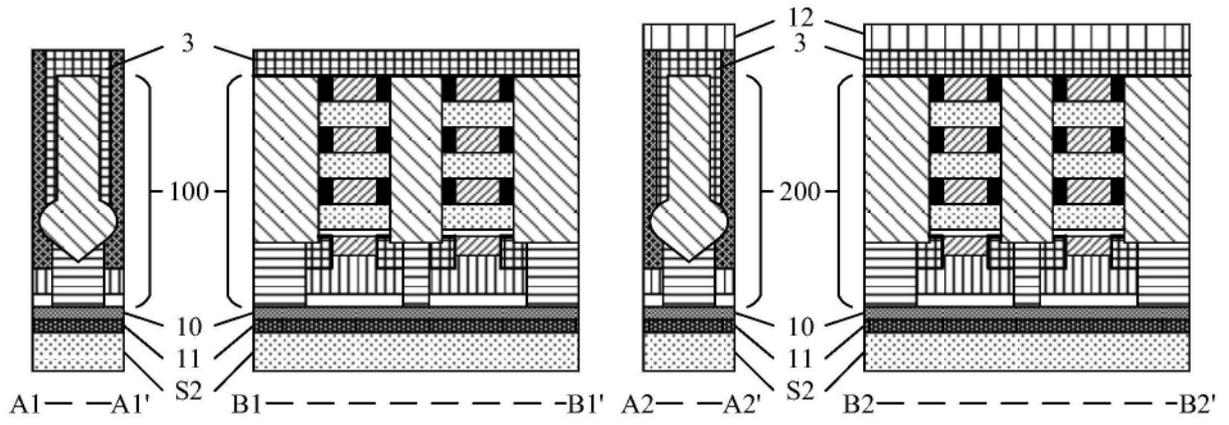


图5F

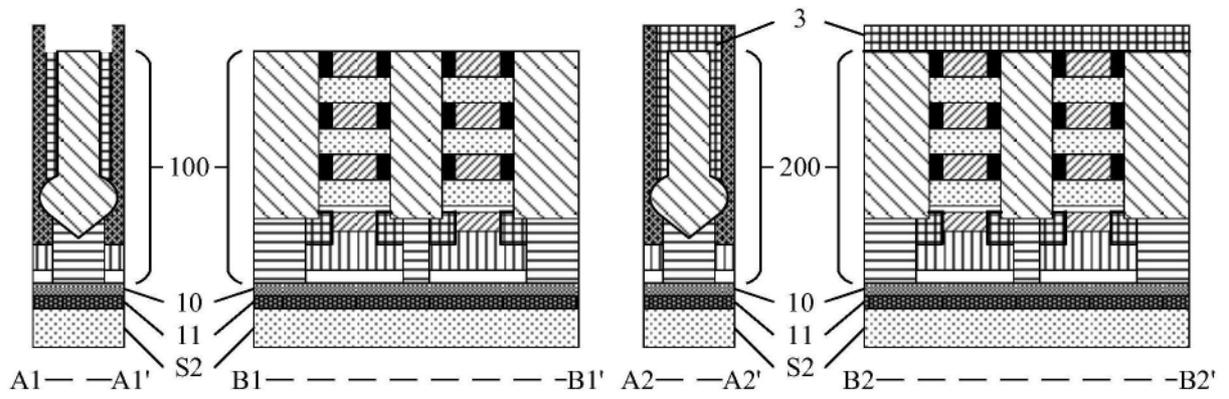


图5G

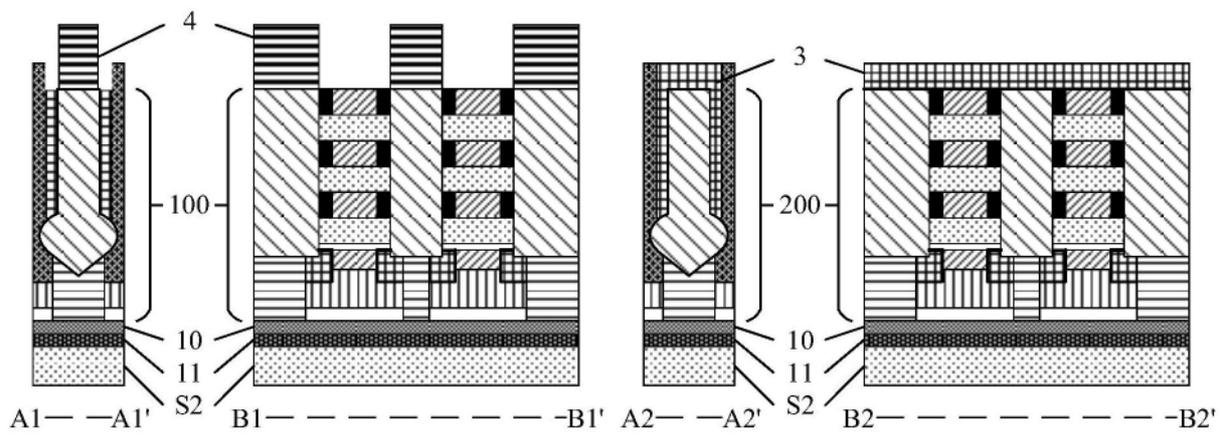


图5H

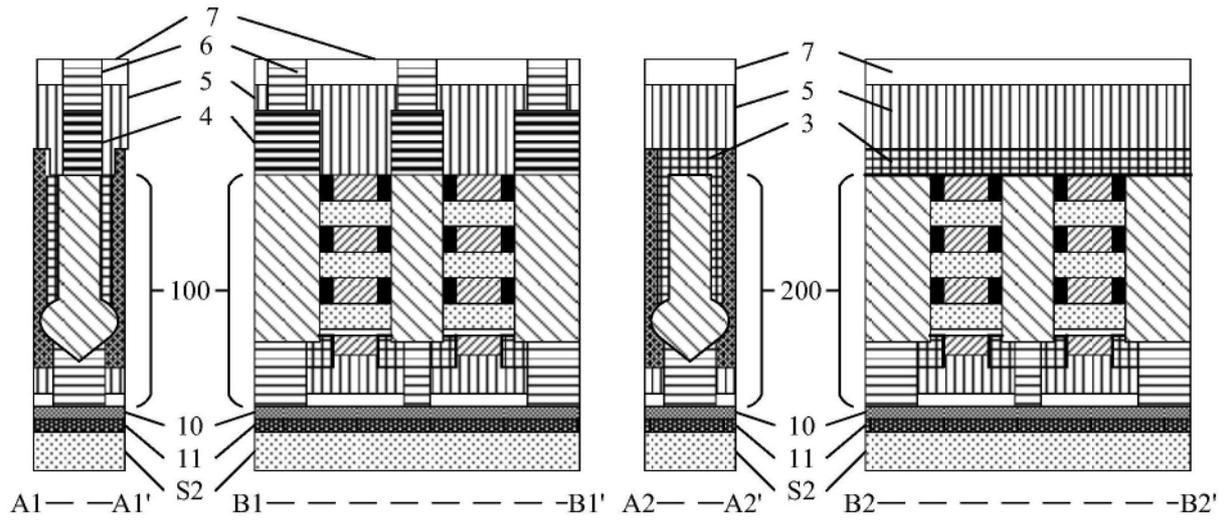


图5I