



(12) 发明专利

(10) 授权公告号 CN 118197998 B

(45) 授权公告日 2024. 08. 02

(21) 申请号 202410623600.7

H01L 29/417 (2006.01)

(22) 申请日 2024.05.20

H01L 27/08 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 118197998 A

(56) 对比文件

CN 105932023 A, 2016.09.07

(43) 申请公布日 2024.06.14

审查员 张敬文

(73) 专利权人 扬州扬杰电子科技股份有限公司

地址 225008 江苏省扬州市邗江区平山堂

北路江阳创业园三期

(72) 发明人 代书雨 马倩倩 周理明 王毅

(74) 专利代理机构 扬州市苏为知识产权代理事

务所(普通合伙) 32283

专利代理师 郭翔

(51) Int. Cl.

H01L 21/82 (2006.01)

H01L 21/28 (2006.01)

权利要求书1页 说明书6页 附图4页

(54) 发明名称

提高器件功率密度的半桥整流芯片

(57) 摘要

提高器件功率密度的半桥整流芯片,涉及半导体技术领域。传统半桥器件需要将两个二极管芯片反向并联封装,封装工艺流程复杂,封装本体大,造成器件功率密度的降低和成本的增加,本案例中半桥整流芯片将两个反向并联的二极管集成在一个芯片上,第一阳极到第一阴极区域的二极管垂直导电,第二阳极到第二阴极区域的二极管水平导电,有效利用了芯片的面积,使用本案例中半桥整流芯片只需要封装一个芯片,封装工艺步骤和成本降低,使用本案例中半桥整流芯片可以减少一半的芯片使用量,器件功率密度是传统半桥器件的2倍。



1. 提高器件功率密度的半桥整流芯片,其特征在于,包括从下而上依次连接的第一阴极(10)、衬底(1)和隔离层(6);

所述衬底(1)中第一轻掺杂N区(12)内设有:

第一重掺杂P区(2),从所述衬底(1)的第一轻掺杂N区(12)顶面向下延伸;

第二轻掺杂N区(3),设有若干,分别从所述第一重掺杂P区(2)的顶面向下延伸;

第二重掺杂P区(4),设有若干,分别从所述第二轻掺杂N区(3)的顶面向下延伸;

第二重掺杂N区(5),设有若干,分别从所述第二轻掺杂N区(3)的顶面向下延伸,并与第一重掺杂P区(2)连接;

所述隔离层(6)中设有:

第一阳极(7),从所述隔离层(6)的顶面向下延伸,并与所述第一重掺杂P区(2)连接,形成欧姆接触;

第二阳极(8),从所述隔离层(6)的顶面向下延伸,并与所述第二重掺杂P区(4)连接,形成欧姆接触;

第二阴极(9),从所述隔离层(6)的顶面向下延伸,并与所述第二重掺杂N区(5)连接,形成欧姆接触,第一阳极(7)和第二阴极(9)互联。

2. 根据权利要求1所述的提高器件功率密度的半桥整流芯片,其特征在于,所述衬底(1)是N型衬底,包含自下而上的第一重掺杂N区(11)和第一轻掺杂N区(12),所述第一阴极(10)和第一重掺杂N区(11)连接,形成欧姆接触。

3. 根据权利要求2所述的提高器件功率密度的半桥整流芯片,其特征在于,所述第一轻掺杂N区(12)的掺杂浓度为 $1e^{13} \cdot \text{cm}^{-3}$ 到 $1e^{17} \cdot \text{cm}^{-3}$,所述第一重掺杂N区(11)的掺杂浓度为 $1e^{19} \cdot \text{cm}^{-3}$ 到 $1e^{21} \cdot \text{cm}^{-3}$ 。

提高器件功率密度的半桥整流芯片

技术领域

[0001] 本发明涉及半导体技术领域,尤其涉及提高器件功率密度的半桥整流芯片。

背景技术

[0002] 在电力电子器件技术领域,交流转直流一直是重要的应用领域,目前整流方式包括二极管整流、半桥整流和全桥整流。

[0003] 半桥整流作为一种常用的整流方式,需要使用整流半桥来实现,传统的整流半桥是将两个二极管芯片以反向并联的方式封装到一个器件中,封装工艺流程复杂,封装本体也大,造成器件功率密度的降低和成本的增加,随着功率半导体对功率密度和性价比的要求越来越高,提高整流半桥的功率密度越来越引起人们重视。

发明内容

[0004] 本发明针对以上问题,提供了一种有效提高整流半桥的功率密度的半桥整流芯片。

[0005] 本发明的技术方案是:

[0006] 提高器件功率密度的半桥整流芯片及其制备方法,包括以下步骤:

[0007] 步骤S100,在衬底上制备第一重掺杂P区;

[0008] 步骤S200,在第一重掺杂P区内制备若干第二轻掺杂N区;

[0009] 步骤S300,在第二轻掺杂N区内制备第二重掺杂P区;

[0010] 步骤S400,在第二轻掺杂N区内制备与第一重掺杂P区连接的第二重掺杂N区;

[0011] 步骤S500,在衬底上沉积隔离层,并在第一重掺杂P区、第二重掺杂P区和第二重掺杂N区处分别开窗;

[0012] 步骤S600,在开窗处制备相应的第一阳极、第二阳极和第二阴极;并在衬底底部制备第一阴极;

[0013] 步骤S700,整个器件制备完毕。

[0014] 具体的,步骤S100包括:

[0015] 步骤S110,通过光刻工艺,使用掩模将第一重掺杂P区外部区域保护;

[0016] 步骤S120,通过扩散或者离子注入工艺,形成第一重掺杂P区。

[0017] 具体的,步骤S200包括:

[0018] 步骤S210,通过光刻工艺,使用掩模将若干第二轻掺杂N区外部区域保护;

[0019] 步骤S220,通过扩散或者离子注入工艺,形成若干第二轻掺杂N区。

[0020] 具体的,步骤S300包括:

[0021] 步骤S310,通过光刻工艺,使用掩模将第二重掺杂P区外部区域保护;

[0022] 步骤S320,通过扩散或者离子注入工艺,形成第二重掺杂P区。

[0023] 具体的,步骤S400包括:

[0024] 步骤S410,通过光刻工艺,使用掩模将第二重掺杂N区外部区域保护;

- [0025] 步骤S420,通过扩散或者离子注入工艺,形成第二重掺杂N区。
- [0026] 具体的,步骤S500包括:
- [0027] 步骤S510,通过化学气相沉积制备隔离层;
- [0028] 步骤S520,通过光刻工艺,使用掩模将第一重掺杂P区、第二重掺杂P区、第二重掺杂N区外部区域保护,使用刻蚀工艺在第一重掺杂P区、第二重掺杂P区、第二重掺杂N区处开窗。
- [0029] 具体的,步骤S600包括:
- [0030] 步骤S610,通过剥离工艺或刻蚀工艺在第一重掺杂P区、第二重掺杂P区和第二重掺杂N区区域开窗处制备相应的第一阳极、第二阳极和第二阴极;
- [0031] 步骤S620,通过减薄工艺和背金工艺在衬底底部制备第一阴极。
- [0032] 提高器件功率密度的半桥整流芯片,包括从下而上依次连接的第一阴极、衬底和隔离层;
- [0033] 所述衬底中第一轻掺杂N区内设有:
- [0034] 第一重掺杂P区,从所述衬底的第一轻掺杂N区顶面向下延伸,底面高于所述第一轻掺杂N区底面;
- [0035] 第二轻掺杂N区,设有若干,分别从所述第一重掺杂P区的顶面向下延伸,底面高于所述第一重掺杂P区底面;
- [0036] 第二重掺杂P区,设有若干,分别从所述第二轻掺杂N区的顶面向下延伸,其底面高于所述第二轻掺杂N区底面;
- [0037] 第二重掺杂N区,设有若干,分别从所述第二轻掺杂N区的顶面向下延伸,并与第一重掺杂P区连接,其底面高于所述第二轻掺杂N区底面;
- [0038] 所述隔离层中设有:
- [0039] 第一阳极,从所述隔离层的顶面向下延伸,并与所述第一重掺杂P区连接,形成欧姆接触;
- [0040] 第二阳极,从所述隔离层的顶面向下延伸,并与所述第二重掺杂P区连接,形成欧姆接触;
- [0041] 第二阴极,从所述隔离层的顶面向下延伸,并与所述第二重掺杂N区连接,形成欧姆接触,第一阳极和第二阴极互联。
- [0042] 具体的,所述衬底是N型衬底,包含自下而上的第一重掺杂N区和第一轻掺杂N区,所述第一阴极和第一重掺杂N区连接,形成欧姆接触。
- [0043] 具体的,所述第一轻掺杂N区的掺杂浓度为 $1e^{13} \cdot \text{cm}^{-3}$ 到 $1e^{17} \cdot \text{cm}^{-3}$,所述第一重掺杂N区的掺杂浓度为 $1e^{19} \cdot \text{cm}^{-3}$ 到 $1e^{21} \cdot \text{cm}^{-3}$ 。
- [0044] 本发明有益效果:
- [0045] 传统半桥器件需要将两个二极管芯片反向并联封装,封装工艺流程复杂,封装本体大,造成器件功率密度的降低和成本的增加,本案中半桥整流芯片将两个反向并联的二极管集成在一个芯片上,第一阳极到第一阴极区域的二极管垂直导电,第二阳极到第二阴极区域的二极管水平导电,有效利用了芯片的面积,使用本案中半桥整流芯片只需要封装一个芯片,封装工艺步骤和成本降低,使用本案中半桥整流芯片可以减少一半的芯片使用量,器件功率密度是传统半桥器件的2倍。

附图说明

- [0046] 图1是本发明的工艺流程图；
- [0047] 图2是步骤S100中器件截面结构示意图；
- [0048] 图3是步骤S200中器件截面结构示意图；
- [0049] 图4是步骤S300中器件截面结构示意图；
- [0050] 图5是步骤S400中器件截面结构示意图；
- [0051] 图6是步骤S500中器件截面结构示意图；
- [0052] 图7是步骤S600中器件截面结构示意图；
- [0053] 图中1是衬底,2是第一重掺杂P区,3是第二轻掺杂N区,4是第二重掺杂P区,5是第二重掺杂N区,6是隔离层,7是第一阳极,8是第二阳极,9是第二阴极,10是第一阴极,11是第一重掺杂N区,12是第一轻掺杂N区。

具体实施方式

[0054] 下面详细描述本发明的实施例,所述实施例的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的,仅用于解释本发明,而不能理解为对本发明的限制。

[0055] 在本发明的描述中,需要理解的是,术语“上”、“下”、“左”、“右”、“竖直”、“水平”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。在本发明的描述中,除非另有说明,“多个”的含义是两个或两个以上。

[0056] 在本发明的描述中,需要说明的是,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0057] 下面参考图1-7描述本发明;

[0058] 提高器件功率密度的半桥整流芯片及其制备方法,包括以下步骤:

[0059] 步骤S100,在衬底1上制备第一重掺杂P区2;如图2所示;

[0060] 步骤S110,通过光刻工艺,使用掩模将第一重掺杂P区2外部区域保护;

[0061] 步骤S120,通过扩散或者离子注入工艺,形成第一重掺杂P区2。

[0062] 相应地,衬底1是N型衬底,由自下而上的第一重掺杂N区11和第一轻掺杂N区12组成,衬底厚度为110-2500um,第一重掺杂N区11厚度为100-2000um,第一轻掺杂N区12厚度为10-500um,第一重掺杂P区2位于第一轻掺杂N区12内部,上表面和衬底1上表面水平,下表面高于第一轻掺杂N区12下表面,结深设定为1-100um,宽度设定为100-10000um,所有轻掺杂区域的掺杂浓度为 $1e^{13} \cdot \text{cm}^{-3}$ 到 $1e^{17} \cdot \text{cm}^{-3}$,重掺杂区域的掺杂浓度为 $1e^{19} \cdot \text{cm}^{-3}$ 到 $1e^{21} \cdot \text{cm}^{-3}$,N型掺杂的元素是磷或者砷,P型掺杂的元素是硼,相关参数设定和器件电性设计相关;

[0063] 本实施例,衬底1的厚度为600um,第一重掺杂N区11的掺杂元素是磷,掺杂浓度是 $2e^{19} \cdot \text{cm}^{-3}$,厚度为500um,第一轻掺杂N区12的掺杂元素是磷,掺杂浓度是 $1e^{14} \cdot \text{cm}^{-3}$,厚度为

100um,第一重掺杂P区2的掺杂元素是硼,掺杂浓度是 $2e^{19} \cdot \text{cm}^{-3}$,结深为30um,宽度为550um,使用扩散工艺形成第一重掺杂P区2。

[0064] 步骤S200,在第一重掺杂P区2内制备若干第二轻掺杂N区3;如图3所示;

[0065] 步骤S210,通过光刻工艺,使用掩模将若干第二轻掺杂N区3外部区域保护;

[0066] 步骤S220,通过扩散或者离子注入工艺,形成若干第二轻掺杂N区3。

[0067] 相应地,第二轻掺杂N区3位于第一重掺杂P区2内部,上表面和衬底1上表面水平,下表面高于第一重掺杂P区2下表面,结深设定为1-90um,宽度设定为5-500um,若干第二轻掺杂N区3不连接,距离设定为1-100um,相关参数设定和器件电性设计相关;

[0068] 本实施例,第二轻掺杂N区3的掺杂元素是磷,掺杂浓度是 $1e^{14} \cdot \text{cm}^{-3}$,结深25um,宽度为230um,第一重掺杂P区2相互距离为30um,使用扩散工艺制备2个第二轻掺杂N区3。

[0069] 步骤S300,在第二轻掺杂N区3内制备第二重掺杂P区4;如图4所示;

[0070] 步骤S310,通过光刻工艺,使用掩模将第二重掺杂P区4外部区域保护;

[0071] 步骤S320,通过扩散或者离子注入工艺,形成第二重掺杂P区4。

[0072] 相应地,第二重掺杂P区4位于第二轻掺杂N区3内部,上表面和衬底1上表面水平,下表面高于第二轻掺杂N区3下表面,结深设定为1-80um,宽度设定为5-50um,相关参数设定和器件电性设计相关;

[0073] 本实施例,第二重掺杂P区4的掺杂元素是硼,掺杂浓度是 $2e^{19} \cdot \text{cm}^{-3}$,结深为5um,宽度为30um,使用扩散工艺制备第二重掺杂P区4。

[0074] 步骤S400,在第二轻掺杂N区3内制备与第一重掺杂P区2连接的第二重掺杂N区5;如图5所示;

[0075] 步骤S410,通过光刻工艺,使用掩模将第二重掺杂N区5外部区域保护;

[0076] 步骤S420,通过扩散或者离子注入工艺,形成第二重掺杂N区5。

[0077] 相应地,第二重掺杂N区5位于第二轻掺杂N区3内部,上表面和衬底1上表面水平,下表面高于第二轻掺杂N区3下表面,结深设定为1-80um,宽度设定为5-50um,第二重掺杂P区4、第二重掺杂N区5不连接,两者的距离设定为10-500um,第一重掺杂P区2、第二重掺杂N区5连接,相关参数设定和器件电性设计相关;

[0078] 本实施例,第二重掺杂N区5的掺杂元素是磷,掺杂浓度是 $2e^{19} \cdot \text{cm}^{-3}$,结深5um,宽度为30um,使用扩散工艺制备第二重掺杂N区5,第二重掺杂P区4、第二重掺杂N区5距离设定为70um,第一重掺杂P区2、第二重掺杂N区5连接。

[0079] 步骤S500,在衬底1上沉积隔离层6,并在第一重掺杂P区2、第二重掺杂P区4和第二重掺杂N区5处分别开窗;如图6所示;

[0080] 步骤S510,通过化学气相沉积制备隔离层6;

[0081] 步骤S520,通过光刻工艺,使用掩模将第一重掺杂P区2、第二重掺杂P区4、第二重掺杂N区5外部区域保护,使用刻蚀工艺在第一重掺杂P区2、第二重掺杂P区4、第二重掺杂N区5处开窗。

[0082] 相应地,隔离层6起保护作用,材质为 SiO_2 或者 Si_3N_4 ,厚度设定为10-5000nm,使用ICP干法刻蚀进行开窗,相关参数设定和器件电性设计相关;

[0083] 本实施例,使用 Si_3N_4 作为隔离层6,厚度设定为200nm,使用 CF_4 进行ICP干法刻蚀,刻蚀速率为10nm/min以保证刻蚀的精确度,刻蚀时间设定为21min,确保开窗成功。

[0084] 步骤S600,在开窗处制备相应的第一阳极7、第二阳极8和第二阴极9;并在衬底1底部制备第一阴极10;如图7所示;

[0085] 步骤S610,通过剥离工艺或刻蚀工艺在第一重掺杂P区2、第二重掺杂P区4和第二重掺杂N区5区域开窗处制备相应的第一阳极7、第二阳极8和第二阴极9;

[0086] 步骤S620,通过减薄工艺和背金工艺在衬底1底部制备第一阴极10。

[0087] 相应地,第一阳极7、第二阳极8、第二阴极9和下方第一重掺杂P区2、第二重掺杂P区4、第二重掺杂N区5接触并形成欧姆接触,第一阳极7和第二阴极9互联,第一阴极10和上方第一重掺杂N区11相连并形成欧姆接触;

[0088] 本案使用金属剥离工艺制备第一阳极7、第二阳极8、第二阴极9,使用Al/Ti/Ni/Ag四层金属作为欧姆接触金属,第一阳极7和第二阴极9形成金属互联,使用减薄工艺将600um衬底减薄至180um,使用背金工艺沉积Al/Ti/Ni/Ag四层金属作为第一阴极10的欧姆接触金属。

[0089] 步骤S700,整个器件制备完毕。

[0090] 提高器件功率密度的半桥整流芯片,包括从下而上依次连接的第一阴极10、衬底1和隔离层6;

[0091] 所述衬底1中第一轻掺杂N区12内设有:

[0092] 第一重掺杂P区2,从所述衬底1的第一轻掺杂N区12顶面向下延伸;底面高于第一轻掺杂N区12的底面;

[0093] 第二轻掺杂N区3,设有若干,分别从所述第一重掺杂P区2的顶面向下延伸;底面高于第一重掺杂P区2的底面;若干所述第二轻掺杂N区3不互联;

[0094] 第二重掺杂P区4,设有若干,分别从所述第二轻掺杂N区3的顶面向下延伸,底面高于第二轻掺杂N区3的底面;

[0095] 第二重掺杂N区5,设有若干,分别从所述第二轻掺杂N区3的顶面向下延伸,并与第一重掺杂P区2连接,底面高于第二轻掺杂N区3的底面;所述第二重掺杂P区4与第二重掺杂N区5间隔;

[0096] 所述隔离层6中设有:

[0097] 第一阳极7,从所述隔离层6的顶面向下延伸,并与所述第一重掺杂P区2连接,形成欧姆接触;

[0098] 第二阳极8,从所述隔离层6的顶面向下延伸,并与所述第二重掺杂P区4连接,形成欧姆接触;

[0099] 第二阴极9,从所述隔离层6的顶面向下延伸,并与所述第二重掺杂N区5连接,形成欧姆接触,第一阳极7和第二阴极9互联;

[0100] 进一步限定,所述衬底是N型衬底,包含自下而上的第一重掺杂N区11和第一轻掺杂N区12,第一阴极10和第一重掺杂N区11接触,形成欧姆接触。

[0101] 进一步限定,所述第一轻掺杂N区12的掺杂浓度为 $1e^{13} \cdot cm^{-3}$ 到 $1e^{17} \cdot cm^{-3}$,所述第一重掺杂N区11的掺杂浓度为 $1e^{19} \cdot cm^{-3}$ 到 $1e^{21} \cdot cm^{-3}$,N型掺杂的元素是磷或者砷,P型掺杂的元素是硼。

[0102] 本发明具有以下优点:

[0103] 传统半桥器件需要将两个二极管芯片反向并联封装,封装工艺流程复杂,封装本

体大,造成器件功率密度的降低和成本的增加,本案中半桥整流芯片将两个反向并联的二极管集成在一个芯片上,第一阳极7和第二阴极9互联,接入外界交流电源的一端,第二阳极8和第一阴极10通过封装框架和跳线互联,接入电源的另一端,通电时当第一阳极7和第二阴极9接正电压,电流从第一阳极7通过第一重掺杂P区2、第一轻掺杂N区12、第一重掺杂N区11流入第一阴极10,第二阴极9和第二阳极8由第二轻掺杂N区3和第二重掺杂P区4组成的NP结反向截止;当通电时第二阳极8和第一阴极10接正电压,电流从第二阳极8通过第二重掺杂P区4、第二轻掺杂N区3、第二重掺杂N区5流入第二阴极9,第一阴极10和第一阳极7由第一轻掺杂N区12和第一重掺杂P区2组成的NP结反向截止。

[0104] 使用本案中半桥整流芯片只需要将一个芯片进行封装,封装工艺步骤和成本降低,使用本案中半桥整流芯片可以减少一半的芯片使用量,器件功率密度是传统半桥器件的2倍。

[0105] 对于本案所公开的内容,还有以下几点需要说明:

[0106] 1、本案所公开的实施例附图只涉及到与本案所公开实施例所涉及到的结构,其他结构可参考通常设计;

[0107] 2、在不冲突的情况下,本案所公开的实施例及实施例中的特征可以相互组合以得到新的实施例;

[0108] 以上,仅为本案所公开的具体实施方式,但本公开的保护范围并不局限于此,本案所公开的保护范围应以权利要求的保护范围为准。



图 1

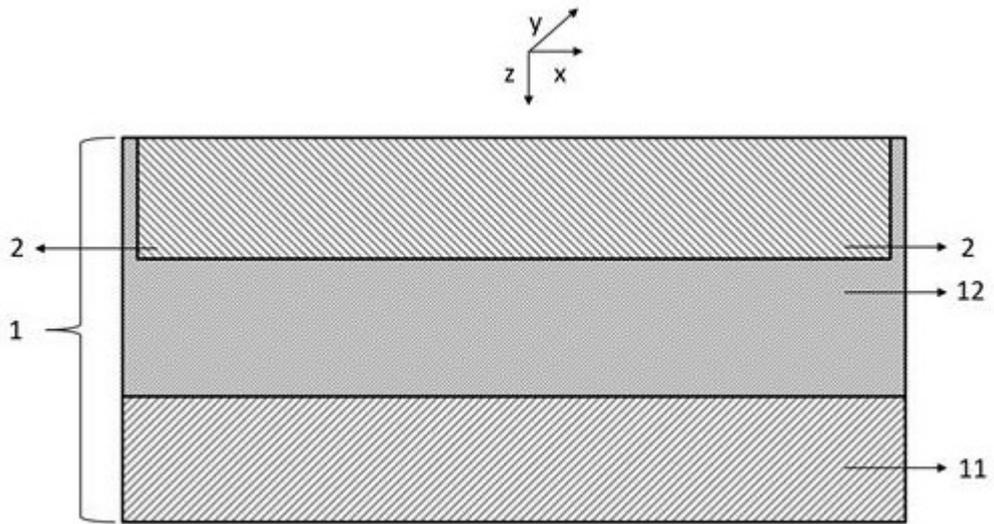


图 2

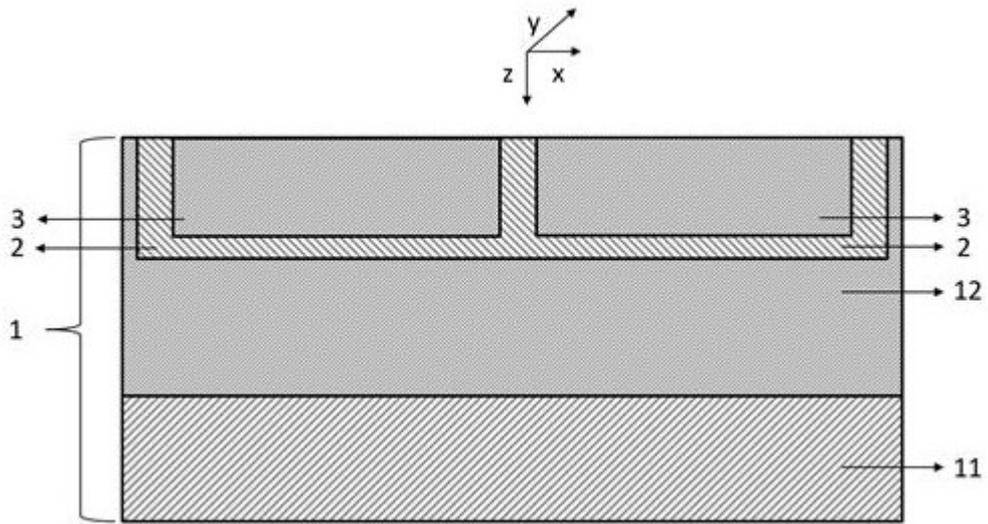


图 3

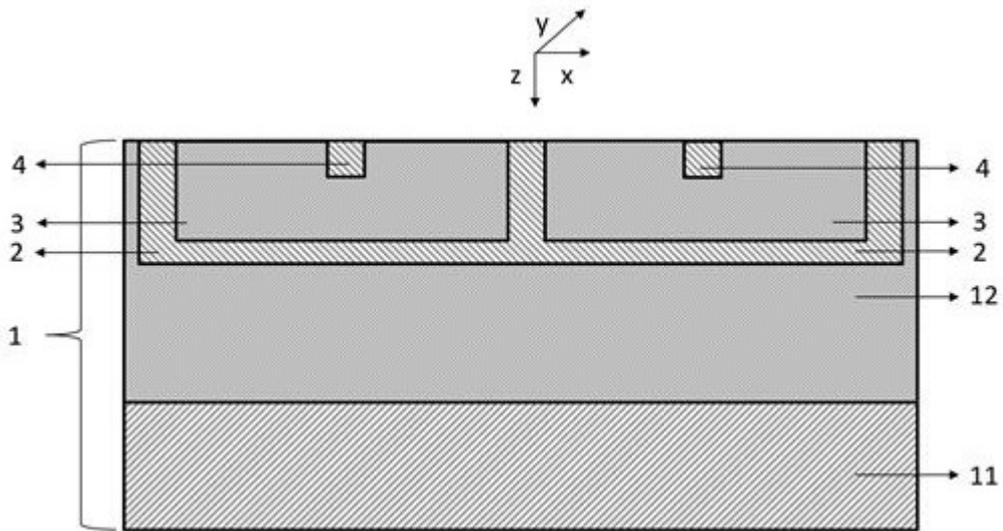


图 4

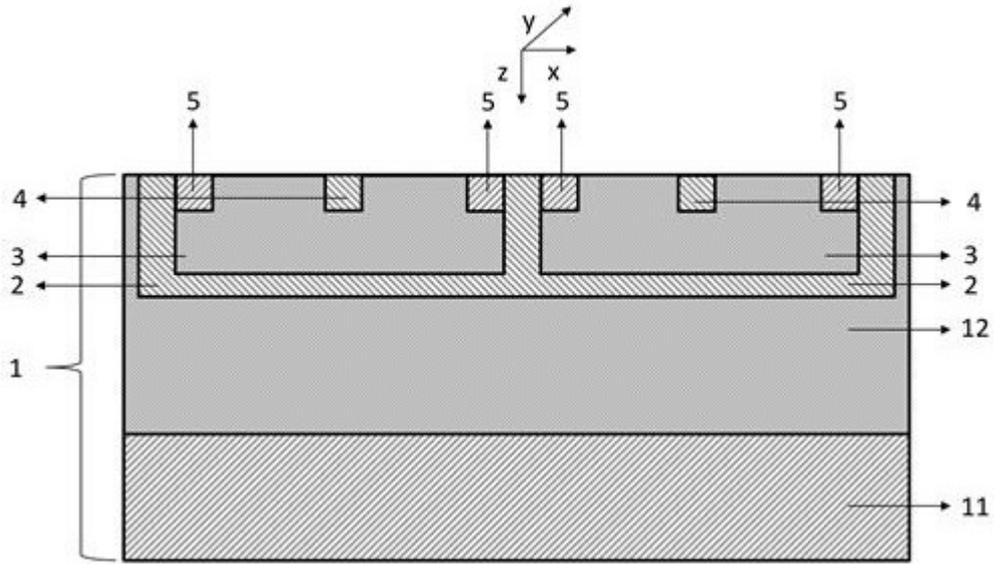


图 5

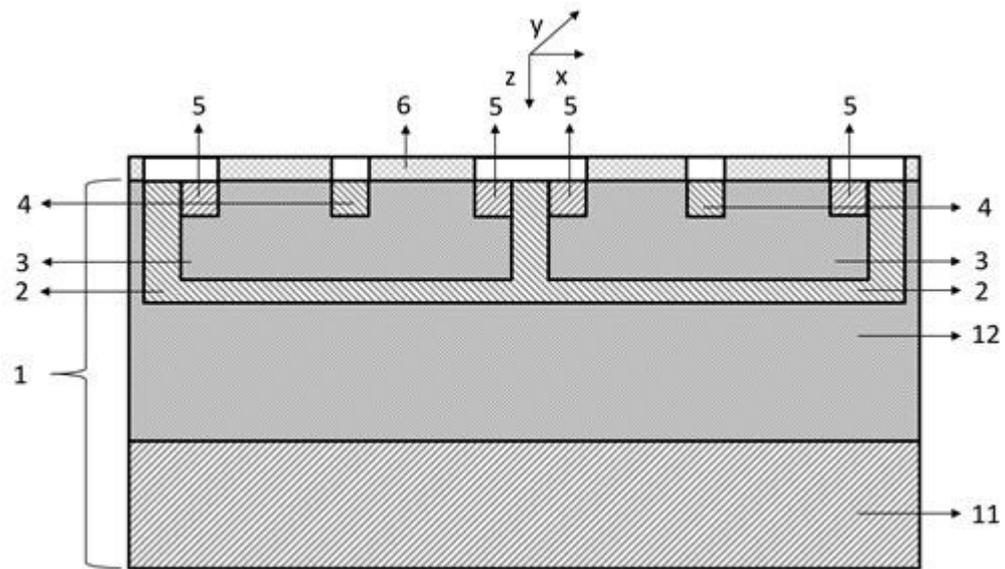


图 6

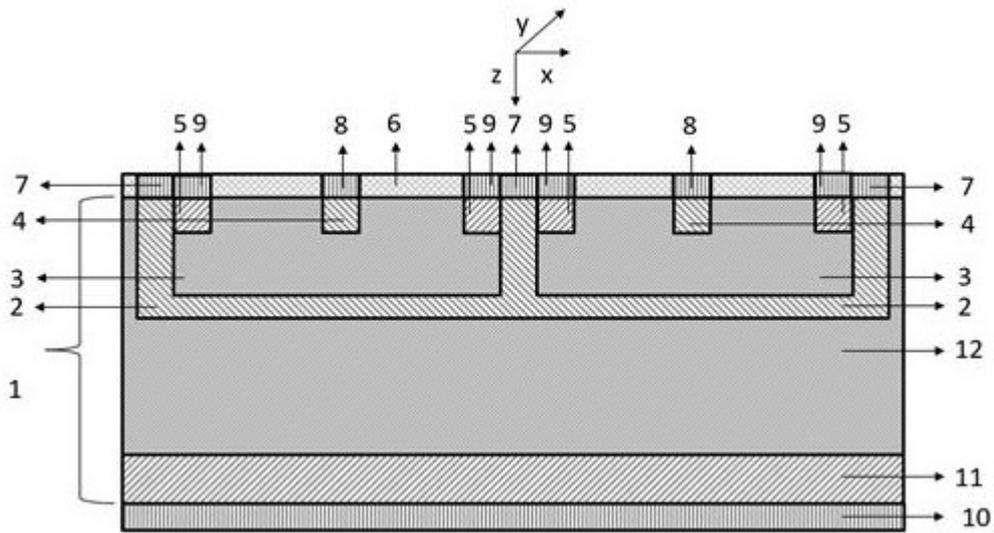


图 7