



(21) 申请号 202110616464.5

(22) 申请日 2021.06.02

(65) 同一申请的已公布的文献号
申请公布号 CN 113363254 A

(43) 申请公布日 2021.09.07

(73) 专利权人 厦门市三安集成电路有限公司
地址 361100 福建省厦门市同安区洪塘镇
民安大道753-799号

(72) 发明人 王浩 林科闯 魏鸿基 何先良

(74) 专利代理机构 北京超成律师事务所 11646
专利代理师 王雪

(51) Int. Cl.
H01L 27/07 (2006.01)
H01L 21/8252 (2006.01)
H01L 21/76 (2006.01)

(56) 对比文件

CN 105070681 A, 2015.11.18

审查员 姚丹群

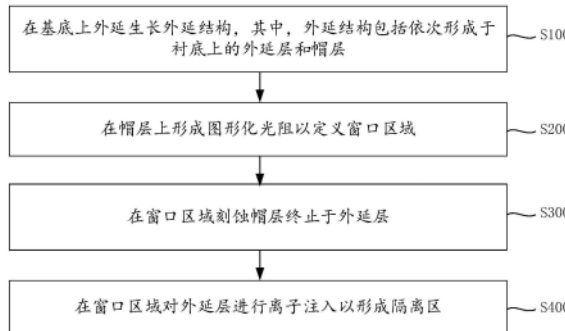
权利要求书3页 说明书7页 附图4页

(54) 发明名称

一种半导体器件及其制备方法

(57) 摘要

本申请提供一种半导体器件及其制备方法,涉及半导体技术领域,方法包括:在衬底上通过外延生长形成外延结构,外延结构包括外延层和帽层,通过涂覆光阻、经曝光、显影形成图形化光阻定义出窗口区域,然后对窗口区域内露出的帽层进行刻蚀,使得帽层下方的外延层在窗口区域露出,然后对窗口区域露出的外延层进行离子注入形成隔离区,如此,使得帽层在窗口区域的位置形成物理隔断,避免在对帽层离子注入制作隔离区后依然会因为帽层为重掺杂结构从而增加主动器件经隔离区与其它区域的漏电流的问题,同时,还能够利用隔离区对主动器件起到进一步的绝缘隔离作用,有效限制主动器件与其它区域的漏电流。



1. 一种半导体器件制备方法,其特征在于,所述方法包括:

在基底上外延生长外延结构,其中,所述外延结构包括依次形成于所述基底上的外延层和帽层;

将生长有所述外延结构的基底浸泡于碱液中清洗15S,碱液为 NH_4OH ,配比为1:50;

在所述帽层上形成图形化光阻以定义窗口区域;

在所述窗口区域刻蚀所述帽层终止于所述外延层;

在所述窗口区域对所述外延层进行离子注入以形成隔离区;

所述帽层为GaAs帽层,所述光阻的厚度为 $2.3\mu\text{m}$ 至 $2.7\mu\text{m}$,所述外延层包括依次形成的缓冲层、沟道层和势垒层,在注入能量为190KeV至250KeV和注入剂量为 $4\text{E}11\text{ion}/\text{cm}^2$ 至 $1\text{E}12\text{ion}/\text{cm}^2$ 的条件下,采用氩离子在所述窗口区域由所述势垒层表面向所述基底方向进行离子注入以在所述势垒层、所述沟道层和所述缓冲层上形成隔离区,所述隔离区的深度为 $0.55\mu\text{m}$ 至 $0.65\mu\text{m}$;

所述帽层包括依次形成的第二n型掺杂层和第一n型掺杂层,所述第一n型掺杂层的掺杂浓度大于所述第二n型掺杂层的掺杂浓度;

所述第二n型掺杂层的掺杂浓度为 $5\text{E}17\text{atom}/\text{cm}^3$ 至 $2\text{E}18\text{atom}/\text{cm}^3$,所述第一n型掺杂层的掺杂浓度为 $3\text{E}18\text{atom}/\text{cm}^3$ 至 $6\text{E}18\text{atom}/\text{cm}^3$ 。

2. 如权利要求1所述的半导体器件制备方法,其特征在于,所述在所述帽层上形成图形化光阻以定义窗口区域包括:

在所述帽层上涂覆光阻;

对所述光阻曝光、显影以定义出窗口区域后,烘烤形成图形化光阻。

3. 如权利要求1所述的半导体器件制备方法,其特征在于,所述帽层包括依次形成的第二n型掺杂层和第一n型掺杂层,所述在所述窗口区域刻蚀所述帽层终止于所述外延层包括:

采用柠檬酸或者琥珀酸在所述窗口区域依次刻蚀所述第一n型掺杂层和所述第二n型掺杂层,且终止于所述势垒层。

4. 如权利要求1至3任一项所述的半导体器件制备方法,其特征在于,在所述窗口区域对所述外延层进行离子注入以形成隔离区之后,所述方法还包括:

在所述帽层上形成间隔设置的源极和漏极;

刻蚀所述帽层以在所述源极和所述漏极之间露出所述外延层;

在所述源极和所述漏极之间露出的所述外延层上形成栅极,以形成第一主动器件。

5. 如权利要求4所述的半导体器件制备方法,其特征在于,所述在所述源极和所述漏极之间露出的所述外延层上形成栅极,以形成第一主动器件之后,所述方法还包括:

在所述隔离区上形成被动器件。

6. 一种半导体器件,其特征在于,采用如权利要求1至5任一项所述的半导体器件制备方法制备。

7. 一种半导体器件制备方法,其特征在于,所述方法包括:在基底上外延生长外延结构,其中,所述外延结构包括依次形成于所述基底上的外延层和帽层;将生长有所述外延结构的基底浸泡于碱液中清洗15S,碱液为 NH_4OH ,配比为1:50;在所述帽层上形成图形化光阻以定义窗口区域;在所述窗口区域刻蚀所述帽层终止于所述外延层;在所述窗口区域对所

述外延层进行离子注入以形成隔离区；

在所述窗口区域对所述外延层进行离子注入以形成隔离区之后，所述方法还包括：在所述帽层上形成间隔设置的源极和漏极；刻蚀所述帽层以在所述源极和所述漏极之间露出所述外延层；在所述源极和所述漏极之间露出的所述外延层上形成栅极，以形成第一主动器件；

所述在所述源极和所述漏极之间露出的所述外延层上形成栅极，以形成第一主动器件之后，所述方法还包括：刻蚀所述帽层以露出所述外延层；在所述外延层上形成外延电阻器，其中，所述外延电阻器通过所述隔离区与所述第一主动器件隔离；

所述帽层包括依次形成的第二n型掺杂层和第一n型掺杂层，所述第一n型掺杂层的掺杂浓度大于所述第二n型掺杂层的掺杂浓度；

所述帽层为GaAs帽层，所述光阻的厚度为 $2.3\mu\text{m}$ 至 $2.7\mu\text{m}$ ，所述外延层包括依次形成的缓冲层、沟道层和势垒层，在注入能量为 190KeV 至 250KeV 和注入剂量为 $4\text{E}11\text{ion}/\text{cm}^2$ 至 $1\text{E}12\text{ion}/\text{cm}^2$ 的条件下，采用氩离子在所述窗口区域由所述势垒层表面向所述基底方向进行离子注入以在所述势垒层、所述沟道层和所述缓冲层上形成隔离区，所述隔离区的深度为 $0.55\mu\text{m}$ 至 $0.65\mu\text{m}$ ；

所述第二n型掺杂层的掺杂浓度为 $5\text{E}17\text{atom}/\text{cm}^3$ 至 $2\text{E}18\text{atom}/\text{cm}^3$ ，所述第一n型掺杂层的掺杂浓度为 $3\text{E}18\text{atom}/\text{cm}^3$ 至 $6\text{E}18\text{atom}/\text{cm}^3$ 。

8. 一种半导体器件，其特征在于，采用如权利要求7所述的半导体器件制备方法制备。

9. 一种半导体器件制备方法，其特征在于，所述方法包括：在基底上外延生长外延结构，其中，所述外延结构包括依次形成于所述基底上的外延层和帽层；将生长有所述外延结构的基底浸泡于碱液中清洗15S，碱液为 NH_4OH ，配比为1:50；在所述帽层上形成图形化光阻以定义窗口区域；在所述窗口区域刻蚀所述帽层终止于所述外延层；在所述窗口区域对所述外延层进行离子注入以形成隔离区；

在所述窗口区域对所述外延层进行离子注入以形成隔离区之后，所述方法还包括：在所述帽层上形成间隔设置的源极和漏极；刻蚀所述帽层以在所述源极和所述漏极之间露出所述外延层；在所述源极和所述漏极之间露出的所述外延层上形成栅极，以形成第一主动器件；

所述在所述源极和所述漏极之间露出的所述外延层上形成栅极，以形成第一主动器件之后，所述方法还包括：在所述帽层上形成外延电阻器，其中，所述第一主动器件通过所述隔离区与所述外延电阻器隔离；

所述帽层包括依次形成的第二n型掺杂层和第一n型掺杂层，所述第一n型掺杂层的掺杂浓度大于所述第二n型掺杂层的掺杂浓度；

所述帽层为GaAs帽层，所述光阻的厚度为 $2.3\mu\text{m}$ 至 $2.7\mu\text{m}$ ，所述外延层包括依次形成的缓冲层、沟道层和势垒层，在注入能量为 190KeV 至 250KeV 和注入剂量为 $4\text{E}11\text{ion}/\text{cm}^2$ 至 $1\text{E}12\text{ion}/\text{cm}^2$ 的条件下，采用氩离子在所述窗口区域由所述势垒层表面向所述基底方向进行离子注入以在所述势垒层、所述沟道层和所述缓冲层上形成隔离区，所述隔离区的深度为 $0.55\mu\text{m}$ 至 $0.65\mu\text{m}$ ；

所述第二n型掺杂层的掺杂浓度为 $5\text{E}17\text{atom}/\text{cm}^3$ 至 $2\text{E}18\text{atom}/\text{cm}^3$ ，所述第一n型掺杂层的掺杂浓度为 $3\text{E}18\text{atom}/\text{cm}^3$ 至 $6\text{E}18\text{atom}/\text{cm}^3$ 。

10. 一种半导体器件,其特征在于,采用如权利要求9所述的半导体器件制备方法制备。

一种半导体器件及其制备方法

技术领域

[0001] 本申请涉及半导体技术领域,具体而言,涉及一种半导体器件及其制备方法。

背景技术

[0002] 第二代半导体材料作为当前研究热点,具有较好的应用前景,利用其制成的半导体器件也具有较好的性能。在半导体器件的应用中,为了提高器件性能,会制作隔离区来抑制器件中所产生的漏电流。

[0003] 现有半导体器件为了起到表面保护和欧姆接触的目的,通常会形成有一层重掺杂的帽层,在抑制漏电流时,会在帽层上制作隔离区,但是由于帽层原本属于重掺杂结构,在使用中器件依然可以经隔离区产生漏电流,导致器件漏电流较大的问题。

发明内容

[0004] 本申请的目的在于,针对上述现有技术中的不足,提供一种半导体器件及其制备方法,以改善现有半导体器件在使用中漏电流较大的问题。

[0005] 为实现上述目的,本申请实施例采用的技术方案如下:

[0006] 本申请实施例的一方面,提供一种半导体器件制备方法,方法包括:在基底上外延生长外延结构,其中,外延结构包括依次形成于基底上的外延层和帽层;在帽层上形成图形化光阻以定义窗口区域;在窗口区域刻蚀帽层终止于外延层;在窗口区域对外延层进行离子注入以形成隔离区。

[0007] 可选的,在帽层上形成图形化光阻以定义窗口区域包括:在帽层上涂覆光阻,其中,光阻的厚度为 $2.3\mu\text{m}$ 至 $2.7\mu\text{m}$;对光阻曝光、显影以定义出窗口区域后,烘烤形成图形化光阻。

[0008] 可选的,外延层包括依次形成的缓冲层、沟道层和势垒层,帽层包括第一n型掺杂层;或,外延层包括依次形成的缓冲层、沟道层和势垒层,帽层包括依次形成的第二n型掺杂层和第一n型掺杂层,所述第一n型掺杂层的掺杂浓度大于所述第二n型掺杂层的掺杂浓度。

[0009] 可选的,帽层包括依次形成的第二n型掺杂层和第一n型掺杂层,在窗口区域刻蚀帽层终止于外延层包括:采用柠檬酸或琥珀酸在窗口区域依次刻蚀第一n型掺杂层和第二n型掺杂层,且终止于势垒层。

[0010] 可选的,在窗口区域对外延层进行离子注入以形成隔离区包括:在注入能量为 190KeV 至 250KeV 和注入剂量为 $4\text{E}11\text{ion}/\text{cm}^2$ 至 $1\text{E}12\text{ion}/\text{cm}^2$ 的条件下,采用氩离子在窗口区域由势垒层表面向基底方向进行离子注入以在势垒层、沟道层和缓冲层上形成隔离区,隔离区的深度为 $0.55\mu\text{m}$ 至 $0.65\mu\text{m}$ 。

[0011] 可选的,在窗口区域对外延层进行离子注入以形成隔离区之后,方法还包括:在帽层上形成间隔设置的源极和漏极;刻蚀帽层以在源极和漏极之间露出外延层;在源极和漏极之间露出的外延层上形成栅极,以形成第一主动器件。

[0012] 可选的,在源极和漏极之间露出的外延层上形成栅极,以形成第一主动器件之后,

方法还包括:在帽层上形成第二主动器件,其中,第一主动器件通过隔离区与第二主动器件隔离。

[0013] 可选的,在源极和漏极之间露出的外延层上形成栅极,以形成第一主动器件之后,方法还包括:刻蚀帽层以露出外延层;在外延层上形成外延电阻器,其中,外延电阻器通过隔离区与第一主动器件隔离。

[0014] 可选的,在源极和漏极之间露出的外延层上形成栅极,以形成第一主动器件之后,方法还包括:在隔离区上形成被动器件。

[0015] 本发明实施例的另一方面,提供一种半导体器件,采用上述任一种的半导体器件制备方法制备。

[0016] 本申请的有益效果包括:

[0017] 本申请提供了一种半导体器件及其制备方法,该方法包括:在衬底上通过外延生长形成外延结构,外延结构包括外延层和帽层,通过涂覆光阻、经曝光、显影形成图形化光阻定义出窗口区域,然后对窗口区域内露出的帽层进行刻蚀,使得帽层下方的外延层在窗口区域露出,然后对窗口区域露出的外延层进行离子注入形成隔离区,如此,使得帽层在窗口区域的位置形成物理隔断,避免在对帽层离子注入制作隔离区后依然会因为帽层为重掺杂结构从而增加主动器件经隔离区与其它区域的漏电流的问题,同时,还能够利用隔离区对主动器件起到进一步的绝缘隔离作用,有效限制主动器件与其它区域的漏电流。

附图说明

[0018] 为了更清楚地说明本申请实施例的技术方案,下面将对实施例中所需要使用的附图作简单地介绍,应当理解,以下附图仅示出了本申请的某些实施例,因此不应被看作是对范围的限定,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他相关的附图。

[0019] 图1为本申请实施例提供的一种半导体器件制备方法的流程示意图;

[0020] 图2为本申请实施例提供的一种半导体器件的状态示意图之一;

[0021] 图3为本发明实施例提供的一种半导体器件的状态示意图之二;

[0022] 图4为本发明实施例提供的一种半导体器件的状态示意图之三;

[0023] 图5为本发明实施例提供的一种半导体器件的结构示意图之一;

[0024] 图6为本发明实施例提供的一种半导体器件的结构示意图之二;

[0025] 图7为本发明实施例提供的一种半导体器件的结构示意图之三;

[0026] 图8为本发明实施例提供的一种半导体器件的结构示意图之四;

[0027] 图9为本发明实施例提供的一种半导体器件的结构示意图之五。

[0028] 图标:10-基底;20-外延层;21-缓冲层;22-沟道层;23-势垒层;24-隔离区;30-帽层;31-第二n型掺杂层;32-第一n型掺杂层;40-图形化光阻;51-源极;52-漏极;53-栅极;60-第二主动器件;70-外延电阻器;80-被动器件。

具体实施方式

[0029] 为使本申请实施例的目的、技术方案和优点更加清楚,下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是

本申请一部分实施例,而不是全部的实施例。通常在此处附图中描述和示出的本申请实施例的组件可以以各种不同的配置来布置和设计。

[0030] 因此,以下对在附图中提供的本申请的实施例的详细描述并非旨在限制要求保护的本申请的范围,而是仅仅表示本申请的选定实施例。需要说明的是,在不冲突的情况下,本申请的实施例中的各个特征可以相互结合,结合后的实施例依然在本申请的保护范围内。

[0031] 现有半导体器件为了起到表面保护和欧姆接触的目的,通常会形成一层重掺杂的帽层,主动器件通常也会制作在帽层上。为了对主动器件进行隔离,以达到抑制主动器件的漏电流的目的,通常会在主动器件周边的帽层上制作隔离区,但是由于帽层本身属于重掺杂结构,因此,即便隔离区能够起到降低主动器件的漏电流,但是在使用中主动器件依然可能会经隔离区与其它区域产生漏电流,导致主动器件依然存在漏电流较大的问题。本申请通过提供一种半导体器件及其制备方法,从而使得主动器件在帽层上形成物理隔断,继而在使用中有效降低主动器件的漏电流。

[0032] 本发明实施例的一方面,提供一种半导体器件制备方法,以下将参照图1对该制备方法进行示意性说明:

[0033] S100:在基底上外延生长外延结构,其中,外延结构包括依次形成于基底上的外延层和帽层。

[0034] 如图2所示,提供一基底10,该基底10可以是本领域技术人员熟知的用以承载半导体集成电路组成元件的基材,例如碳化硅、锗、锗硅、砷化镓等。在该基底10上制作半导体器件的外延结构,即在基底10上通过外延生长形成至少一层外延层20和帽层30,其中,外延层20形成于基底10的表面之上,帽层30形成于外延层20的表面之上。外延生长外延层20和帽层30的方式可以通过化学气相沉积(CVD)、物理气相沉积(PVD)或原子层沉积(ALD)等工艺进行,本申请对其不做限定,具体可以根据实际需求进行合理选择。

[0035] S200:在帽层上形成图形化光阻以定义窗口区域。

[0036] 如图2所示,通过S010在基底10上形成外延层20和帽层30后,在帽层30的表面涂覆光阻,通过曝光、显影等工艺形成图形化光阻40,图形化光阻40具有窗口区域,即在窗口区域内露出位于图形化光阻40下方的部分帽层30。本申请对窗口区域的数量、形状均不做限制,例如图2中图形化光阻40具有一个环形窗口区域,当然在其它实施例中,也可以是具有二个、三个等,形状可以是方环,也可以是长条形等等。

[0037] S300:在窗口区域刻蚀帽层终止于外延层。

[0038] 如图2所示,在光阻上形成有窗口区域后,帽层30位于窗口区域内的部分露出,帽层30位于窗口区域周围的部分则被图形化光阻40所遮盖,接着对该器件结构进行刻蚀,如图3所示,在刻蚀过程中,被图形化光阻40所遮盖的帽层30不会受到影响,而位于窗口区域内的帽层30则会被逐渐刻蚀,通过利用帽层30下方的外延层20作为阻挡层,使得刻蚀终止于外延层20,以此去除窗口区域内的帽层30,使得窗口区域周围被光阻遮盖的帽层30在窗口区域形成物理隔断,同时,也使得位于帽层30下方的外延层20在窗口区域内露出,便于后续在外延层20上进行的离子注入。在本实施例中,对于刻蚀的方式不做限制,例如可以是光刻,可以是干法刻蚀,还可以是湿法刻蚀等。

[0039] 通过将窗口区域内的帽层30去除,从而使得帽层30在窗口区域处形成物理隔断,

以此阻断后续在帽层30上制作的主动器件后会经重掺杂的帽层30与其它区域形成漏电流的通道,从而降低主动器件与其它区域形成的漏电流,避免在对帽层30进行绝缘离子注入后依然会因为帽层30为重掺杂结构导致主动器件可能会经帽层30上的隔离区24和其它区域发生漏电流增加的现象。

[0040] S400:在窗口区域对外延层进行离子注入以形成隔离区。

[0041] 如图3所示,通过S030对窗口区域内的帽层30通过刻蚀的方式去除后会在窗口区域内露出下方的外延层20,然后对该器件结构进行绝缘离子注入,如图4所示,在离子注入过程中,被图形化光阻40遮盖的帽层30不会受到影响,而位于窗口区域内的外延层20则会由外延层20的表面朝向基底10的方向形成隔离区24,即绝缘区,也即无源区(同时,也形成有源区,有源区和无源区相邻),其中,隔离区24可以是沿垂直基底10的方向贯穿外延层20,即延伸至基底10,也可以是如图4所示的沿垂直基底10方向未贯穿外延层20,即未延伸至基底10。对窗口区域内的外延层20进行离子注入形成隔离区24后,便可以通过隔离区24对隔离区24两侧的有源区起到进一步的绝缘隔离作用,进而在后续工艺中在有源区上制作形成主动器件后,能够对主动器件进行绝缘隔离,在使用中有效限制主动器件与其它区域(其它有源区)的漏电流。

[0042] 在进行离子注入时,可以通过控制离子注入的参数,例如注入能量、注入时间、注入浓度等实现对隔离区24的深度进行控制。

[0043] 上述通过离子注入制作隔离区24的目的在于使得特定区域具有隔离的特性,例如通过绝缘离子的注入使得位于窗口区域内外延层20形成绝缘体。

[0044] 可选的,通过S200在帽层30上形成图形化光阻40以定义窗口区域,参照图2,步骤包括:先在帽层30上涂覆光阻,涂覆的方式可以是旋转涂布,以此使得光阻表面较为平整。涂布的光阻型号可以是SPR518,光阻的厚度可以是 $2.3\mu\text{m}$ 至 $2.7\mu\text{m}$,例如 $2.3\mu\text{m}$ 、 $2.5\mu\text{m}$ 、 $2.7\mu\text{m}$ 等,需要说明的是光阻的厚度会影响后续在外延层20进行离子注入的区域宽度范围,离子会延伸到主动器件区域,从而影响有效的主动器件区域。在光阻涂布完成后,对光阻曝光从而使得被曝光的位置形成光酸,然后通过碱性显影液和光酸反应将其去除,由此使得光阻具有图案,即在对应位置形成窗口区域,帽层30在窗口区域露出,接着对具有图案的光阻进行烘烤,以使光阻硬化,从而形成图形化光阻40,利用硬化的图形化光阻40增强光阻的粘附性,利于后续离子注入。

[0045] 在帽层30表面涂覆光阻之前,可以先对基底10上形成有外延结构的器件结构进行清洗,清洗的方式可以是将该器件浸泡于碱液中清洗15S,碱液可以是 NH_4OH ,其配比为1:50,如此,能够使得清洗后的帽层30表面与光阻的粘附性更好。

[0046] 可选的,如图2至图9所示,本申请中的外延层20可以包括缓冲层21、沟道层22和势垒层23,帽层30可以仅包括第一n型掺杂层32,帽层30也可以包括第二n型掺杂层31和第一n型掺杂层32,其中,当帽层30包括第二n型掺杂层31和第一n型掺杂层32时,可以通过外延生长先在基底10表面形成缓冲层21,接着在缓冲层21上外延生长沟道层22,在沟道层22上外延生长势垒层23,然后在势垒层23上外延生长第二n型掺杂层31,在第二n型掺杂层31上外延生长第一n型掺杂层32,第一n型掺杂层32的掺杂浓度可以大于第二n型掺杂层31的掺杂浓度,例如:第二n型掺杂层31的掺杂浓度为 $5\text{E}17\text{atom}/\text{cm}^3$ 至 $2\text{E}18\text{atom}/\text{cm}^3$,第一n型掺杂层32的掺杂浓度为 $3\text{E}18\text{atom}/\text{cm}^3$ 至 $6\text{E}18\text{atom}/\text{cm}^3$,如此,能够维持较高的击穿电压,提高器

件性能;当帽层30仅包括第一n型掺杂层32时,可以在形成势垒层23后,直接在势垒层23上形成第一n型掺杂层32,此实施例中的第一n型掺杂层32的掺杂浓度可以参照上一实施例中的第一n型掺杂层32设置。

[0047] 本申请实施例中的沟道层22可以是AlGaAs层,势垒层23可以是InGaP层,第二n型掺杂层31可以是轻掺杂的第二n+GaAs层,第一n型掺杂层32可以是重掺杂的第一n+GaAs层。

[0048] AlGaAs层的厚度可以是75 Å至100 Å,例如:75 Å、80 Å、90 Å、100 Å等。

[0049] InGaP层的厚度可以是260 Å至360 Å,例如:260 Å、290 Å、310 Å、330 Å、350 Å、360 Å等。

[0050] 第二n+GaAs层的厚度可以是250 Å至350 Å,例如:250 Å、270 Å、290 Å、310 Å、330 Å、350 Å等。

[0051] 第一n+GaAs层的厚度可以是400 Å至500 Å,例如:400 Å、420 Å、440 Å、460 Å、480 Å、500 Å等。

[0052] 可选的,通过S300在窗口区域刻蚀帽层30终止于外延层20时,可以采用柠檬酸或者琥珀酸作为蚀刻液,刻蚀的方式可以是湿法刻蚀,刻蚀时,将整个器件结构浸泡于蚀刻液中,蚀刻时间可以是35S,在刻蚀的过程中,由于第一n型掺杂层32在窗口区域露出,因此,蚀刻液先对第一n型掺杂层32进行刻蚀,然后对第一n型掺杂层32下方的第二n型掺杂层31进行刻蚀,由于柠檬酸或者琥珀酸蚀刻液在刻蚀GaAs帽层30时,InGaP势垒层23对其具有较好的阻挡性,即柠檬酸或者琥珀酸蚀刻液在刻蚀GaAs材料帽层30至InGaP势垒层23时,具有较高的刻蚀选择比,如此,既能够对帽层30进行充分刻蚀并将其去除,同时,还能够避免对势垒层23过刻。

[0053] 本申请对于柠檬酸或者琥珀酸蚀刻液的蚀刻深度不做限制,例如可以是450 Å至650Å(450 Å、550 Å、650 Å等),只要可以较为彻底的去除帽层30并终止于外延层20,使得帽层30在窗口区域形成良好的物理隔断即可。

[0054] 可选的,通过S400在窗口区域对外延层20进行离子注入以形成隔离区24时,可以通过以下方式进行:在注入能量为190KeV至250KeV和注入剂量为 $4E11\text{ion}/\text{cm}^2$ 至 $1E12\text{ion}/\text{cm}^2$ 的条件下,向涂覆有图形化光阻40的器件注入 Ar^{2+} ,在离子注入过程中,被图形化光阻40所遮盖的帽层30不会受到影响,而位于窗口区域内的外延层20则会被注入 Ar^{2+} ,使得外延层20由表面朝向基底10的方向形成隔离区24,也即无源区(同时,也形成有源区,有源区和无源区相邻),由此,在外延层20包括缓冲层21、沟道层22和势垒层23时,在InGaP层、AlGaAs层和缓冲层21上形成隔离区24,其中,隔离区24的深度可以是 $0.55\mu\text{m}$ 至 $0.65\mu\text{m}$,例如 $0.55\mu\text{m}$ 、 $0.6093\mu\text{m}$ 、 $0.65\mu\text{m}$ 等,在隔离区24未延伸至基底10时,使得隔离区24贯穿InGaP层和AlGaAs层并至少延伸至缓冲层21的部分区域,以此能够降低有源区的漏电流,提高器件的性能。

[0055] 可选的,如图5所示,前述实施例在帽层30上形成物理隔断,在外延层20上形成隔离区24,由此,在外延结构上定义出无源区和有源区,其中,有源区被无源区隔离,还可以在有源区的帽层30上制作第一主动器件,例如场效应晶体管器件(PHEMT),在制作场效应晶体管器件时,先在有源区的帽层30上形成间隔设置的源极51和漏极52,使得源极51和漏极52分别与帽层30形成欧姆接触,需要说明的是,本领域技术人员应当熟知同一主动器件的源极51和漏极52应当位于无源区的同一侧,即在同一主动器件的源漏之间不应当具有无源区。对源极51和漏极52之间的帽层30进行刻蚀,从而在源极51和漏极52之间形成凹槽,凹槽

的底部为外延层20,即在源极51和漏极52之间露出外延层20,然后在凹槽内形成栅极53,使得栅极53与外延层20形成肖特基接触,如此形成第一主动器件。在制作场效应晶体管器件的源极51、漏极52和栅极53时,可以分别使用光阻涂布/曝光/显影完成黄光工艺;然后分别蒸镀源极51金属、漏极52金属和栅极53金属;接着分别进行光阻剥离后得到场效应晶体管的源极51、漏极52和栅极53。当然,第一主动器件还可以是增强型场效应晶体管(E-mode FET)、耗尽型场效应晶体管(D-mode FET)、外延电阻器(EPI resistor)等。

[0056] 通过S300在帽层30上形成物理隔断,S400在外延层20上形成隔离区24后,还可以在有源区上制作主动器件之前,将帽层30上的图形化光阻40剥离,剥离的方式可以通过NMP溶液去除。

[0057] 图形化光阻40的窗口区域的位置定义了后续刻蚀帽层30的位置,也定义了对外延层20进行离子注入的位置,也即定义了无源区的位置,根据需要制作的器件结构,可以是在外延结构的边缘处形成无源区和位于无源区内的有源区;还可以是在外延结构形成无源区后,在无源区的内部形成一个有源区(为便于描述后续称为第一有源区),同时,在无源区的外部形成另一个有源区(为便于描述后续称为第二有源区),例如图5所示。

[0058] 在第一实施例中:如图5所示,在外延结构上通过刻蚀、注入绝缘离子形成无源区,以及位于无源区内侧的第一有源区和位于无源区外侧的第二有源区,其中,第一有源区和第二有源区之间在外延层20上通过隔离区24绝缘隔离、在帽层30上通过物理隔断进行绝缘隔离,通过上述方法可以先在第一有源区内制作第一主动器件,例如制作PHEMT器件,然后在第二有源区的帽层30上制作第二主动器件60,如图6所示,第二主动器件60可以是增强型场效应晶体管(E-mode FET)或耗尽型场效应晶体管(D-mode FET),当然,如图7所示,第二主动器件还可以是外延电阻器(EPI resistor)等。此时,第一主动器件和第二主动器件60可以通过帽层30在无源区形成的物理隔断,从而降低两者之间的漏电流,同时,还可以通过外延层20在无源区形成的隔离区24进一步的限制第一主动器件和第二主动器件60之间的漏电流,有效提高整体器件的性能。

[0059] 在第二实施例中:与第一实施例的区别在于,在形成第一主动器件后,如图8所示,通过刻蚀的方法去除第二有源区的帽层30,从而将第二有源区的外延层20露出,此时,还可以在第二有源区的外延层20上制作外延电阻器70(EPI resistor),如此,第一主动器件和外延电阻器70可以通过帽层30在无源区形成的物理隔断,从而降低两者之间的漏电流,同时,还可以通过外延层20在无源区形成的隔离区24进一步的限制第一主动器件和外延电阻器70之间的漏电流,有效提高整体器件的性能。

[0060] 在第三实施例中:如图5所示,在外延结构上通过刻蚀、注入绝缘离子形成无源区,以及与无源区相邻的有源区,其中,有源区在外延层20上通过隔离区24绝缘隔离、在帽层30上通过物理隔断进行绝缘隔离,通过上述方法可以先在有源区内制作第一主动器件,如图9所示,然后在无源区内制作被动器件80,即在隔离区24上制作被动器件80,被动器件80可以是电感器、电阻器、电容器等。如此,第一主动器件和被动器件80可以通过隔离区24进行绝缘隔离,从而限制第一主动器件和被动器件80之间的漏电流,有效提高整体器件的性能。

[0061] 在第四实施例中:在第一实施例形成的器件基础上,在无源区制作被动器件80,如此,第一主动器件和第二主动器件60可以通过在帽层30上形成的物理隔断、外延层20上形成的隔离区24降低两者之间的漏电流,此外,被动器件80分别与第一主动器件和第二主动

器件60可以通过隔离区24进行绝缘隔离,从而限制被动器件80分别与第一主动器件和第二主动器件60之间的漏电流,有效提高整体器件的性能。

[0062] 在第五实施例中:在第二实施例形成的器件结构的基础上,在无源区制作被动器件80,如此,第一主动器件和外延电阻器70可以通过帽层30的物理隔断、外延层20的隔离区24降低两者之间的漏电流,此外,被动器件80分别与第一主动器件和外延电阻器70通过隔离区24进行绝缘隔离,从而限制被动器件80分别与第一主动器件和外延电阻器70之间的漏电流,有效提高整体器件的性能。

[0063] 本发明实施例的另一方面,提供一种半导体器件,采用上述任一种的半导体器件制备方法制备,如图5所示,包括:基底10以及设置于基底10上的外延结构,外延结构包括依次设置于基底10上的外延层20和帽层30,在外延层20上形成隔离区24,在帽层30上形成连通至隔离区24的沟槽,如此,位于沟槽两侧的帽层30会在沟槽处形成物理隔断实现绝缘隔离,以此在使用时降低在帽层30上制作的主动器件与其它区域的漏电流,同时,外延层20还可以通过隔离区24绝缘隔离,进一步降低主动器件的漏电流。

[0064] 以上所述仅为本申请的优选实施例而已,并不用于限制本申请,对于本领域的技术人员来说,本申请可以有各种更改和变化。凡在本申请的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本申请的保护范围之内。

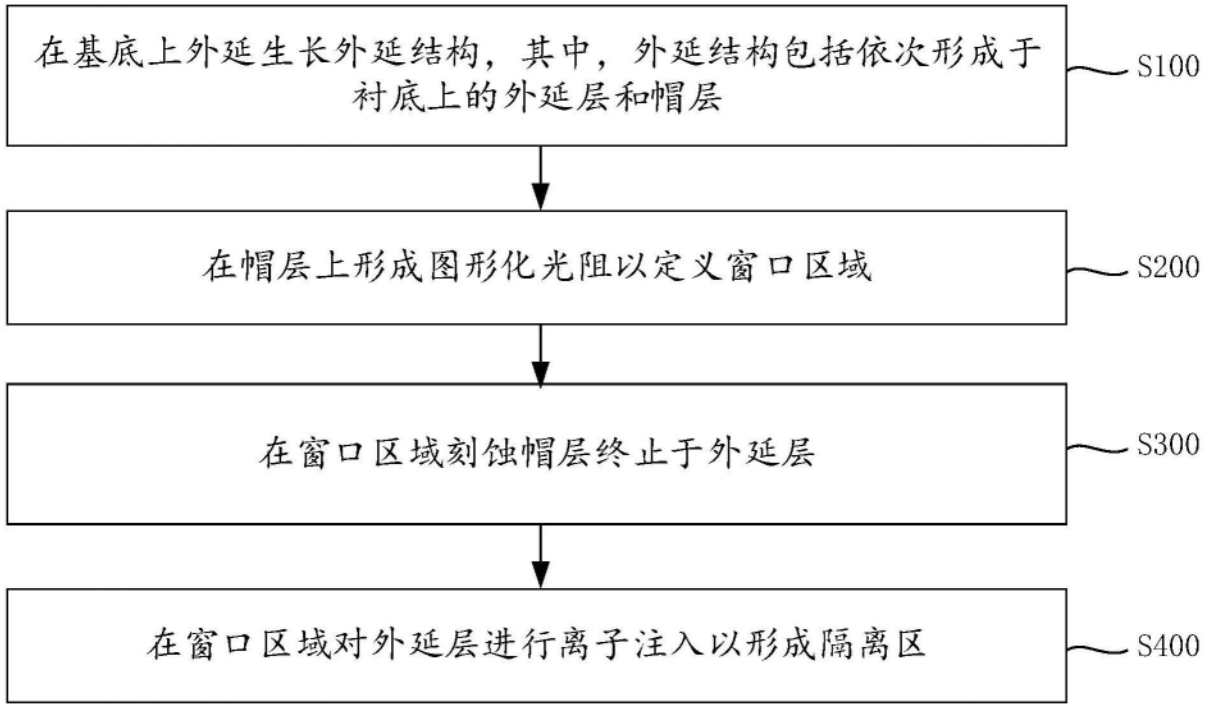


图1

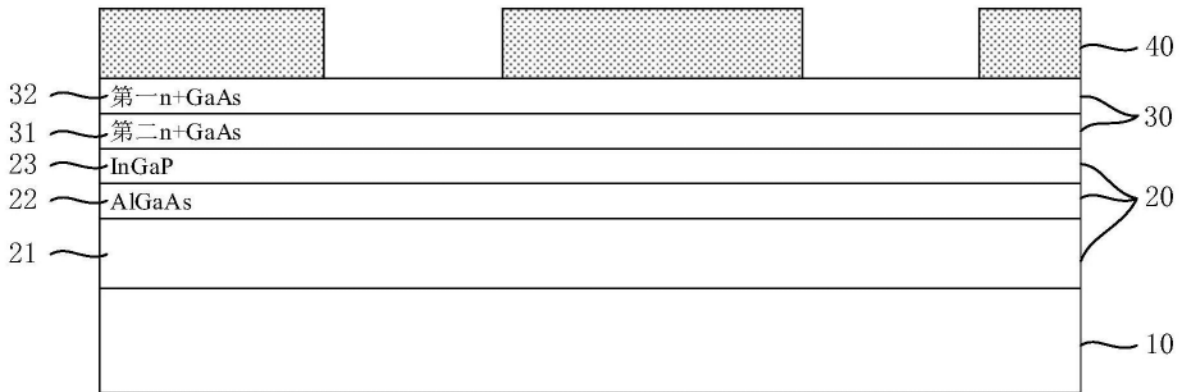


图2

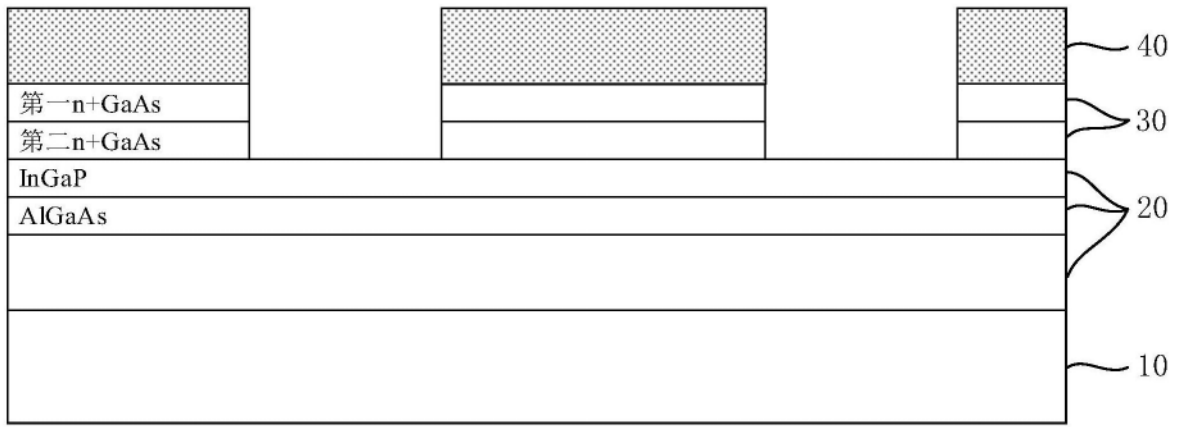


图3

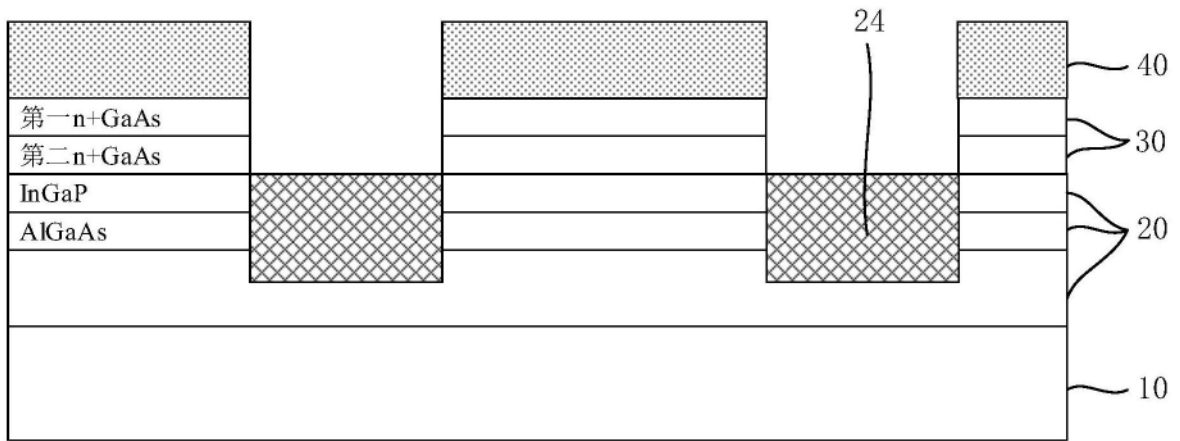


图4

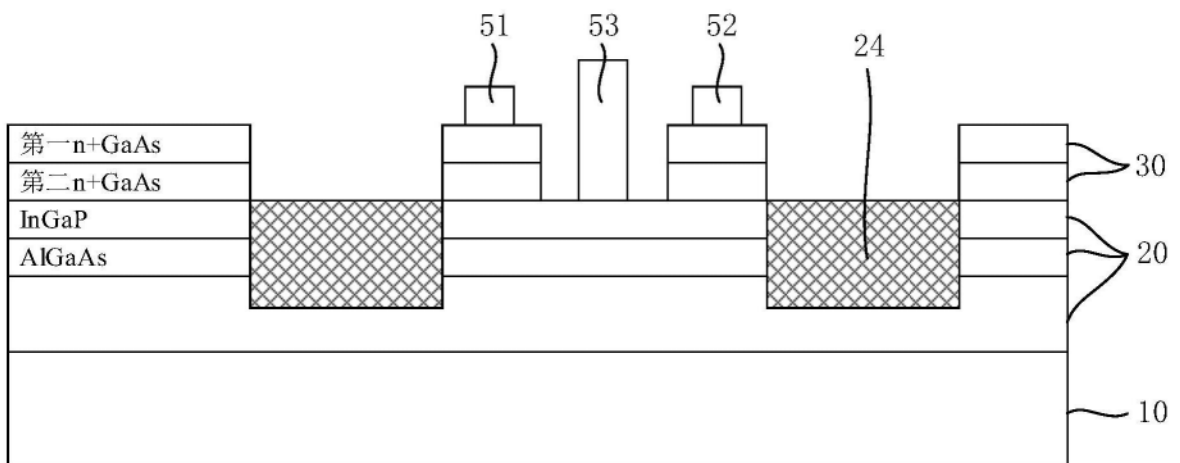


图5

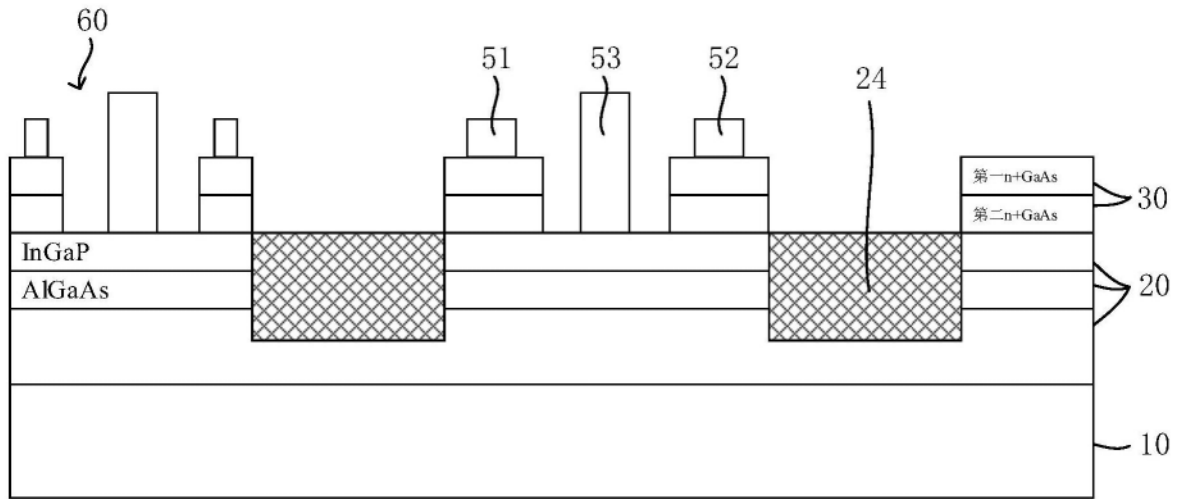


图6

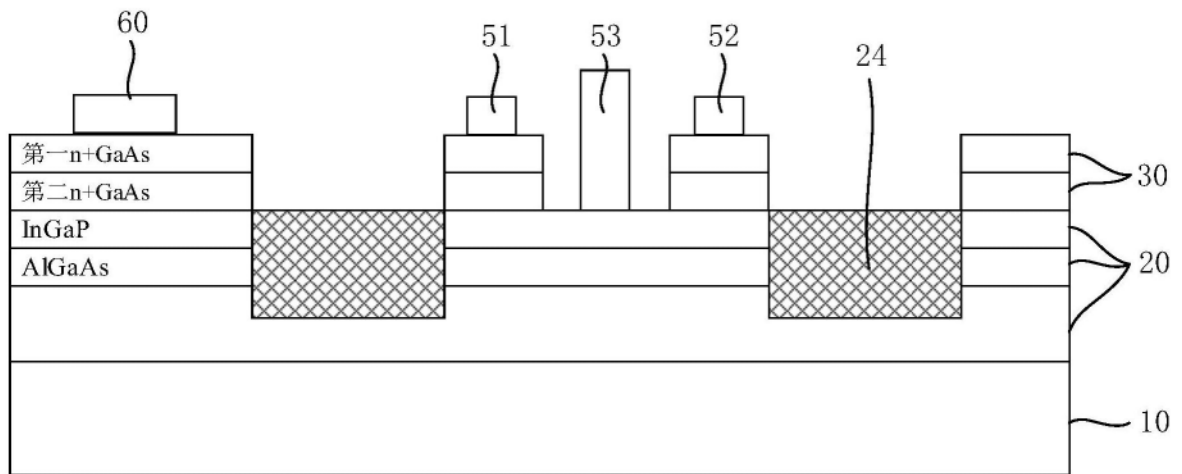


图7

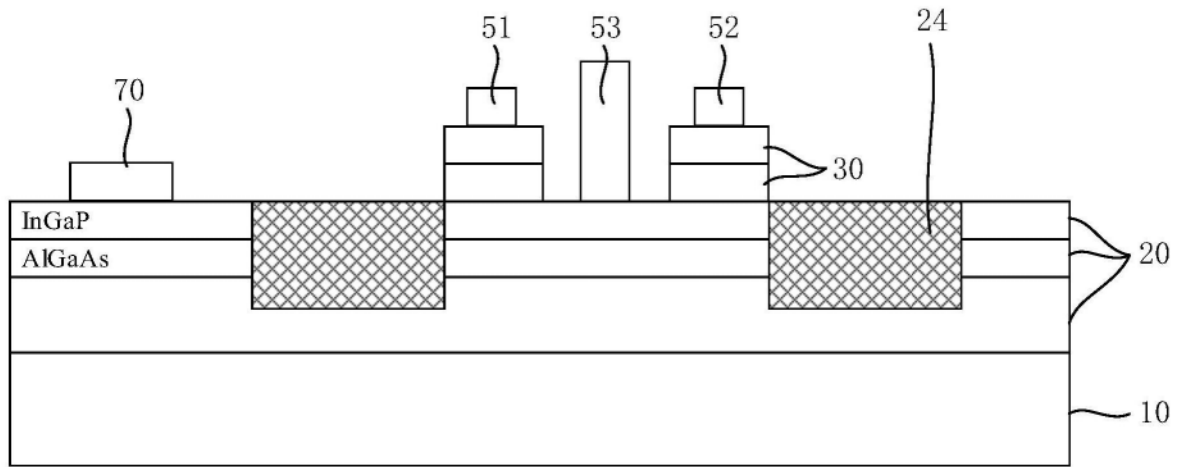


图8

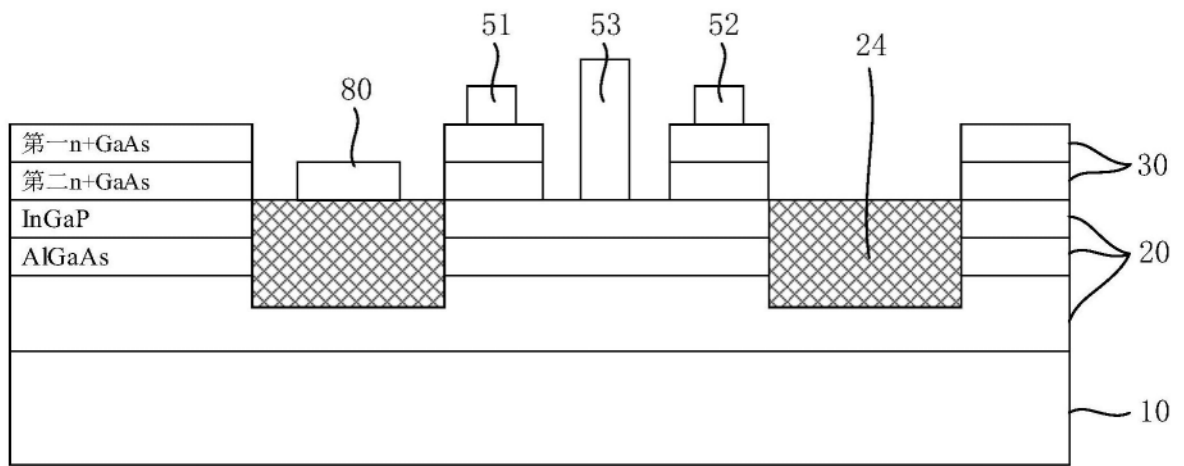


图9