

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4025301号
(P4025301)

(45) 発行日 平成19年12月19日(2007.12.19)

(24) 登録日 平成19年10月12日(2007.10.12)

(51) Int. Cl.	F I	
GO 1 R 31/28 (2006.01)	GO 1 R 31/28	V
HO 1 L 21/822 (2006.01)	GO 1 R 31/28	E
HO 1 L 27/04 (2006.01)	HO 1 L 27/04	T
HO 1 L 21/82 (2006.01)	HO 1 L 21/82	T
GO 6 F 11/22 (2006.01)	GO 6 F 11/22	3 I O F
請求項の数 6 (全 15 頁) 最終頁に続く		

(21) 出願番号	特願2004-21723 (P2004-21723)	(73) 特許権者	000003078
(22) 出願日	平成16年1月29日(2004.1.29)		株式会社東芝
(65) 公開番号	特開2004-239903 (P2004-239903A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成16年8月26日(2004.8.26)	(73) 特許権者	390009531
審査請求日	平成16年1月29日(2004.1.29)		インターナショナル・ビジネス・マシー ズ・コーポレーション
(31) 優先権主張番号	10/358,461		INTERNATIONAL BUSIN ESS MASCHINES CORPO RATION
(32) 優先日	平成15年2月4日(2003.2.4)		アメリカ合衆国10504 ニューヨーク 州 アーモンク ニュー オーチャード ロード
(33) 優先権主張国	米国 (US)	(74) 代理人	100058479
前置審査			弁理士 鈴江 武彦
		最終頁に続く	

(54) 【発明の名称】 電子回路試験用回路、電子回路試験装置、および電子回路試験方法

(57) 【特許請求の範囲】

【請求項1】

複数の擬似ランダムデータパターンに重み付けするとともに、これら各重み付けされた擬似ランダムデータパターンの信号をテストされる電子回路に入力する電子回路試験用回路であって、

少なくとも1つの前記擬似ランダムデータパターンの信号が入力される少なくとも1つの入力側論理ゲートと、

この入力側論理ゲートに入力される前記擬似ランダムデータパターンの前記信号と同じ信号および前記入力側論理ゲートから出力される信号が入力されるとともに、入力された前記各信号のうちのいずれか一方を選択して出力する少なくとも1つの入力側マルチプレクサと、

この入力側マルチプレクサから出力される前記信号を選択するための選択信号を前記入力側マルチプレクサに入力する少なくとも1つの制御回路と、

前記入力側論理ゲートに入力される前記各擬似ランダムデータパターンの前記信号と同じ信号および入力側マルチプレクサから出力される前記信号が入力されるとともに、入力された前記各信号のうちのいずれか一方を選択して出力する第1のマルチプレクサと、

この第1のマルチプレクサから出力される前記信号が一方の入力に入力される出力側論理ゲートと、

この出力側論理ゲートから出力される前記信号および外部入力から入力される信号が入力されるとともに、入力された前記各信号のうちのいずれか一方を選択して前記電子回路

10

20

に入力する出力側マルチプレクサと、

前記第1のマルチプレクサから出力される前記信号を決定するための重み選択信号を選択出力から前記第1のマルチプレクサに入力するとともに、前記出力側マルチプレクサから出力される前記信号を決定するための重み選択信号を追加出力から前記出力側マルチプレクサに入力し、かつ、前記側出力論理ゲートが有する他方の入力に接続された他の出力を有する重み付けチャンネル回路と、

を具備することを特徴とする電子回路試験用回路。

【請求項2】

前記第1のマルチプレクサは、 n を1以上の整数とする 2^n 対1のマルチプレクサであることを特徴とする請求項1に記載の電子回路試験用回路。

【請求項3】

複数の擬似ランダムデータパターンを発生させて出力する擬似ランダムバイナリー数発生装置と、

この擬似ランダムバイナリー数発生装置とテストされる電子回路との間に設けられており、前記各擬似ランダムデータパターンが入力されるとともに入力された前記各擬似ランダムデータパターンに重み付けして前記電子回路に入力するプログラム可能な重み付けされたランダムパターン発生装置と、

前記電子回路に入力された前記各重み付けされた擬似ランダムデータパターンおよび前記電子回路の内部の誤り状態に応じて前記電子回路が発生させた複数の出力データパターンが入力されるとともに、これら各出力データパターンを特異な記号に圧縮するデータ圧縮装置と、

を具備してなり、前記ランダムパターン発生装置の内部には、

少なくとも1つの前記擬似ランダムデータパターンの信号が入力される少なくとも1つの入力側論理ゲートと、

この入力側論理ゲートに入力される前記擬似ランダムデータパターンの前記信号と同じ信号および前記入力側論理ゲートから出力される信号が入力されるとともに、入力された前記各信号のうちのいずれか一方を選択して出力する少なくとも1つの入力側マルチプレクサと、

この入力側マルチプレクサから出力される前記信号を選択するための選択信号を前記入力側マルチプレクサに入力する少なくとも1つの制御回路と、

前記入力側論理ゲートに入力される前記各擬似ランダムデータパターンの前記信号と同じ信号および入力側マルチプレクサから出力される前記信号が入力されるとともに、入力された前記各信号のうちのいずれか一方を選択して出力する第1のマルチプレクサと、

この第1のマルチプレクサから出力される前記信号が一方の入力に入力される出力側論理ゲートと、

この出力側論理ゲートから出力される前記信号および外部入力から入力される信号が入力されるとともに、入力された前記各信号のうちのいずれか一方を選択して前記電子回路に入力する出力側マルチプレクサと、

前記第1のマルチプレクサから出力される前記信号を決定するための重み選択信号を選択出力から前記第1のマルチプレクサに入力するとともに、前記出力側マルチプレクサから出力される前記信号を決定するための重み選択信号を追加出力から前記出力側マルチプレクサに入力し、かつ、前記側出力論理ゲートが有する他方の入力に接続された他の出力を有する重み付けチャンネル回路と、

を備えてなり、前記ランダムデータパターン発生装置に入力された前記各擬似ランダムデータパターンに重み付けするとともに、これら各重み付けされた擬似ランダムデータパターンの信号を前記電子回路に入力する電子回路試験用回路が設けられている、ことを特徴とする電子回路試験装置。

【請求項4】

前記第1のマルチプレクサは、 n を1以上の整数とする 2^n 対1のマルチプレクサであることを特徴とする請求項3に記載の電子回路試験装置。

10

20

30

40

50

【請求項5】

複数の擬似ランダムデータパターンを発生させ、
これら各擬似ランダムデータパターンに電子回路試験用回路を用いて重み付けし、
これら各重み付けされた擬似ランダムデータパターンの信号をテストされる電子回路に
入力し、

入力された前記各信号および前記電子回路内部の誤り状態に応じて前記電子回路が発生
させた出力データパターンを特異な記号に圧縮し、

この圧縮された記号と前記電子回路が適正な状態で発生すると予想された記号とを比較
することにより、前記電子回路の内部の欠陥を検出する電子回路試験方法であって、

前記電子回路試験用回路は、

少なくとも1つの前記擬似ランダムデータパターンの信号が入力される少なくとも1つ
の入力側論理ゲートと、

この入力側論理ゲートに入力される前記擬似ランダムデータパターンの前記信号と同じ
信号および前記入力側論理ゲートから出力される信号が入力されるとともに、入力された
前記各信号のうちのいずれか一方を選択して出力する少なくとも1つの入力側マルチプレ
クサと、

この入力側マルチプレクサから出力される前記信号を選択するための選択信号を前記入
力側マルチプレクサに入力する少なくとも1つの制御回路と、

前記入力側論理ゲートに入力される前記各擬似ランダムデータパターンの前記信号と同
じ信号および入力側マルチプレクサから出力される前記信号が入力されるとともに、入力
された前記各信号のうちのいずれか一方を選択して出力する第1のマルチプレクサと、

この第1のマルチプレクサから出力される前記信号が一方の入力に入力される出力側論
理ゲートと、

この出力側論理ゲートから出力される前記信号および外部入力から入力される信号が入
力されるとともに、入力された前記各信号のうちのいずれか一方を選択して前記電子回路
に入力する出力側マルチプレクサと、

前記第1のマルチプレクサから出力される前記信号を決定するための重み選択信号を選
択出力から前記第1のマルチプレクサに入力するとともに、前記出力側マルチプレクサか
ら出力される前記信号を決定するための重み選択信号を追加出力から前記出力側マルチ
プレクサに入力し、かつ、前記出力側マルチプレクサが有する他方の入力に接続された他の出力
を有する重み付けチャンネル回路と、

を具備してなることを特徴とする電子回路試験方法。

【請求項6】

前記第1のマルチプレクサは、 n を1以上の整数とする 2^n 対1のマルチプレクサであ
ることを特徴とする請求項5に記載の電子回路試験方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積電子回路の試験に係り、特に集積電子回路の機能性を試験するための自
己試験回路および試験方法が組み込まれた集積電子回路を試験するための電子回路試験用
回路、電子回路試験装置、および電子回路試験方法に関する。

【背景技術】

【0002】

単体の超大規模集積回路(VLSI)半導体素子は、例えば、AND、OR、NAND
、NOR、あるいはXORゲートを含む互いに接続された数千の論理ゲートを備えている
。そのようないかなる集積回路にとって製造プロセスの重要な部分は、集積回路内に含ま
れた各論理ゲートの機能性を検証することである。それぞれの論理ゲートの機能性を検証
することは、限られた数の集積回路用の入力/出力(I/O)端子、および多数の論理ゲ
ートの各入力と各出力との間の複雑な相互接続により、困難になるおそれがある。多くの
場合、集積回路内の多数のチャンネルは、I/O端子を共有している。

10

20

30

40

50

【 0 0 0 3 】

半導体素子内に備えられた集積回路の機能性テストを行っている間、素子内の論理ゲートに入力される複数の0と1との連続からなる所定のデジタルデータパターンを、集積回路の入力は受け取る。これに応答して、各論理ゲートは各入力データパターンを処理し、結果として、集積回路は、各入力データパターンおよび各論理ゲートの機能性に依る、再び複数の0と1との連続からなる出力データパターンを発生させる。出力データパターンが予想された出力データパターンと一致しないときは、各論理ゲートのうちの少なくとも1個の論理ゲートに誤りが生じたことが分かる。

【 0 0 0 4 】

多くの集積回路は、純粋なランダムな入力データパターンを用いるテストが困難な論理ゲート構造を含んでいる。そのような論理ゲート構造の一例として、ANDゲートがある。ANDゲートにおける欠陥が検出される確率は、ANDゲートに対する入力数が増えるに連れて減少する。初めに、ANDゲートの欠陥を検査するためには、ANDゲートから出力される信号を1とするために、全てのANDゲートの入力は1の入力ディジットを受け取らなければならない。次に、ANDゲートの正しい機能を果たすことが正しいことを確かめるために、ANDゲートの入力の1つは殆ど1とされるべきである。それゆえに、集積回路に入力されるデータパターンを構成するビットは、それぞれのANDゲートの入力に入力されなければならない様々なビットの変換を容易にするように構成されなければならない。

【 0 0 0 5 】

乱数発生テストの制限を処理するために、0か1の発生の確率を変更するテスト方法は発展してきた。これらのテスト方法は、要求された論理ゲートの特定のテストを実行するように、重み付けされた乱数発生装置を用いてランダムな入力データパターンに重み付けする。重み付けされた乱数発生装置は、重み付けされたランダムな入力パターンをテスト中に集積回路に出力する。重み付け因子が正の数である場合、重み付けされたランダムな入力パターンの中で、入力ディジットが0である確率は重み付け因子の2分の1倍を掛けたものであり、そして入力ディジットが1である確率は1から重み付け因子の2分の1倍を引いたものである。このように、重み付け因子は0か1の発生の確率として表現される。重み付け因子は、集積回路への入力数および素子内部の論理ゲートの数とタイプに依存して選択される。さらに、重み付け因子は、論理回路の中に欠陥が存在しないという確信を受けられることができる水準を伴ったテストにより、時間とコストの効率の良さを促進するように選択される。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

集積回路の機能性テストに対する一つの選択肢は、あらゆる予想された出力データパターンを発生することを期待して、素子の入力への多数のデータパターンの供給に関係している。しかしながら、そのようなテスト処理は、多数の入力データパターンを発生させて入力する必要があるため、極めて長いテスト時間を必要とするおそれがある。

【 0 0 0 7 】

他の選択肢は、欠陥のある論理ゲートを見分けることを期待して、集積回路の入力に対するランダムなデータパターンの供給に関係している。論理回路から出力された評価されたデータパターンは、予想された出力データパターンと再び比較される。しかしながら、ランダムなデータパターンの供給に関連する1つの問題は、論理回路の一部のみしかテストされないことであり、そしてそれゆえに、集積回路は欠陥を検出されないまま有する可能性がある。多数のランダムな入力データパターンを集積回路の入力に供給することは、より多くの論理ゲートがテストされる可能性を増大させる。しかしながら、増大した多くの入力データパターンは全体のテスト時間を長時間化させ、そしてこのため、集積回路の製造コスト全体が増大する。

【 0 0 0 8 】

本発明は、以上説明したような課題を解決するためになされたものであり、その目的とするところは、複数個の論理回路を備える集積回路の試験に係る時間およびコストを低減することができる電子回路試験用回路、電子回路試験装置、および電子回路試験方法を提供することにある。

【課題を解決するための手段】

【0009】

本発明の一態様に係る電子回路試験用回路は、複数の擬似ランダムデータパターンに重み付けするとともに、これら各重み付けされた擬似ランダムデータパターンの信号をテストされる電子回路に入力する電子回路試験用回路であって、少なくとも1つの前記擬似ランダムデータパターンの信号が入力される少なくとも1つの入力側論理ゲートと、この入力側論理ゲートに入力される前記擬似ランダムデータパターンの前記信号と同じ信号および前記入力側論理ゲートから出力される信号が入力されるとともに、入力された前記各信号のうちのいずれか一方を選択して出力する少なくとも1つの入力側マルチプレクサと、この入力側マルチプレクサから出力される前記信号を選択するための選択信号を前記入力側マルチプレクサに入力する少なくとも1つの制御回路と、前記入力側論理ゲートに入力される前記各擬似ランダムデータパターンの前記信号と同じ信号および入力側マルチプレクサから出力される前記信号が入力されるとともに、入力された前記各信号のうちのいずれか一方を選択して出力する第1のマルチプレクサと、この第1のマルチプレクサから出力される前記信号が一方の入力に入力される出力側論理ゲートと、この出力側論理ゲートから出力される前記信号および外部入力から入力される信号が入力されるとともに、入力された前記各信号のうちのいずれか一方を選択して前記電子回路に入力する出力側マルチプレクサと、前記第1のマルチプレクサから出力される前記信号を決定するための重み選択信号を選択出力から前記第1のマルチプレクサに入力するとともに、前記出力側マルチプレクサから出力される前記信号を決定するための重み選択信号を追加出力から前記出力側マルチプレクサに入力し、かつ、前記側出力論理ゲートが有する他方の入力に接続された他の出力を有する重み付けチャンネル回路と、を具備することを特徴とするものである。

【0010】

また、本発明の他の態様に係る電子回路試験装置は、複数の擬似ランダムデータパターンを発生させて出力する擬似ランダムバイナリー数発生装置と、この擬似ランダムバイナリー数発生装置とテストされる電子回路との間に設けられており、前記各擬似ランダムデータパターンが入力されるとともに入力された前記各擬似ランダムデータパターンに重み付けして前記電子回路に入力するプログラム可能な重み付けされたランダムパターン発生装置と、前記電子回路に入力された前記各重み付けされた擬似ランダムデータパターンおよび前記電子回路の内部の誤り状態に応じて前記電子回路が発生させた複数の出力データパターンが入力されるとともに、これら各出力データパターンを特異な記号に圧縮するデータ圧縮装置と、を具備してなり、前記ランダムパターン発生装置の内部には、少なくとも1つの前記擬似ランダムデータパターンの信号が入力される少なくとも1つの入力側論理ゲートと、この入力側論理ゲートに入力される前記擬似ランダムデータパターンの前記信号と同じ信号および前記入力側論理ゲートから出力される信号が入力されるとともに、入力された前記各信号のうちのいずれか一方を選択して出力する少なくとも1つの入力側マルチプレクサと、この入力側マルチプレクサから出力される前記信号を選択するための選択信号を前記入力側マルチプレクサに入力する少なくとも1つの制御回路と、前記入力側論理ゲートに入力される前記各擬似ランダムデータパターンの前記信号と同じ信号および入力側マルチプレクサから出力される前記信号が入力されるとともに、入力された前記各信号のうちのいずれか一方を選択して出力する第1のマルチプレクサと、この第1のマルチプレクサから出力される前記信号が一方の入力に入力される出力側論理ゲートと、この出力側論理ゲートから出力される前記信号および外部入力から入力される信号が入力されるとともに、入力された前記各信号のうちのいずれか一方を選択して前記電子回路に入力する出力側マルチプレクサと、前記第1のマルチプレクサから出力される前記信号を決

10

20

30

40

50

定するための重み選択信号を選択出力から前記第1のマルチプレクサに入力するとともに、前記出力側マルチプレクサから出力される前記信号を決定するための重み選択信号を追加出力から前記出力側マルチプレクサに入力し、かつ、前記側出力論理ゲートが有する他方の入力に接続された他の出力を有する重み付けチャンネル回路と、を備えてなり、前記ランダムデータパターン発生装置に入力された前記各擬似ランダムデータパターンに重み付けするとともに、これら各重み付けされた擬似ランダムデータパターンの信号を前記電子回路に入力する電子回路試験用回路が設けられている、ことを特徴とするものである。

【0011】

さらに、本発明のまた他の態様に係る電子回路試験方法は、複数の擬似ランダムデータパターンを発生させ、これら各擬似ランダムデータパターンに電子回路試験用回路を用いて重み付けし、これら各重み付けされた擬似ランダムデータパターンの信号をテストされる電子回路に入力し、入力された前記各信号および前記電子回路内部の誤り状態に応じて前記電子回路が発生させた出力データパターンを特異な記号に圧縮し、この圧縮された記号と前記電子回路が適正な状態で発生すると予想された記号とを比較することにより、前記電子回路の内部の欠陥を検出する電子回路試験方法であって、前記電子回路試験用回路は、少なくとも1つの前記擬似ランダムデータパターンの信号が入力される少なくとも1つの入力側論理ゲートと、この入力側論理ゲートに入力される前記擬似ランダムデータパターンの前記信号と同じ信号および前記入力側論理ゲートから出力される信号が入力されるとともに、入力された前記各信号のうちのいずれか一方を選択して出力する少なくとも1つの入力側マルチプレクサと、この入力側マルチプレクサから出力される前記信号を選択するための選択信号を前記入力側マルチプレクサに入力する少なくとも1つの制御回路と、前記入力側論理ゲートに入力される前記各擬似ランダムデータパターンの前記信号と同じ信号および入力側マルチプレクサから出力される前記信号が入力されるとともに、入力された前記各信号のうちのいずれか一方を選択して出力する第1のマルチプレクサと、この第1のマルチプレクサから出力される前記信号が一方の入力に入力される出力側論理ゲートと、この出力側論理ゲートから出力される前記信号および外部入力から入力される信号が入力されるとともに、入力された前記各信号のうちのいずれか一方を選択して前記電子回路に入力する出力側マルチプレクサと、前記第1のマルチプレクサから出力される前記信号を決定するための重み選択信号を選択出力から前記第1のマルチプレクサに入力するとともに、前記出力側マルチプレクサから出力される前記信号を決定するための重み選択信号を追加出力から前記出力側マルチプレクサに入力し、かつ、前記側出力論理ゲートが有する他方の入力に接続された他の出力を有する重み付けチャンネル回路と、を具備してなることを特徴とするものである。

【0012】

本発明の他の態様は、本発明を実施するために熟考されたベストモードを簡潔に説明することにより本発明の代表的な形態を示すとともに説明する以下の詳細な説明から、この技術の中のこれらの技術に対して容易かつ明確になる。本発明は、全く本発明からはずれることなく、他の異なる実施形態に有用であるとともに、その幾つかの細部は様々な点において修正可能であるしたがって、図および説明は、本質的に実例とみなされるとともに、限定的なものではない。

【発明の効果】

【0013】

本発明によれば、複数個の論理回路を備える集積回路の試験に係る時間およびコストを低減することができる。

【発明を実施するための最良の形態】

【0014】

図1は、擬似ランダムパターン発生技術を利用する典型的な自己テスト内蔵論理(“LBIST”)テスト構成10のブロックダイアグラムである。LBISTテスト構成10は、MSIRおよび並列シフトレジスタ連続発生装置を用いる自己テスト(“STUMPS”)と呼ばれるスキャンパス構造とも呼ばれる。STUMPS構造は、多数のチップシ

10

20

30

40

50

ステムを高速スループットでテストするための組込み型の構造である。L B I S T テスト構成 1 0 は、線形フィードバックシフトレジスタ (“ L F S R ”) 1 2、プログラム可能な重み付けされたランダムパターン発生装置 (“ P W R ”) 1 4、テストされる集積回路 1 6、および多入力シフトレジスタ (“ M I S R ”) 1 8 を含んでいる。L F S R 1 2 からの出力 2 0 は、1 グループが 4 つの出力線 2 2 からなる 4 つの出力のグループから構成され、1 6 個の各出力線 2 2 はそれぞれ P W R 1 4 の 1 6 個の各入力 2 4 に対応して接続されている。P W R 1 4 は、集積回路 1 6 の 4 つの入力 2 8 に対応して接続された 4 つの出力 2 6 を有する。集積回路 1 6 は、M I S R 1 8 の 4 つの入力 3 2 に対応して接続された 4 つの出力 3 0 を有する。M I S R 1 8 は、1 つの出力 3 4 を有する。

【 0 0 1 5 】

図 1 において、L F S R 1 2 は 1 6 個の出力 2 0 (出力線 2 2) のみを有するものとして描かれている。また、P W R 1 4 は 1 6 個の入力 2 4 と 4 つの出力 2 6 のみを有するものとして描かれている。また、テストされる集積回路 1 6 は 4 つの入力 2 8 と 4 つの出力 3 0 とを有するものとして描かれている。そして M I S R 1 8 は 4 つの入力 3 2 と 1 つの出力 3 4 のみを有するものとして描かれている。しかし、L F S R 1 2、P W R 1 4、テストされる集積回路 1 6、および M I S R 1 8 のいずれも、それらが有する各入力 2 4、2 8、3 2 および各出力 2 0 (2 2)、2 6、3 0、3 4 の数はより少なくても構わないし、あるいはより多くても構わない。

【 0 0 1 6 】

L B I S T テスト構成 1 0 の作動中は、L F S R 1 2 は、L F S R 1 2 から出力されて P W R 1 4 に入力される擬似ランダムデータパターンを発生させる擬似ランダムバイナリ数発生装置として作動する。P W R 1 4 は L F S R 1 2 からの擬似ランダムデータパターンを受け取り、テスト効率を増加させるために擬似ランダムデータパターンに重み付けする。この結果として生じる重み付けされた擬似ランダムデータパターンは、P W R 1 4 から出力されてテストされる集積回路 1 6 に入力される。テストされる集積回路 1 6 は、入力される重み付けされた擬似ランダムデータパターンおよび集積回路 1 6 内に含まれた論理ゲートの誤り状態に応じた出力データパターンを発生させる。この結果として生じる出力データパターンは、テストされる集積回路 1 6 から出力されて M I S R 1 8 に入力される。M I S R 1 8 は、テストされる集積回路 1 6 からの出力データパターンを、テストされる集積回路 1 6 内に含まれた論理回路からの応答を意味する特異な記号に圧縮する。M I S R 1 8 で発生させられた記号は、M I S R 1 8 から出力されて解析されるとともに予想された記号と比較される。このように、評価されるとともに予想された記号を解析した後、テストされる集積回路 1 6 が誤っているかどうか決定される。

【 0 0 1 7 】

以上議論したように、欠陥のある論理ゲートをテストするための努力は、例えば、A N D ゲートのように、特定のタイプの論理ゲートに対してより難しくなる。図 2 は、第 1 ~ 第 1 2 までの 1 2 個のフリップフロップ 4 2、4 4、4 6、4 8、5 0、5 2、5 4、5 6、5 8、6 0、6 2、6 4、第 1 の A N D ゲート 6 6、第 2 の A N D ゲート 6 8、およびインバータ 7 0 を含む S T U M P S テスト構成 4 0 を描く。1 2 個の各フリップフロップ 4 2 ~ 6 4 は、4 つのカラム 7 2、7 4、7 6、7 8 を構成しており、それぞれのカラム 7 2 ~ 7 8 は 3 個ずつ直列接続された第 1 ~ 第 3 の各フリップフロップ 4 2 ~ 4 6、第 4 ~ 第 6 の各フリップフロップ 4 8 ~ 5 2、第 7 ~ 第 9 の各フリップフロップ 5 4 ~ 5 8、および第 1 0 ~ 第 1 2 の各フリップフロップ 6 0 ~ 6 4 を含んでいる。各フリップフロップ 4 2 ~ 6 4、第 1 および第 2 の A N D ゲート 6 6、6 8、およびインバータ 7 0 は、幾つかの商業上利用できるフリップフロップ、A N D ゲート、およびインバータの中から望ましいものが選択される。

【 0 0 1 8 】

第 1 の A N D ゲート 6 6 は、3 つの入力 8 0、8 2、8 4 と 1 つの出力 8 6 を有する。第 1 のカラム 7 2 内の 3 つの直列接続された各フリップフロップ 4 2 ~ 4 6 のそれぞれのアウトプット 8 8、9 0、9 2 は、第 1 の A N D ゲート 6 6 の各入力 8 0、8 2、8 4 の

10

20

30

40

50

うちの1つに接続されている。特に、第1のフリップフロップ42の出力88は第1のANDゲート66の第1の入力80に接続され、第2のフリップフロップ44の出力90は第1のANDゲート66の第2の入力82に接続され、そして第3のフリップフロップ46の出力92は第1のANDゲート66の第3の入力84に接続されている。第1のANDゲートの出力86は、第2のカラム74内の第4のフリップフロップ48の入力94に接続されている。

【0019】

第2のANDゲート68は、3つの入力96, 98, 100と1つの出力102を有する。第3のフリップフロップ46の出力92は、第2のANDゲート68の第1の入力96に接続されている。第6のフリップフロップ52の出力104は、インバータ70の入力106に接続されている。インバータ70の出力108は、第2のANDゲート68の第2の入力98に接続されている。第9のフリップフロップ58の出力110は、第2のANDゲート68の第3の入力100に接続されている。第2のANDゲート68の出力102は、第12のフリップフロップ64の入力112に接続されている。

【0020】

以上簡単に述べたように、第1および第2の各ANDゲート66, 68の機能をテストするために、それら各ANDゲート66, 68への全ての入力80~84, 96~100は1に設定されなければならない。それとともに、各ANDゲート66, 68の出力86, 102は各ANDゲート66, 68への入力が1から0へ値を変化させるものとして監視される。それゆえに、PWR14から出力されてテストされる集積回路16に入力される重み付けされた擬似ランダムデータパターンに依存して、第1か第2のいずれかのANDゲート66, 68の欠陥をテストすることは困難である。テストされる集積回路16が多数の入力を有するANDゲートを含んでいると、擬似ランダムパターンを用いてANDゲートの全ての入力に“1”を与えることは困難である。限られた数のI/Oチャンネル114, 115, 118, 120によってもたらされるこの困難のために、欠陥の補償範囲は限定される。図2は、欠陥Aは検出され得るが、しかしながら、欠陥Bは検出され得ないSTUMPSテスト構成40を示す。

【0021】

図3は、第1のANDゲート132、第2のANDゲート134、第3のANDゲート136、4対1マルチプレクサ138、XORゲート140、および重み付けチャンネル回路142を含む、前述した従来のPWR14に含まれている回路構成130のブロックダイアグラムである。前述したLFSR12の第1の出力144は、4対1マルチプレクサの第1の入力146および第1のANDゲート132の一方の入力148に接続されている。LFSR12の第2の出力150は、第1のANDゲート132の他方の入力152に接続されている。第1のANDゲート132の出力154は、4対1マルチプレクサの第2の入力156および第2のANDゲート134の一方の入力158に接続されている。LFSR12の第3の出力160は、第2のANDゲート134の他方の入力162に接続されている。第2のANDゲートの出力164は、4対1マルチプレクサの第3の入力166および第3のANDゲート136の一方の入力168に接続されている。LFSR12の第4の出力170は、第3のANDゲート136の他方の入力172に接続されている。第3のANDゲートの出力174は、4対1マルチプレクサの第4の入力176に接続されている。

【0022】

4対1マルチプレクサ138の2本の選択線(1本のみ図示)178は、重み付けチャンネル回路142の選択出力(1つのみ図示)180に接続されている。4対1マルチプレクサ138の出力182は、XORゲート140の一方の入力184に接続されている。XORゲートの他方の入力186は、重み付けチャンネル回路142の他の出力188に接続されている。さらに、図3において図1を参照すると、XORゲートの出力190は、テストされる集積回路16の入力28に接続されている。

【0023】

10

20

30

40

50

以上簡単に述べたように、図3に描かれた回路構成130は、PWR14の一部のみを表す。図3に描かれた回路構成130はLFSR12からの4本の出力線22(144, 150, 160, 170)およびテストされる集積回路16の1つの入力チャンネル28に対応して1つずつ接続される。このため、PWR14には図3に描かれた回路構成130が4つ含まれるであろう。それゆえに、回路構成130の数は、変えることができるとともに、LFSR12からの出力20の数およびテストされる集積回路16への入力チャンネル28の数に依存する。

【0024】

なお、第1、第2、および第3の各ANDゲート132, 134, 136、4対1マルチプレクサ138、ならびにXORゲート140は、多数の商業上利用できる電子部品から望ましいものが選択される。

10

【0025】

図3に描かれた回路構成130は、その作動中は、擬似ランダム4ビットデータパターンをLFSR12から受け取る。4ビットのそれぞれが0か1になる確率は2分の1である。それゆえに、LFSR12から出力されて4対1マルチプレクサ138の第1の入力146が受け取る第1のビットが1である確率は2分の1である。また、LFSR12から出力されて第1のANDゲート132の一方の入力148に入力される第1のビットが1となる確率は2分の1であるとともに、LFSR12から出力されて第1のANDゲート132の他方の入力152に入力される第2のビットが1となる確率は2分の1である。このため、第1のANDゲート132から出力されて4対1マルチプレクサ138の第2の入力156に入力される信号が1となる確率は4分の1である。また、第1のANDゲート132から出力されて第2のANDゲート134の一方の入力158に入力される信号が1となる確率は4分の1であるとともに、LFSR12から出力されて第2のANDゲート134の他方の入力162に入力される第3のビットが1となる確率は2分の1である。このため、第2のANDゲート134から出力されて4対1マルチプレクサ138の第3の入力166に入力される信号が1となる確率は8分の1である。また、第2のANDゲート134から出力されて第3のANDゲート136の一方の入力168に入力される信号が1となる確率は4分の1であるとともに、LFSR12から出力されて第3のANDゲート136の他方の入力172に入力される第4のビットが1となる確率は2分の1である。このため、第3のANDゲート136から出力されて4対1マルチプレクサ138の第4の入力176に入力される信号が1となる確率は16分の1である。

20

30

【0026】

4対1マルチプレクサ138の出力182から出力される信号は、重み付けチャンネル回路142の2つの選択出力180(1本のみを図示)から出力されて4対1マルチプレクサ138の2本の選択線178(1本のみを図示)に入力される2つの重み選択信号によって制御される。2本の選択線上の重み選択信号が(0, 0)、(0, 1)、(1, 0)、あるいは(1, 1)であると、4対1マルチプレクサ138の出力182から出力される信号は、それぞれ4対1マルチプレクサ138の第1、第2、第3、あるいは第4の各入力146, 156, 166, 176によって受け取られた信号のいずれかになる。このように、重み選択信号が(0, 0)、(0, 1)、(1, 0)、あるいは(1, 1)であると、4対1マルチプレクサ138の出力182における信号が1となる確率は、それぞれ2分の1、4分の1、8分の1、あるいは16分の1である。

40

【0027】

図3に描かれた重み付けチャンネル回路142はまた、その他方の出力188からXORゲート140の他方の入力186によって受け取られる単一のビット制御信号を出力する。XORゲート140の一方の入力184は、4対1マルチプレクサ138の出力182から出力される信号を受け取る。XORゲート140の出力190から出力される信号の確率は、単一のビット制御信号に加えて、4対1マルチプレクサ138の出力182から出力される信号に依存する。単一のビット制御信号が0であるとともに、選択線信号が(0, 0)、(0, 1)、(1, 0)、あるいは(1, 1)であると、XORゲート14

50

0の出力190における信号が1となる確率は、それぞれ2分の1、4分の1、8分の1、あるいは16分の1である。さらに、単一のビット制御信号が1であるとともに、選択線信号が(0, 0)、(0, 1)、(1, 0)、あるいは(1, 1)であると、XORゲート140の出力190における信号が1となる確率は、それぞれ2分の1、4分の3、8分の7、あるいは16分の15である。

【0028】

図4は、本発明の一実施形態に係るPWR14に含まれる回路構成200のブロックダイアグラムである。図3の回路構成130と同様に、図4の回路構成200は第1のANDゲート202、第2のANDゲート204、第3のANDゲート206、4対1マルチプレクサ208、XORゲート210、および重み付けチャンネル回路212を含む。さらに、図4に描かれた回路構成200は、第1の2対1マルチプレクサ214、第2の2対1マルチプレクサ216、第3の2対1マルチプレクサ218、第4の2対1マルチプレクサ220、および制御回路222を含む。

10

【0029】

4対1マルチプレクサ208は第1のマルチプレクサとも呼ばれるとともに、第1、第2、および第3の各2対1マルチプレクサ214、216、218は、それぞれ他のマルチプレクサとも呼ばれる。第4の2対1マルチプレクサ220は、出力マルチプレクサとも呼ばれる。XORゲート210は出力論理ゲートとも呼ばれるとともに、第1、第2、および第3の各ANDゲート202、204、206は、それぞれ他の論理ゲートとも呼ばれる。

20

【0030】

第1、第2、第3、および第4の各2対1マルチプレクサ214、216、220、ならびに制御回路222は、あらゆる様々なタイプの電子構成部品から望ましいものが選択されればよい。代替の実施形態では、図4の回路構成200に含まれる構成部品は、単体の電子素子(図示せず)内に收容される。

【0031】

LFSR12の第1の出力224は、4対1マルチプレクサ208の第1の入力226および第1のANDゲート202の一方の入力228に接続される。LFSR12の第2の出力230は、第1のANDゲート202の他方の入力232および第1の2対1マルチプレクサ214の第2の入力234に接続される。第1のANDゲート202の出力236は、第1の2対1マルチプレクサ208の第1の入力238に接続される。第1の2対1マルチプレクサ208の出力240は、4対1マルチプレクサ208の第2の入力242および第2のANDゲート204の一方の入力244に接続される。LFSR12の第3の出力246は、第2のANDゲート204の他方の入力248および第2の2対1マルチプレクサ216の第2の入力250に接続される。第2のANDゲート204の出力252は、第2の2対1マルチプレクサ216の第1の入力254に接続される。第2の2対1マルチプレクサ216の出力256は、4対1マルチプレクサ208の第3の入力258および第3のANDゲート206の一方の入力260に接続される。LFSR12の第4の出力262は、第3のANDゲート204の他方の入力264および第3の2対1マルチプレクサ218の第2の入力266に接続される。第3のANDゲート206の出力268は、第3の2対1マルチプレクサ218の第1の入力270に接続される。第3の2対1マルチプレクサ218の出力272は、4対1マルチプレクサ208の第4の入力274に接続される。制御回路222の出力276は、第1の2対1マルチプレクサ214の選択線278、第2の2対1マルチプレクサ216の選択線280、および第3の2対1マルチプレクサ218の選択線282に接続される。

30

40

【0032】

図4に描かれた一実施形態の回路構成200ではたった1つの制御回路222が挿入されているが、さらなる実施形態(図示せず)では1つ以上の制御回路を含んでもよい。それらさらなる実施形態では、各制御回路は1つ以上の2対1マルチプレクサの選択線に接続されても構わない。このように、選択線上の信号が各2対1マルチプレクサごとに異な

50

る実施形態があっても構わない。

【0033】

4対1マルチプレクサ208の2本の選択線(1本のみ図示)284は、重み付けチャンネル回路212の選択出力(1つのみ図示)286に接続されている。4対1マルチプレクサ208の出力288は、XORゲート210の一方の入力290に接続されている。XORゲート210の他方の入力292は、重み付けチャンネル回路212の他の出力294に接続されている。XORゲート210の出力296は、第4の2対1マルチプレクサ220の第1の入力298に接続されている。外部入力300は、第4の2対1マルチプレクサ220の第2の入力302に接続されている。重み付けチャンネル回路212の追加出力304は、第4の2対1マルチプレクサ220の選択線306に接続されている。さらに、図4において図1を参照すると、第4の2対1マルチプレクサ220の出力308は、テストされる集積回路16の入力28に接続されている。

10

【0034】

図4に描かれた回路構成200は、その作動中は、LFSR12からの擬似ランダム4ビットデータパターンを受け取る。4対1マルチプレクサ208の各入力226, 242, 258, 274が受け取る信号が1となる確率は、それぞれ、第1、第2、および第3の各2対1マルチプレクサ214, 216, 218の各選択線278, 280, 282上の選択信号に依存する。第1、第2、および第3の各2対1マルチプレクサ214, 216, 218の各選択線278, 280, 282上の選択信号が0である場合、第1、第2、および第3の各ANDゲート202, 204, 206の各出力236, 252, 268は、それぞれ、4対1マルチプレクサ208の第2、第3、および第4の各入力242, 258, 274に、それぞれ接続される。このように、4対1マルチプレクサ208そしてまたXORゲート210から出力される信号の確率は、図3に描かれた回路構成130のものと同じである。

20

【0035】

図4の回路構成200は、第4の2対1マルチプレクサ220の出力308から出力された信号は、重み付けチャンネル回路212の追加出力304から出力されて第4の2対1マルチプレクサ220の選択線306に入力される出力選択信号に依存するという、さらなる特徴を有している。第4の2対1マルチプレクサ220の選択線306に入力される出力選択信号が0であると、XORゲート210の出力296から出力される信号は、第4の2対1マルチプレクサ220の第1の入力298を介して接続されて、第4の2対1マルチプレクサ220の出力308から出力される。第4の2対1マルチプレクサ220の選択線306に入力される出力選択信号が1であると、外部入力300上の信号は、第4の2対1マルチプレクサ220の第2の入力302を介して接続されて、第4の2対1マルチプレクサ220の出力308から出力される。

30

【0036】

第1、第2、および第3の各2対1マルチプレクサ214, 216, 218の各選択線278, 280, 282上の信号がそれぞれ1である場合、LFSR12から出力される第2、第3、および第4のそれぞれのビットは、それぞれ第1、第2、および第3の各2対1マルチプレクサ214, 216, 218を介して、4対1マルチプレクサ208の第2、第3、および第4の各入力242, 258, 274にそれぞれ接続される。上述したように、LFSR12から出力される4つのビットのそれぞれが0か1となる確率は2分の1である。このように、LFSR12から出力されて4対1マルチプレクサ208の第1、第2、第3、および第4の各入力226, 242, 258, 274で受け取られる第1、第2、第3、および第4の各ビットが、それぞれ1である確率は、2分の1である。これにより、4対1マルチプレクサ208の選択線(1本を図示)284に入力される信号の状態に拘らず、4対1マルチプレクサ208から出力される信号が1となる確率は、2分の1である。それとともに、XORゲート210から出力される信号が1となる確率は、重み付けチャンネル回路212の他の出力294から出力される信号に拘らず、2分の1である。

40

50

【0037】

以上議論したように、図4の回路構成200中の第4の2対1マルチプレクサ220の出力308から出力される信号は、重み付けチャンネル回路212の追加出力304から出力されて第4の2対1マルチプレクサ220の選択線306に入力される信号に依存する。第4の2対1マルチプレクサ220の選択線306に入力される信号が0である場合、XORゲート210の出力296から出力される信号は、第4の2対1マルチプレクサ220の第1の入力298を介して接続されて、第4の2対1マルチプレクサ220の出力308から出力される。このように、第4の2対1マルチプレクサ220の選択線306に入力される信号が0であると、XORゲート210の出力296から出力される信号が1となる確率は、2分の1である。対照的に、第4の2対1マルチプレクサ220の選択線306に入力される信号が1であると、XORゲート210の出力296から出力される信号は外部入力300上に現われる信号になるとともに、第4の2対1マルチプレクサ220の出力308から出力される信号が1となる確率は、外部入力300上に現われる信号が1となる確率に依存する。

10

【0038】

このように、第4の2対1マルチプレクサ220の出力308から出力される信号が1となる確率は、重み付けチャンネル回路212の選択出力286および他の出力294からそれぞれ出力される信号、ならびに第1、第2、および第3の各2対1マルチプレクサ214、216、218の各選択線278、280、282にそれぞれ入力される信号と同様に、重み付けチャンネル回路212の追加出力304から出力される信号に依存する。それゆえに、図4に描かれた回路構成200は、選択的に1となる確率を有する出力信号を有利に提示する。このように、本発明に係る一実施形態によれば、テストされる電子回路(集積回路)16の誤りの補償範囲を増大させることにより、I/Oチャンネルを横切ってテストされる電子回路16に渡されるテスト信号を発生させるにあたり、より大きな適応性を提供する。

20

【0039】

なお、図示は省略するが、本発明に係るさらなる実施形態では、 n を1以上の整数として、4対1マルチプレクサ208が 2^n 対1のマルチプレクサになり、そして回路構成200が $2^n - 1$ 個のANDゲートおよび $2^n - 1$ 個の2対1マルチプレクサを含むとともに、制御回路212、 $2^n - 1$ 個のANDゲート、 $2^n - 1$ 個の2対1マルチプレクサ、およびLFSR12の間の接続状態が前述した接続状態と同様となるように、図4に描かれた回路構成200は拡張され得る。これらさらなる実施形態においては、回路構成はLFSR12の 2^n 個の出力20およびテストされる集積回路16の1つの入力28に接続される。

30

【0040】

それとともに、図4の回路構成200は、コンピュータ(図示せず)が制御回路222、重み付けチャンネル回路212、および外部入力300を制御できるという点で有利である。なぜなら、回路構成200はコンピュータにより制御可能であるので、回路構成200によって発生させられてテストされる電子回路16に与えられるパターンは、テストの要求を満足させるために修正可能となるからである。

40

【0041】

さらには、様々な技術におけるこれらの技術に対して、この中の発明自身は他の課題や他の応用への適応に対する解決策を提案するものである。本実施形態は、それゆえに実例としての全ての点において考慮されなければならないとともに、限定されるものではない。本発明の範囲は、それらの実施形態には限定されるものではなく、その代わりに添えられたクレームにより、それらの法的に権利を与えられたクレームと同等の最大限の範囲とともに決定されなければならないものである。

【図面の簡単な説明】

【0042】

【図1】STUMPS構造のブロックダイアグラム。

50

【図2】多数の入力ANDゲートを有するテスト中の回路を含むSTUMPS構造のブロックダイアグラム。

【図3】従来のプログラム可能な重み付けされたランダムパターン発生装置に含まれる回路構成のブロックダイアグラム。

【図4】本発明に係るプログラム可能な重み付けされたランダムパターン発生装置に含まれる回路構成の一実施形態に係るブロックダイアグラム。

【符号の説明】

【0043】

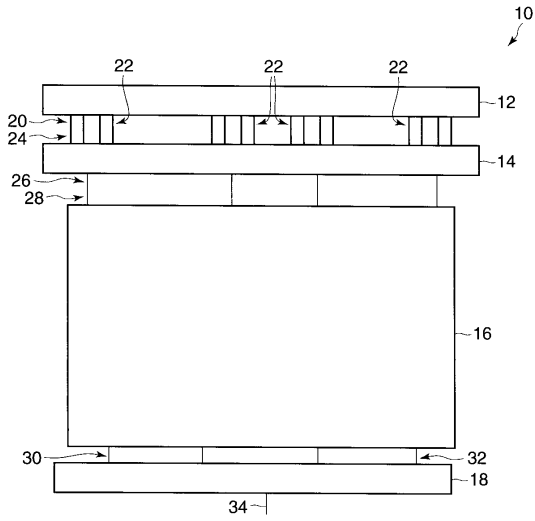
10...LBISTテスト構成(電子回路試験装置)、12...LFSR(線形フィードバックシフトレジスタ)、14...PWR(プログラム可能な重み付けされたランダムパターン発生装置)、16...テストされる集積回路(電子回路)、18...MISR(多入力シフトレジスタ)、200...PWRに含まれる回路構成(電子回路試験用回路)、202...第1のANDゲート(他の論理ゲート)、204...第2のANDゲート(他の論理ゲート)、206...第3のANDゲート(他の論理ゲート)、208...4対1マルチプレクサ(2ⁿ対1のマルチプレクサ、第1のマルチプレクサ)、210...XORゲート(出力論理ゲート)、212...重み付けチャンネル回路、214...第1の2対1マルチプレクサ(他のマルチプレクサ)、216...第2の2対1マルチプレクサ(他のマルチプレクサ)、218...第3の2対1マルチプレクサ(他のマルチプレクサ)、220...第4の2対1マルチプレクサ(出力マルチプレクサ)、222...制御回路(少なくとも1つの制御回路)、228...第1のANDゲートの1つの入力(他の論理ゲートの1つの入力)、236...第1のANDゲートの出力(他の論理ゲートの出力)、244...第2のANDゲートの1つの入力(他の論理ゲートの1つの入力)、252...第2のANDゲートの出力(他の論理ゲートの出力)、260...第3のANDゲートの1つの入力(他の論理ゲートの1つの入力)、268...第3のANDゲートの出力(他の論理ゲートの出力)、278...第1の2対1マルチプレクサの選択線(他のマルチプレクサの選択線)、280...第2の2対1マルチプレクサの選択線(他のマルチプレクサの選択線)、282...第3の2対1マルチプレクサの選択線(他のマルチプレクサの選択線)、284...4対1マルチプレクサの選択線(第1のマルチプレクサの選択線)、286...重み付けチャンネル回路の選択線出力、288...4対1マルチプレクサの出力(第1のマルチプレクサの出力)、290...XORゲートの1つの入力(出力論理ゲートの1つの入力)、292...XORゲートの他の入力(出力論理ゲートの他の入力)、294...重み付けチャンネル回路の他の出力、296...XORゲートの出力(出力論理ゲートの出力)、298...第4の2対1マルチプレクサの1つの入力(出力マルチプレクサの1つの入力)、300...外部入力、302...第4の2対1マルチプレクサの他の入力(出力マルチプレクサの他の入力)、304...重み付けチャンネル回路の追加出力、306...第4の2対1マルチプレクサの選択線(出力マルチプレクサの選択線)

10

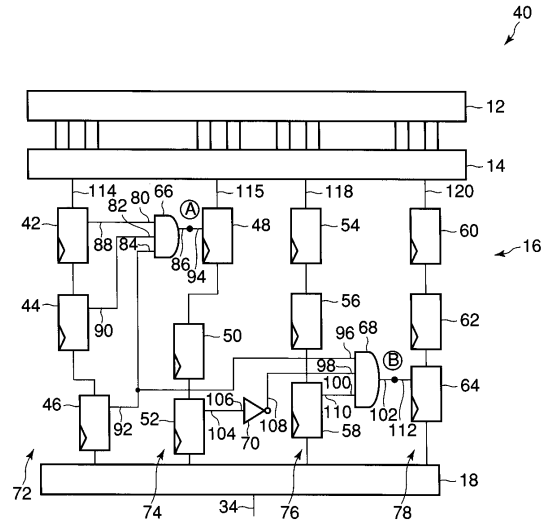
20

30

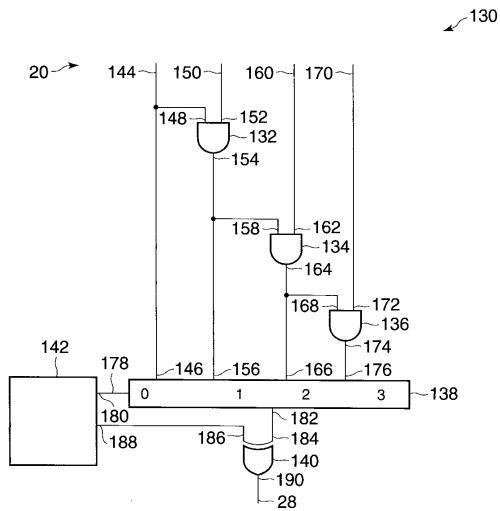
【 図 1 】



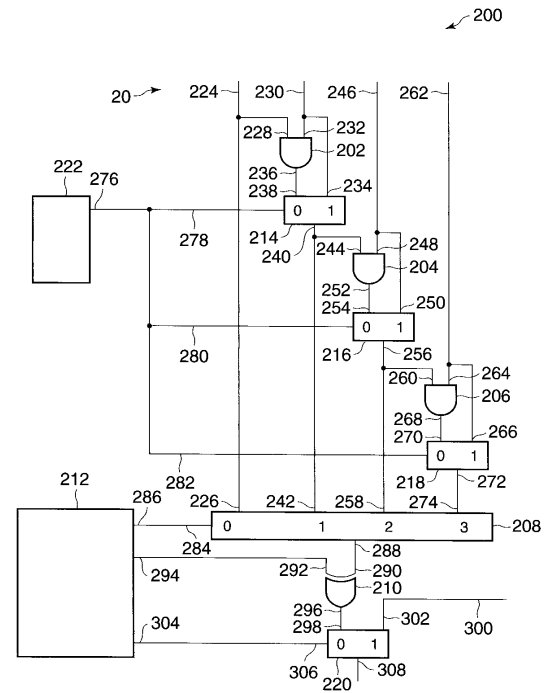
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

- (51) Int.Cl. F I
G 0 6 F 11/22 3 3 0 F
G 0 6 F 11/22 3 6 0 A
- (74)代理人 100091351
弁理士 河野 哲
- (74)代理人 100088683
弁理士 中村 誠
- (74)代理人 100108855
弁理士 蔵田 昌俊
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100092196
弁理士 橋本 良郎
- (72)発明者 桐生 直樹
アメリカ合衆国、 カリフォルニア州、 サンノゼ、 リンコン・サークル 1 0 6 0
- (72)発明者 ルイス・ブシャード
アメリカ合衆国、 テキサス州、 オースチン、 バーネットロード 1 1 4 0 0

審査官 森 雅之

- (56)参考文献 米国特許第 0 5 9 8 3 3 8 0 (U S , A)
特許第 2 5 8 4 1 7 2 (J P , B 2)
特許第 3 9 5 0 7 9 8 (J P , B 2)

- (58)調査した分野(Int.Cl. , DB名)
G 0 1 R 3 1 / 2 8
G 0 6 F 1 1 / 2 2
H 0 1 L 2 1 / 8 2
H 0 1 L 2 7 / 0 4