

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H01L 21/334

(45) 공고일자 2005년09월02일
(11) 등록번호 10-0511907
(24) 등록일자 2005년08월25일

(21) 출원번호 10-1999-0060295
(22) 출원일자 1999년12월22일

(65) 공개번호 10-2001-0063265
(43) 공개일자 2001년07월09일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 여인석
경기도성남시분당구서현동한신아파트124-202호

(74) 대리인 강성배

심사관 : 정회환

(54) 반도체 소자의 제조방법

요약

본 발명은 미세 선폭의 게이트 전극을 안정되게 형성시킬 수 있는 반도체 소자의 제조방법에 관한 것으로, 본 발명의 반도체 소자의 제조방법은, 일측 표면에 제1열산화막이 형성된 반도체 기판을 제공하는 단계; 상기 제1열산화막 상에 희생막 패턴을 형성하는 단계; 상기 희생막 패턴 양측의 상기 반도체 기판 부분에 소오스/드레인 영역을 형성하는 단계; 상기 제1열산화막 상에 상기 희생막 패턴을 완전히 덮을 정도의 충분한 두께로 절연막을 형성하는 단계; 상기 희생막 패턴이 노출되도록, 상기 절연막을 연마하는 단계; 상기 반도체 기판을 노출시키는 콘택홀이 형성되도록, 노출된 희생막 패턴과 그 하부의 제1열산화막 부분을 제거하는 단계; 상기 콘택홀의 양 측벽에 PSG막 스페이서를 형성하는 단계; 상기 PSG막 스페이서에 함유된 불순물이 확산되는 것에 의해 상기 PSG막 스페이서와 접촉하고 있는 반도체 기판 부분에 저도핑 드레인 영역이 형성되도록, 상기 결과물을 열처리하는 단계; 상기 PSG막 스페이서를 제거하는 단계; 노출된 반도체 기판 부분에 제2열산화막을 형성하는 단계; 상기 콘택홀의 양측벽에 절연막 스페이서를 형성하는 단계; 게이트 전극이 형성될 반도체 기판이 노출되도록, 상기 절연막 스페이서 사이의 상기 제2열산화막 부분을 제거하는 단계; 노출된 반도체 기판 부분에 게이트 산화막을 형성하는 단계; 및 상기 콘택홀 내부 및 절연막 상에 게이트 전극을 형성하는 단계를 포함한다.

대표도

도 2g

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 종래 기술에 따른 미세 선폭의 게이트 전극 형성방법을 설명하기 위한 단면도.

도 2a 내지 도 2h는 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 각 공정별 단면도.

(도면의 주요 부분에 대한 부호의 설명)

11 : 반도체 기판 12 : 제1열산화막

13 : 희생막 14 : 소오스/드레인 영역

15 : 절연막 16 : 콘택홀

17 : PSG막 스페이서 18 : 저도핑 드레인 영역

19 : 제2열산화막 20 : 절연막 스페이서

21 : 게이트 산화막 22 : 게이트 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히, 미세 선폭의 게이트 전극을 안정되게 형성시킬 수 있는 반도체 소자의 제조방법에 관한 것이다.

반도체 소자의 집적도가 증가됨에 따라, 회로 내에 구비되는 패턴들의 크기가 감소되고 있고, 특히, 게이트 전극의 미세화가 요구되고 있다. 여기서, 상기 게이트 전극의 미세화는 게이트 전극의 선폭이 감소됨을 의미하는데, 통상의 반도체 제조 공정에서는 포토리소그래피(Photolithography) 공정시에 보다 짧은 파장의 광원을 사용하는 것에 의해 상기 게이트 전극의 미세화를 달성하고 있다.

그런데, 상기 방법은 노광 장비의 분해능에 따라 미세 폭의 패턴을 얻는 것이므로, 장비 능력 이하의 패턴 크기는 얻을 수 없고, 특히, 장비 투자 비용이 증가된다는 단점이 있다.

따라서, 상기한 방법 이외에 미세 패턴을 형성하기 위한 다양한 기술들이 제안되고 있으며, 한 예로서, 레지스트 패턴의 에칭(ashing)을 이용하는 기술이 최근의 반도체 제조 공정에 적용되고 있다.

도 1a 내지 도 1c는 레지스트 패턴의 에칭을 이용한 종래 기술에 따른 미세 선폭의 게이트 전극 형성방법을 설명하기 위한 각 공정별 단면도이다.

도 1a에 도시된 바와 같이, 반도체 기판(1) 상에 게이트 전극용 도전막(2)을 형성하고, 상기 게이트 전극용 도전막(2) 상에 공지된 포토리소그래피 공정으로 레지스트 패턴(3)을 형성한다. 그런다음, 상기 레지스트 패턴(3)에 대하여 O₂ 가스를 이용한 에칭 공정을 수행하여, 도 1b에 도시된 바와 같이, 전 공정에서 얻어진 레지스트 패턴(3) 보다는 축소된 크기를 갖는 레지스트 패턴(3a)을 형성하고, 그리고나서, 도 1c에 도시된 바와 같이, 축소된 레지스트 패턴(3a)을 이용한 식각 공정을 통해 그 하부의 상기 게이트 전극용 도전막(2)을 식각함으로써, 장비 능력 이하의 크기를 갖는 미세 선폭의 게이트 전극(2a)을 형성한다.

발명이 이루고자 하는 기술적 과제

그러나, 상기 레지스트 패턴의 에칭을 이용한 게이트 전극 형성방법은 장비 능력 이하의 선폭을 갖는 게이트 전극을 비교적 용이하게 얻을 수 있다는 장점은 있으나, 에칭에 의해 얻어지는 레지스트 패턴의 폭의 제어가 어렵다는 문제점이 있고, 특히, 도 1b에 도시된 바와 같이, 레지스트 패턴(3a)의 두께가 얇아짐에 따라, 상기 레지스트 패턴(3a)이 식각 장벽으로서의 기능을 제대로 수행하지 못함으로써, 후속의 식각 공정이 안정하지 못한 문제점이 있다.

따라서, 상기와 같은 문제점을 해결하기 위하여 안출된 본 발명은, 미세 선폭의 게이트 전극을 안정되게 형성시킬 수 있는 반도체 소자의 제조방법을 제공하는데, 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 반도체 소자의 제조방법은, 일측 표면에 제1열산화막이 형성된 반도체 기판을 제공하는 단계; 상기 제1열산화막 상에 게이트 전극 형성 영역을 한정하는 희생막 패턴을 형성하는 단계; 상기 희생막 패턴 양측의 상기 반도체 기판 부분에 소오스/드레인 영역을 형성하는 단계; 상기 제1열산화막 상에 상기 희생막 패턴을 완전히 덮을 정도의 충분한 두께로 절연막을 형성하는 단계; 상기 희생막 패턴이 노출되도록, 상기 절연막을 연마하는 단계; 상기 반도체 기판을 노출시키는 콘택홀이 형성되도록, 노출된 희생막 패턴과 그 하부의 제1열산화막 부분을 제거하는 단계; 상기 콘택홀의 양 측벽에 PSG막 스페이서를 형성하는 단계; 상기 PSG막 스페이서에 함유된 불순물이 확산되는 것에 의해 상기 PSG막 스페이서와 접촉하고 있는 반도체 기판 부분에 저도핑 드레인 영역이 형성되도록, 상기 결과물을 열처리하는 단계; 상기 PSG막 스페이서를 제거하는 단계; 노출된 반도체 기판 부분에 제2열산화막을 형성하는 단계; 상기 콘택홀의 양 측벽에 절연막 스페이서를 형성하는 단계; 게이트 전극이 형성될 반도체 기판이 노출되도록, 상기 절연막 스페이서 사이의 상기 제2열산화막 부분을 제거하는 단계; 노출된 반도체 기판 부분에 게이트 산화막을 형성하는 단계; 및 상기 콘택홀 내부 및 상기 절연막 상에 게이트 전극을 형성하는 단계를 포함한다.

본 발명에 따르면, 절연막 스페이서의 두께만을 조절함으로써, 선폭 제어가 용이한 미세 선폭의 게이트 전극을 형성할 수 있다.

이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.

도 2a 내지 도 2h는 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 공정별 단면도이다.

먼저, 도 2a에 도시된 바와 같이, 반도체 기판(11)을 마련하고, 상기 반도체 기판(1)의 일측 표면을 열산화시켜, 50 내지 200Å 정도의 제1열산화막(12)을 형성한다. 그런다음, 상기 제1열산화막(12) 상에 희생막(13), 예를들어, 폴리실리콘막을 1,500 내지 3,000Å 두께로 증착한다.

그 다음, 도 2b에 도시된 바와 같이, 게이트 전극이 형성될 영역을 한정하기 위하여, 공지된 포토리소그라피 공정을 통해 상기 희생막(13) 상에 레지스트 패턴(도시안됨)을 형성하고, 이어서, 상기 레지스트 패턴을 마스크로하는 식각 공정을 통해 상기 희생막을 식각하여 희생막 패턴(13a)을 형성한다. 그런다음, 식각 마스크로 사용된 레지스트 패턴을 제거한다.

다음으로, 도 2c에 도시된 바와 같이, 상기 결과물에 소정 불순물, 예를들어, 비소(As)를 고농도로 이온주입하여 희생막 패턴(13a) 양측의 반도체 기판 부분에 소오스/드레인 영역(14)을 형성하고, 그런다음, 상기 제1열산화막(12) 상에 상기 희생막 패턴(13a)을 완전히 덮을 수 있을 정도의 충분한 두께, 예를들어, 3,000 내지 5,000Å 두께로 절연막(15)을 증착한다.

이어서, 도 2d에 도시된 바와 같이, 희생막 패턴이 노출되도록, 상기 희생막 패턴을 연마정지층으로 이용해서 화학적기계 연마(Chemical Mechanical Polishing) 공정으로 절연막(15)을 연마하고, 그런다음, 게이트 전극이 형성될 반도체 기판 부분을 노출시키는 콘택홀(16)이 형성되도록, 상기 결과물을 TMAH(Trimethyl Ammonia Hydroxide) 용액에 침적시켜 노출된 희생막 패턴을 제거하고, 연이어서, 상기 결과물을 희석된 HF 용액에 재차 침적시켜, 상기 희생막 패턴의 제거로 인하여 노출된 제1열산화막 부분을 제거한다. 여기서, 상기 희생막 패턴의 제거는 TMAH 용액을 이용한 습식 식각 공정 대신에, SF₆ 가스를 베이스로하는 플라즈마 식각 공정으로 수행하는 것도 가능하다.

계속해서, 도 2e에 도시된 바와 같이, 상기 결과물 상에 PSG막을 증착하고, 이어서, 상기 PSG막을 에치백하여 콘택홀(16)의 양 측벽에 PSG막 스페이서(17)를 형성한다. 그런다음, 상기 결과물에 대한 열처리를 수행하여 상기 PSG막 스페이서(17)에 함유된 P 이온을 상기 PSG막 스페이서(17)와 접촉하고 있는 반도체 기판 부분으로 확산시켜, 그 부분에 저도핑 드레인 영역(18)을 형성한다.

여기서, 상기 PSG막 스페이서(17)의 폭은 상기 저도핑 드레인 영역(18)의 접합 길이를 한정하게 되므로, 상기 PSG막은 200 내지 500Å 두께로 증착함이 바람직하다. 또한, 저도핑 드레인 영역(18)을 형성하기 위한 열처리는 N₂ 또는 O₂ 분위기 및 700 내지 1,000°C에서 20 내지 60분 동안 수행하거나, 또는, 급속열처리인 경우에는 N₂ 또는 O₂ 분위기 및 800 내지 1,100°C에서 30 내지 60초 동안 수행한다.

다음으로, 도 2f에 도시된 바와 같이, 희석된 HF 용액에 상기 결과물을 침적시켜 PSG막 스페이서를 제거하고, 이 결과로 노출된 반도체 기판 부분을 재차 열산화시켜, 이 부분에 제2열산화막(19)을 형성한다. 그런다음, 콘택홀(16) 및 절연막(15) 상에 다른 절연막을 증착한 후, 상기 절연막을 식각하여 상기 콘택홀(16)의 양 측벽에 절연막 스페이서(20)을 형성한다. 여기서, 상기 절연막 스페이서(20)은 이전 단계에서의 PSG막 스페이서의 폭 보다 30 내지 70Å, 바람직하게는, 50Å 정도 짧은 폭을 갖도록 형성시킴으로써, 후속에서 형성될 게이트 전극이 저도핑 드레인 영역(18)과 오버랩되도록 한다.

그 다음, 도 2g에 도시된 바와 같이, 상기 결과물에 대한 습식 세정을 수행하여 게이트 전극이 형성될 부분, 즉, 콘택홀(16)의 저면에 형성된 제2열산화막을 제거하고, 재차, 이 부분에 게이트 산화막(21)을 형성한다. 여기서, 상기 게이트 산화막(21)은 실리콘 산화막, 알루미늄 산화막 또는 탄탈륨 산화막 중에서 선택되는 하나의 막으로 형성하거나, 혹은 이들 산화막의 혼합 막으로 형성하며, 그 유효 두께는 20 내지 100Å이 되도록 함이 바람직하다.

다음으로, 도 2h에 도시된 바와 같이, 콘택홀이 완전히 매립될 정도의 충분한 두께로 절연막(15) 상에 게이트 전극용 도전막을 증착하고, 상기 게이트 전극용 도전막을 공지된 포토리소그래피 공정 및 식각 공정을 통해 패터닝하여 미세 선폭을 갖는 게이트 전극(22)을 형성한다. 여기서, 상기 게이트 전극용 도전막은 폴리실리콘막, 폴리실리콘막-게르마늄, 텅스텐, 또는 실리사이드막 중에서 선택되는 하나의 막으로 형성하거나, 혹은, 이들의 혼합 막으로 형성한다. 또한, 상기 게이트 전극(22)은 포토리소그래피 공정 및 식각 공정 대신에 화학적기계연마 공정으로 형성하는 것도 가능하다.

이후, 공지된 후속 공정을 수행하여 반도체 소자를 제조한다.

본 발명에 따르면, 게이트 전극이 형성될 영역을 미리 한정된 후에, 절연막 스페이서를 이용하여 그 폭을 줄임으로써, 장비 능력 이하의 미세 선폭을 갖는 게이트 전극을 형성할 수 있고, 특히, 절연막 스페이서를 형성하기 위한 절연막의 두께만을 조절함으로써, 최종적으로 얻게 되는 게이트 전극의 폭을 안정되게 조절할 수 있다.

발명의 효과

이상에서와 같이, 본 발명은 장비 능력 이하의 미세 선폭을 갖는 게이트 전극을 매우 용이하게 형성시킬 수 있으며, 특히, 그 폭의 조절을 안정되게 수행할 수 있다. 따라서, 고집적 반도체 소자의 제조에 매우 유리하게 적용시킬 수 있다.

한편, 여기에서는 본 발명의 특정 실시예에 대하여 설명하고 도시하였지만, 당업자에 의하여 이에 대한 수정과 변형을 할 수 있다. 따라서, 이하, 특허청구의 범위는 본 발명의 진정한 사상과 범위에 속하는 한 모든 수정과 변형을 포함하는 것으로 이해할 수 있다.

(57) 청구의 범위

청구항 1.

일측 표면에 제1열산화막이 형성된 반도체 기판을 제공하는 단계;

상기 제1열산화막 상에 게이트 전극 형성 영역을 한정하는 희생막 패턴을 형성하는 단계;

상기 희생막 패턴 양측의 상기 반도체 기판 부분에 소오스/드레인 영역을 형성하는 단계;

상기 제1열산화막 상에 상기 희생막 패턴을 완전히 덮을 정도의 충분한 두께로 절연막을 형성하는 단계;

상기 희생막 패턴이 노출되도록, 상기 절연막을 연마하는 단계;

상기 반도체 기판을 노출시키는 콘택홀이 형성되도록, 노출된 희생막 패턴과 그 하부의 제1열산화막 부분을 제거하는 단계;

상기 콘택홀의 양 측벽에 PSG막 스페이서를 형성하는 단계;

상기 PSG막 스페이서에 함유된 불순물이 확산되는 것에 의해 상기 PSG막 스페이서와 접촉하고 있는 반도체 기판 부분에 저도핑 드레인 영역이 형성되도록, 상기 결과물을 열처리하는 단계;

상기 PSG막 스페이서를 제거하는 단계;

노출된 반도체 기판 부분에 제2열산화막을 형성하는 단계;

상기 콘택홀의 양 측벽에 절연막 스페이서를 형성하는 단계;

게이트 전극이 형성될 반도체 기판이 노출되도록, 상기 절연막 스페이서 사이의 상기 제2열산화막 부분을 제거하는 단계;

노출된 반도체 기판 부분에 게이트 산화막을 형성하는 단계; 및

상기 콘택홀 내부 및 상기 절연막 상에 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 2.

제 1 항에 있어서, 상기 제1열산화막은 50 내지 200Å 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 3.

제 1 항에 있어서, 상기 희생막 패턴은 1,500 내지 3,000Å 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 4.

제 1 항에 있어서, 상기 소오스/드레인 영역을 형성하는 단계는,

상기 반도체 기판에 비소(As)를 이온주입하여 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 5.

제 1 항에 있어서, 상기 절연막은 3,000 내지 5,000Å 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 6.

제 1 항에 있어서, 상기 절연막을 연마하는 단계는, 상기 희생막 패턴을 연마저지층으로 하여 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 7.

제 1 항에 있어서, 상기 희생막 패턴을 제거하는 단계는,

TMAH(Trimethyl Ammonia Hydroxide) 용액을 이용한 습식 식각 공정으로 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 8.

제 1 항에 있어서, 상기 희생막 패턴을 제거하는 단계는,

SF₆ 가스를 베이스로하는 플라즈마 식각 공정으로 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 9.

제 1 항에 있어서, 상기 제1열산화막을 제거하는 단계는, 희석된 HF 용액에 침적시켜 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 10.

제 1 항에 있어서, 상기 PSG막 스페이서를 형성하는 단계는,

상기 콘택홀을 포함한 상기 절연막 상에 PSG막을 증착하는 단계; 및 상기 PSG막을 에치백하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 11.

제 10 항에 있어서, 상기 PSG막은 200 내지 500Å 두께로 증착하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 12.

제 1 항에 있어서, 상기 저도핑 드레인 영역을 형성하기 위한 열처리는,

N₂ 또는 O₂ 분위기 및 700 내지 1,000℃에서 20 내지 60분 동안 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 13.

제 1 항에 있어서, 상기 저도핑 드레인 영역을 형성하기 위한 열처리는,

N₂ 또는 O₂ 분위기 및 800 내지 1,100℃에서 30 내지 60초 동안 급속열처리로 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 14.

제 1 항에 있어서, 상기 절연막 스페이서는,

상기 PSG막 스페이서 보다 30 내지 70Å 정도 짧은 폭을 갖도록 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 15.

제 1 항에 있어서, 상기 게이트 산화막은 실리콘 산화막, 알루미늄 산화막 또는 탄탈륨 산화막 중에서 선택되는 하나의 막으로 형성하거나, 혹은 이들 산화막의 혼합 막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 16.

제 1 항에 있어서, 상기 게이트 산화막은 그 유효 두께가 20 내지 100Å이 되도록 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 17.

제 1 항에 있어서, 상기 게이트 전극은 폴리실리콘막, 폴리실리콘막-게르마늄, 텅스텐, 또는 실리사이드막 중에서 선택되는 하나의 막으로 형성하거나, 혹은, 이들의 혼합 막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 18.

제 1 항에 있어서, 상기 게이트 전극을 형성하는 단계는,

상기 콘택홀을 포함한 절연막 상에 게이트 전극용 도전막을 형성하는 단계; 및 상기 게이트 전극용 도전막을 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

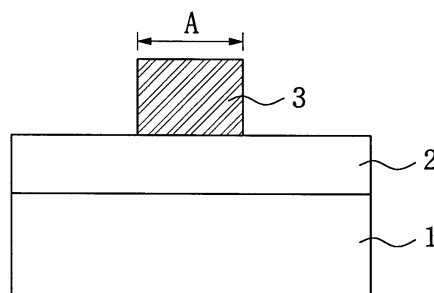
청구항 19.

제 1 항에 있어서, 상기 게이트 전극을 형성하는 단계는,

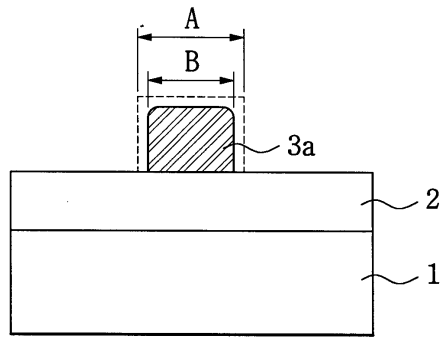
상기 콘택홀을 포함한 절연막 상에 게이트 전극용 도전막을 형성하는 단계; 및 상기 게이트 전극용 도전막을 연마하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

도면

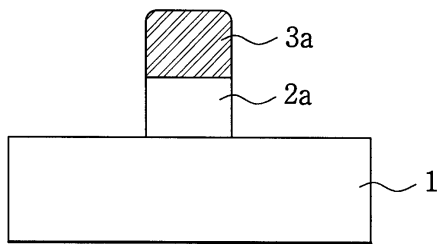
도면1a



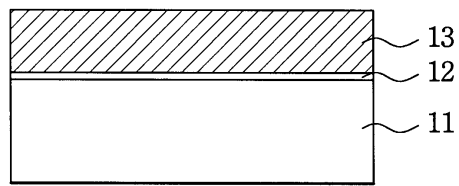
도면1b



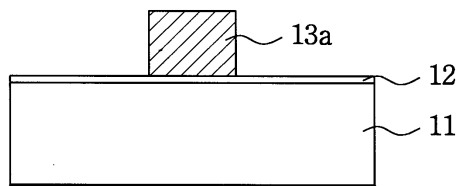
도면1c



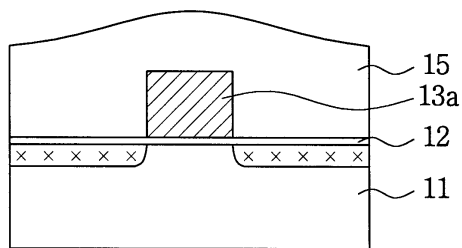
도면2a



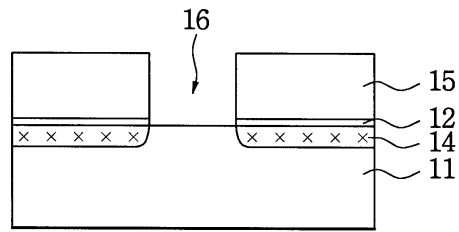
도면2b



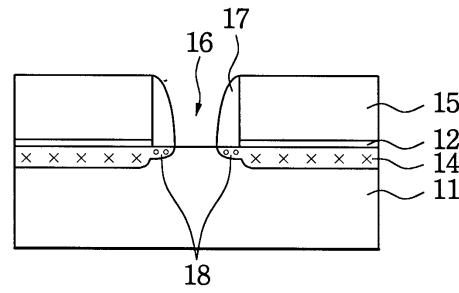
도면2c



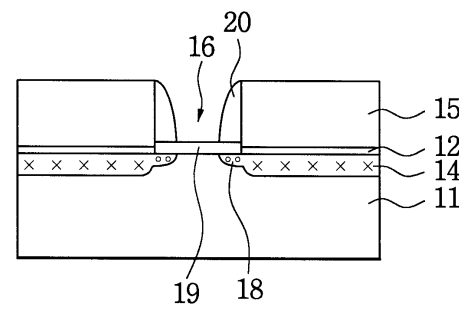
도면2d



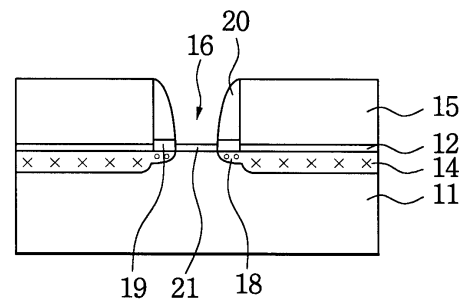
도면2e



도면2f



도면2g



도면2h

