



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 698 28 835 T2** 2006.01.12

(12)

Übersetzung der europäischen Patentschrift

(97) **EP 0 869 650 B1**

(21) Deutsches Aktenzeichen: **698 28 835.1**

(96) Europäisches Aktenzeichen: **98 105 872.0**

(96) Europäischer Anmeldetag: **31.03.1998**

(97) Erstveröffentlichung durch das EPA: **07.10.1998**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **02.02.2005**

(47) Veröffentlichungstag im Patentblatt: **12.01.2006**

(51) Int Cl.⁸: **H04L 1/00** (2006.01)

H03M 13/25 (2006.01)

H03M 13/27 (2006.01)

(30) Unionspriorität:

42932 P 04.04.1997 US

(73) Patentinhaber:

Harris Corp., Melbourne, Fla., US

(74) Vertreter:

BOEHMERT & BOEHMERT, 80336 München

(84) Benannte Vertragsstaaten:

DE, ES, FR, GB, IT, SE

(72) Erfinder:

Twitchell, Ed., Quincy, US; Seccia, Joseph, Quincy, US

(54) Bezeichnung: **Trelliskodierer zur Kodierung eines digitalen Datenstromes**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die Erfindung betrifft Schaltkreise und Systeme zum Übertragen analoger und digitaler Signale und insbesondere elektronische Schaltkreise und Systeme zum Erzeugen und Übertragen digitaler Fernsehsignale.

[0002] Während vieler Jahre wurden kommerzielle Fernsehsignale in einem Format gesandt, das als NTSC bekannt ist. Mit dem Aufkommen von Hochauflösungs-(High-Definition)-Fernsehen und dem zunehmend besetzten Sendespektrum wurde bestimmt, daß Fernsehsender eine gleichzeitige Mischung von sowohl NTSC-Signalen als auch digitalen Fernsehsignalen ("DTV") vorsehen, so daß die große installierte Grundmenge von NTSC-Empfängern und die neu installierten DTV-Empfänger gleichzeitig dieselben Sendungen genießen können. Gleichzeitiges Senden umfaßt die gleichzeitige Übertragung von identischen Programmen, die in zwei verschiedenen Formaten codiert sind, über entsprechende Fernsehkanäle. Sowohl NTSC- als auch DTV-Kanäle wurden mit einer Bandbreite von 6 MHz definiert.

[0003] Gleichzeitiges Senden in sowohl NTSC- als auch DTV-Format umfaßt die Verwendung von zwei verschiedenen Kanälen. Da das verfügbare Spektrum für diese zusätzlichen Kanäle sehr begrenzt ist, wurde vorgeschlagen, daß die zusätzlichen Kanäle solchen Kanälen zugewiesen werden, die in der Nähe anderer vorhandener Kanäle liegen. Während NTSC- und DTV-Signale über nahe beieinander gelegene Kanäle übertragen werden, entsteht ein erhebliches Problem durch Co-Kanal-Interferenz, bei der NTSC- und DTV-Signale einander stören. Das Interferenzproblem zwischen nahe beieinander liegenden Kanälen wird noch verschlimmert, wenn Signale, die auf DTV- und/oder NTSC-Wellenformen getragen werden, nicht präzise örtlich begrenzt sind und nicht innerhalb ihrer zugewiesenen Kanalbandbreite gehalten werden.

[0004] In vorgeschlagenen DTV-Systemen, wie in [Fig. 1](#) gezeigt, kann ein Signal, das Video- und Audiodaten trägt, von einer Signalquelle, wie einem Fernsehstudio, zu einer RF/Sende-Stelle gesandt werden, die nicht an demselben Ort liegt. In einem solchen System können die Video- und Audiodatensignale vom Studio an die RF/Sende-Stelle mit Hilfe herkömmlicher Übertragungstechniken, wie Mikrowellenverbindungen, gesandt (oder transportiert) werden. Dieses Signal, das häufig als das Transportsignal bezeichnet wird, enthält sowohl die Daten als auch den Takt für die Daten, entweder getrennt oder durch Verwendung einer selbsttaktenden Codierung, wie die Manchester-Codierung. Üblicherweise würde die RF/Sende-Einrichtung den Datentakt für die Wiedergewinnung der Daten an der Sendeeinrichtung

verwenden.

[0005] Die EP-A-0677966 offenbart ein Modulationsverfahren für High-Definition-Fernsehen unter Verwendung eines verketteten Codes mit einem Reed-Solomon-Codierer, gefolgt von einem N-dimensionalen Trellis-Codierer, wobei $N > 1$, und wobei der Ausgang des Trellis-Codierer dazu verwendet wird, einen eindimensionalen Rest-Seitenbandmodulator zu modulieren.

[0006] Eine Aufgabe der vorliegenden Erfindung ist es, einen Trelliscodierschaltkreis zum Codieren eines digitalen Datenstroms bei digitaler Fernsehübertragung vorzusehen.

[0007] Gemäß einem Aspekt sieht die Erfindung einen Trelliscodierschaltkreis zum Codieren eines digitalen Datenstroms vor, mit folgenden Merkmalen: ein Eingangsmultiplexer mit einem Eingang zum Empfangen des digitalen Datenstroms; eine Reihe sequentiell angeordneter Register, die ein erstes Register umfaßt, das mit dem Ausgang des Multiplexers verbunden ist; Mittel zum Laden der Reihe der Register mit Datenbits des digitalen Datenstroms, die von dem Multiplexer empfangen wurden; einen Teilbyte-Auswählschaltkreis zum Auswählen eines Teilbytes (nibble) aus dem Inhalt des letzten Registers gemäß einem Protokoll; einen Trellis-Codierer, der mit dem Teilbyte-Auswählschaltkreis verbunden ist, zum Codieren von Datenbits, die von dem Teilbyte-Auswählschaltkreis ausgegeben werden; und Mittel zum zyklischen Durchlaufen des Inhalts des Registers durch die Reihe der Register, bis alle geladenen Bits trelliscodiert wurden.

[0008] Gemäß einem weiteren Aspekt sieht die Erfindung einen Trelliscodierschaltkreis zum Codieren eines digitalen Datenstroms vor, mit folgenden Merkmalen: ein Eingangsmultiplexer zum Empfangen des Datenstroms; mehrere Speicherregister, die parallel angeordnet und mit dem Eingangsmultiplexer zum Laden mit den Datenbits des digitalen Datenstroms verbunden sind; ein Teilbyte-Auswählschaltkreis, der jedem der Speicherregister zugeordnet ist, zum Auswählen von zwei Datenbits aus dem Inhalt der Register gemäß einem Protokoll; ein Trellis-Codierer, der jedem Teilbyte-Auswählschaltkreis zugeordnet ist, zum Empfangen der ausgewählten Bits von dem zugehörigen Teilbyte-Auswählschaltkreis und Codieren der empfangenen Bits gemäß dem Protokoll; und ein Multiplexer zum Empfangen des codierten Ausgangs der Trellis-Codierer und Auswählen des codierten Ausgangs von dem richtigen Trellis-Codierer gemäß dem Protokoll.

[0009] Die Erfindung ist im folgenden beispielhaft mit Bezug auf die Zeichnungen erläutert.

[0010] [Fig. 1](#) zeigt ein Funktions-Blockdiagramm ei-

nes digitalen Fernsehsystems gemäß dem Stand der Technik;

[0011] [Fig. 2](#) zeigt ein Funktions-Blockdiagramm eines Schaltkreises in dem RF-Übertragungssystem;

[0012] [Fig. 3](#) zeigt ein Funktions-Blockdiagramm des RF-Übertragungssystems;

[0013] [Fig. 4](#) zeigt einen Graph der Amplitude über die Frequenz für ein erzeugtes DTV-Signal;

[0014] [Fig. 5](#) zeigt ein Funktions-Blockdiagramm eines Sync-Vertrauens-Zählerschaltkreises;

[0015] [Fig. 6](#) zeigt ein Funktions-Blockdiagramm eines Interleaving-Schaltkreises gemäß dem Stand der Technik;

[0016] [Fig. 7](#) zeigt ein Funktions-Blockdiagramm eines Interleaving-Pufferschaltkreises;

[0017] [Fig. 8](#) zeigt ein Funktions-Blockdiagramm eines Raten-Konversionsschaltkreises;

[0018] [Fig. 9](#) zeigt ein Funktions-Blockdiagramm einer ersten Ausführung eines Steuerschaltkreises für einen Trellis-Codierer;

[0019] [Fig. 10](#) zeigt ein Funktions-Blockdiagramm einer ersten Ausführung eines Trellis-Codierers; und

[0020] [Fig. 11](#) zeigt ein Funktions-Blockdiagramm einer zweiten Ausführung eines Trellis-Codierers.

[0021] Wie von dem Advanced Television Standards Committee ("ATSC") der U.S. Regierung in dem Digital Television Standard vom 16. September 1995 definiert, besteht ein Grundblockdiagramm des DTV-Systems **100** aus drei Abschnitten, wie in [Fig. 1](#) gezeigt, einschließlich einem Quellcodierungs- und Kompressionsabschnitt **102**, einem Dienstmultiplex- und Transportabschnitt **104** und einem RF/Übertragungssystem **106**. Der Quellcodierungs- und Kompressionsabschnitt **102** empfängt ein Videosignal **108** und ein Audiosignal **110** und codiert dieses Signal jeweils in digitale Datenströme. Die Codierung kann eine Bitratenreduktion sowie Kompressionstechniken umfassen, die für Video- und Audiodaten bekannt und geeignet sind.

[0022] [Fig. 1](#) zeigt, wie die codierten Video- und Audiodaten zusammen mit Hilfsdatensignalen **112** und Steuerdatensignalen **114** an den Dienstmultiplex- und Transportabschnitt **104** übergeben werden können. Die Hilfssignale **112** und Steuersignale **114** können Steuerdaten, bedingte Zugriffssteuerdaten und Daten im Zusammenhang mit den Audio- und Videodiensten umfassen, wie closed captioning. Im allgemeinen können die Videosignale mittels einer

MPEG-2-Videostromsyntax komprimiert sein, und die Audiosignale können unter Verwendung des digitalen Audiokompressions (AC-3)-Standard komprimiert sein.

[0023] In dem Dienstmultiplex- und Transportabschnitt **104** kann der komprimierte Datenstrom in Informationspakete aufgeteilt sein, und Mittel zum Identifizieren des Pakets oder Pakettyps können angehängt werden. In dem Prozeß können die Pakete des Videodatenstroms, Audiodatenstroms und Hilfsdatenstroms in einen einzigen Datenstrom durch Multiplexen zusammengefügt werden. Die paketierten Daten können mittels dem MPEG-2-Transportsystem zum Paketieren und Multiplexen von Video-, Audio- und Datensignale für digitale Sendesystem transportiert werden.

[0024] In dem RF/Übertragungsabschnitt **106** werden die paketierten Daten auf Kanäle codiert und moduliert. Ein Kanalcodierer **120** kann den Datenstrom modifizieren und zusätzliche Information hinzufügen, die von dem Empfänger dazu benutzt werden kann, die Daten aus einem empfangenen Signal, das von den üblichen Übertragungsstörquellen betroffen war, zu rekonstruieren.

[0025] Die Modulation **122** verwendet den digitalen Datenstrom zum Modulieren des gesendeten Signals. In einem DTV-Standard kann die Modulation ein 8VSB-Modulationsverfahren nutzen. Das modulierte Signal kann verstärkt und auf herkömmliche Weise an eine Antenne **124** zum Senden angelegt werden.

[0026] [Fig. 2](#) zeigt ein RF/Übertragungssystem, das ein Daten- und Taktsignal **10** von einem Transportabschnitt empfangen kann, wie in dem System der [Fig. 1](#) gezeigt. Die Daten- und Taktsignale können an einen Datenwiedergewinnungsschaltkreis **202** angelegt werden, der die Daten aus dem Transportformat extrahiert und, falls notwendig, auch den Datentakt aus demselben Signal extrahiert. Das Datensignal kann an einen Randomizer **204** angelegt werden, der die Reihenfolge der Daten innerhalb des Datenstroms gemäß dem DTV-Standard ändert. Der Randomizer **204** kann gestützt auf ein Generator-Polynom und eine binäre Pseudozufalls-Folge arbeiten.

[0027] Das von dem Randomizer **204** ausgegebene Signal kann an einen Reed Solomon-Codierer **206** angelegt werden, der die Reed Solomon-Codieretechnik nutzt, um Pakete vorzusehen, die auf vorgegebene Weise codiert wurden, die dem Empfänger des Signals bekannt ist. Die codierten Pakete werden an eine Interleavingeinheit (interleaver) **208** angelegt, die ein Interleaving der Daten gemäß einem vorgegebenen Schema durchführt. Der Reed Solomon-Codierer **206** beschreibt einen Datenpuffer (nicht gezeigt) mit der Datenrate der Transportschicht, und die Interleavingeinheit **208** liest die Pufferdaten mit der

Datenrate der Übertragungsschicht. Dies erlaubt es dem System, mit zwei asynchronen Takten ohne Synchronisierungs-Handshake zu arbeiten.

[0028] Das von der Interleavingeinheit **208** ausgegebene Signal kann an einen Trellis-Codierer **210** angelegt werden. In einem DTV-System verwendet der Trellis-Codierer einen 2/3 Trelliscode mit einem uncodierten Bit. In dem DTV-System wird ein Eingangsbit in zwei Ausgangsbit codiert, wobei ein Faltungscodiercode mit einer 1/2-Rate verwendet wird, während das andere Eingangsbit vorcodiert wird. Gemäß der DTV-Spezifikation ist die Signalwellenform, die mit dem Trelliscode verwendet wird, eine achtstufige (3 Bit) eindimensionale Konstellation. Das von dem Trellis-Codierer **210** ausgegebene Signal kann an einen Sync-Einfügeschaltkreis **212** übergeben werden, der das Data Segment Sync und das Data Field Sync an den geeigneten Stellen innerhalb des digitalen Datenstroms einfügt.

[0029] Der von dem Sync-Einfügeschaltkreis **212** ausgegebene digitale Datenstrom kann an ein Nyquist-Filter **214** angelegt werden, um das Spektrum des codierten Datenstroms auf die Bandbreite des Übertragungssystems zu begrenzen (6 MHz für das Standard-DTV-System). Die Filterfunktion der vorliegenden Erfindung umfaßt die folgenden Schritte: 1) Interpolieren und Aufwärtskonvertieren des Signals; 2) Korrigieren des Signals auf Nicht-Linearitäten; 3) Ausgleichen vorhandener Fehler der Frequenzantwort mit einem adaptiven Filter; und 4) Abwärtswandeln und Speichern des digitalen Abtastwertes.

[0030] Nach dem Nyquist-Filter **214** (und einer zugehörigen Impulsformung) kann ein Steuersignal hinzugefügt werden. Das Einfügen des Steuersignals erspart Schaltungsaufwand zum Einfügen des Steuersignals nach der Impulsformung durch das Nyquist-Filter. Das digitale Signal, das von dem Nyquist-Filter **214** vorgesehen wird und dem das Steuersignal hinzugefügt wurde, wird von einem Digital-Analog-Wandler **216** in ein analoges Signal umgewandelt und an einen der Eingänge eines ZF-Mischers **30** angelegt. Das andere Eingangssignal des ZF-Mischers **30** ist ein ZF-Trägersignal, das von einem PLL-Schaltkreis (phasenstarre Schleife) **218** mit ZF-Frequenz abgeleitet wurde. Das von dem ZF-Mischer erzeugte ZF-Signal wird an einen ZF-Schaltkreis **40** angelegt, der das ZF-Signal filtert und das Ausgangssignal an einen der Eingänge eines Kanalmischers **50** anlegt. Der andere Eingang des Kanalmischers **50** ist eine Kanalfrequenz, die von einer UHF PLL **170** abgeleitet wurde. In einer Ausführung der Erfindung können die ZFF PLL **218** und die UHF PLLs **70** ihre jeweiligen Signale aus einer gemeinsamen Taktreferenz **190** erzeugen. Die Taktreferenz **190** kann ihr Taktsignal auf ein extern abgeleitetes Signal (EXT REF) oder auf ein geeignetes Taktsignal, das lokal entwickelt wurde, oder auf

von der Erregungseinheit (Exciter) empfangene Daten stützen.

[0031] Das von dem Kanalmischer **50** ausgegebene Signal kann an ein Bandpaßfilter **60** auf herkömmliche Weise angelegt werden, um ein gefiltertes Signal zu entwickeln, das ausreichend verstärkt und zum Senden an eine Antenne **220** übergeben werden kann. **Fig. 2** zeigt, daß das Eingangssignal des Datenwiedergewinnungsschaltkreises **202** entweder getrennte Daten- und Taktsignale oder ein einzelnes eingebettetes Taktsignal sein kann (wie bei der Verwendung einer Manchester-Codierung). Der Taktwiedergewinnungsschaltkreis kann eine Standard-PLL verwenden, auf den in die empfangenen Daten eingebetteten Takt zu synchronisieren (lock). Wenn der Takt wiedergewonnen wurde, kann er zum Ableiten der Zeitsteuerung des Systems verwendet werden. Der Datenwiedergewinnungsschaltkreis (**202**) kann auch eine Rahmen-Synchronisierereinheit umfassen, um die Sync-Signale innerhalb des von dem Transportabschnitt (der **Fig. 1**) gesendeten Signals zu lokalisieren und die empfangenen Datenströme zur Verarbeitung in Bytes auszurichten.

[0032] **Fig. 2** zeigt in dem DTV-Standardsystem, daß der Reed Solomon-Codierer **20** Modulo **256** Multiplikationen und **20** exklusiv-oder (XOR) Operationen für jedes Datenbyte benötigt, das von dem Transportabschnitt empfangen wird. Bei den hohen Datenraten, die in dem DTV-System verwendet werden, erfordert die Codierung einen Prozessor, der 97 Millionen Operationen pro Sekunde ausführen kann. Der Reed Solomon-Codierer kann so realisiert werden, daß er eine solche hohe Datenrate in einer FPGA in Verbindung mit einer Nachschlagetabelle (look-up table) erreicht.

[0033] Das Nyquist-Filter **214** kann als ein Wurzel-Kosinus-Filter mit einem Alphafaktor von 0,1152 realisiert werden. Das Filter kann als ein FIR-Filter realisiert werden. In einer bevorzugten Ausführung ist das Filter ein komplexes Filter zum Verarbeiten der Restseitenbandfunktion.

[0034] **Fig. 2** und **Fig. 3** (in denen gemeinsame Elemente mit gemeinsamen Bezugszeichen bezeichnet sind) zeigen, daß die Mischer **30**, **50** der **Fig. 1** und ihre zugehörigen PLLs **218**, **70** in einem Schaltkreis realisiert werden können, in dem der Modulatorabschnitt **20** des Schaltkreises der **Fig. 1** als ein einzelner Block vereinfacht dargestellt ist, nämlich der Modulator **20** in **Fig. 3**. Ein an den Modulator **20** angelegtes Datensignal **10** erzeugt ein Taktsignal **302** und ein codiertes Datensignal **21** (in analoger Form). Da sowohl das Taktsignal **302** als auch das codierte Datensignal **21** ursprünglich aus einem digitalen Datenstrom erzeugt wurden, sind die resultierenden Frequenzen dieser Signale direkt proportional zur digitalen Datenrate. Wenn diese Signale dazu verwendet

würden, das Signal zu entwickeln, das übertragen werden soll, wäre das Übertragungssignal auf die Frequenz der Datenquelle synchronisiert. In einem Fall, in dem die Übertragungsschicht von der Transportschicht entfernt ist (und üblicherweise sogar nicht derselben Steuerung unterliegt), hat ein Sender, der ein Signal gestützt auf eine entfernte Datenquelle sendet, in einem solchen Fall nicht die Kontrolle über die Sendefrequenz gemäß den starren Spezifikationen, die für solche Sender notwendig sind. Ferner können Frequenzverschiebungen des gesendeten Signals, welche von Regulierungsbehörden gefordert werden, wie von der U.S. Federal Communications Commission für Co-Kanäle oder Störprobleme mit benachbarten Kanälen, nicht durchgeführt werden, ohne die ursprünglichen Datenraten zu verändern. In einem Aspekt der Erfindung wird die Abhängigkeit der Übertragungsfrequenz von der digitalen Datenrate durch den Schaltkreis der [Fig. 3](#) aufgelöst. Dieser Schaltkreis sieht auch Mittel zum Herstellen präziser Frequenzverschiebungen vor, die erforderlich sein können.

[0035] [Fig. 3](#) und [Fig. 4](#) zeigen den Modulator **20**, der ein analoges modulierte Frequenzsignal der codierten Daten **21** erzeugt. In einem DTV-Standardsignal kann das codierte Datensignal **21** in dem Format eines 8VSB-Signals vorliegen, wie für DTV spezifiziert. Das codierte Datensignal **21** könnte jedes andere modulierte Signal sein, wie ein NTSC-Signal, ein FM-Signal, ein AM-Signal und/oder ein SSB-Signal etc. In dem Fall des 8VSB-Signals hätte das Signal die in [Fig. 4](#) gezeigte Form, bei der das Signal eine nominale Mittenfrequenz bei 10,76 MHz und ein VSB-Steuersignal bei nominal 8,08 MHz hat. Normalerweise liegt das codierte Datensignal **21** auf einer Frequenz, die erheblich unter der Frequenz ist, bei der das zu sendende Signal liegt, und muß auf die Sendefrequenz aufwärts gewandelt werden. Das codierte Datensignal **21** wird zunächst an eine Frequenz-Übersetzungseinrichtung **30** (wie einen Mischer) angelegt, um ein ZF-Signal **31** zu erzeugen. Ein Signal mit einer Nennfrequenz von 54,76 MHz wird an den Frequenzübersetzer angelegt, um das ZF-Signal **31** zu erzeugen. Das ZF-Signal **31** wird dann an einen zweiten Frequenzübersetzer **50** (wie einen Mischer) angelegt, um das ZF-Signal auf die gewünschte Kanalfrequenz aufwärtszuwandeln. Das von dem zweiten Frequenzübersetzer **50** ausgegebene Signal kann nach gewünschter Verstärkung an eine Last angelegt werden.

[0036] Die von dem Frequenzübersetzer **30** zum Auswärtswandeln des codierten Datensignals verwendeten Frequenzen werden von einer Bezugsfrequenz **190** abgeleitet, wie von dem Datentakt **302** modifiziert. Dadurch wird die Abhängigkeit des codierten Datensignals von der Frequenz der digitalen Datenrate aufgelöst, und die Frequenz des Signals wird auf oder beinahe auf ihren Nennzustand korri-

giert.

[0037] [Fig. 3](#) zeigt den digitalen Modulator **20**, der auch den digitalen Takt **302** erzeugt, der an einen programmierbaren Frequenzteiler **180** angelegt werden kann, der zu der Träger- oder Steuerfrequenz des digitalen Modulators **20** 1-zu-1 proportional ist. Das von dem Frequenzteiler **180** für ein DTV-System ausgegebene Signal **180** liegt somit nominal bei 8,06 MHz. Das Signal **181** wird an einen dritten Frequenzübersetzer **150** angelegt.

[0038] Die Referenzfrequenz **190** wird an einen Referenzteiler **80**, einen Phasendetektor **90**, ein Schleifenfilter **92** und einen spannungsgesteuerten Oszillator ("VCO") **94** angelegt. Das Referenzsignal **191** wird an einen numerisch gesteuerten Oszillator ("NCO") **120** angelegt. Die von dem VCO **94** und dem NCO **120** ausgegebenen Signale werden an einen vierten Frequenzübersetzer **130** angelegt. Das Ausgangssignal von dem vierten Frequenzübersetzer **130** wird bandpaßgefiltert ("BPF" **140**) und an einen zweiten Eingangsanschluß des dritten Frequenzübersetzers **150** angelegt. Das Ausgangssignal des dritten Frequenzübersetzers **150** wird von einem zweiten BPF **170** bandpaßgefiltert und von einem zweiten programmierbaren Frequenzteiler **98** geteilt, bevor es an den Phasendetektor **90** angelegt wird.

[0039] Im Betrieb wird die Frequenz des NCO **120** von der Referenzfrequenz **190** gesteuert. Die Referenzfrequenz kann logisch erzeugt oder von einem externen Schaltkreis oder einer externen Einrichtung (nicht gezeigt) empfangen werden. Die Referenzfrequenz kann an andere ähnliche Schaltkreise angelegt werden, so daß mehrere digital erzeugte Signale bezüglich der Frequenz auf dieselbe Referenz synchronisiert (locked) sind.

[0040] Der NCO **120** sollte eine Frequenzauflösung vorsehen, die ausreichend ist, um den Anforderungen des ZF-Signals **31** zu genügen. Der Ausgang des NCO **120** wird von dem Ausgang des VCO **94** in dem vierten Frequenzübersetzer **130** subtrahiert. Der BPF **140** wird zum Ausfiltern unerwünschter Ausgangssignalanteile von dem vierten Frequenzübersetzer **130** verwendet.

[0041] Im Betrieb subtrahiert der dritte Frequenzübersetzer **150** das Ausgangssignal des programmierbaren Teilers **180** von dem Ausgangssignal des ersten BPF **140**. Der zweite BPF **70** entfernt alle unerwünschten Ausgangssignalanteile von dem dritten Frequenzübersetzer **150** und legt diese Differenzfrequenz an den zweiten programmierbaren Frequenzteiler **98** an. Unter Nennsignalbedingung sind der zweite programmierbare Teiler **98** und der Referenzteiler **80** so eingestellt, daß ihre Ausgangsfrequenzen gleich sind. Die Ausgänge dieser beiden Teiler **98**, **80** werden an den Phasendetektor **90** angelegt. Der

Ausgang des Phasendetektors **90** ist somit proportional zu der Phasendifferenz zwischen seinen beiden Eingängen und wird an das Schleifenfilter **92** angelegt. Das Schleifenfilter **92** wandelt den Ausgang des Phasendetektors **90** in eine Spannung um, die proportional zur Phasendifferenz ist, und legt diese Spannung an den VCO **94** an. Als Folge ist der VCO **94** bezüglich der Frequenz auf die Bezugsfrequenz synchronisiert und nicht auf die ursprüngliche digitale Rate.

[0042] Wenn im Betrieb ein Eingangssignalsignal von der Nennratenrate abweicht, entfernt der Schaltkreis der **Fig. 3** den Effekt der Abweichung von der Nennrate. Wenn beispielsweise die Taktrate der eingehenden Daten **10** von der Nennrate um ein "delta" abweicht, ist die Frequenz des Signals **302** gleich $10,76 \text{ MHz} + \text{delta}$ und die Frequenz des Signals **181** ist gleich $8,06 \text{ MHz} + \text{delta}$. Das Delta setzt sich durch die Referenzfrequenzkomponenten und schließlich durch den VCO **94** fort, so daß zum Aufwärtswandeln des Signals bei dem ersten Frequenzübersetzer **30** auch ein Offset von delta von dem Nennwert vorliegt. Da das Datensignal bei dem Signal **21** ebenfalls um delta versetzt ist, wird der erste Frequenzübersetzer **30** die beiden delta-Komponenten voneinander subtrahieren, so daß das Signal **31** frei von dem delta-Offset ist.

[0043] In dem DTV-Standardtransportprotokoll ist das Sync-Signal (ein Byte) nicht eine eindeutige Zahl. Eine falsche Angabe der Synchronisierung kann daher erfolgen, wenn acht aufeinanderfolgende Datenbits identisch mit dem Sync-Byte sind. Das vorliegende System überwindet den Effekt dieser falschen Synchronisierung durch Verwenden eines Vertrauenszählers. Der Vertrauenszähler zählt die Anzahl der Sync-Bytes kontinuierlich. Wenn in **Fig. 2** ein Sync-Byte von dem Datenwiedergewinnungsschaltkreis **202** nicht dann erfaßt wird, wenn es erwartet wird, wird das Vertrauen auf die Synchronisierung reduziert, und der Vertrauenszähler wird dekrementiert. Wenn mehrere Rahmen auftreten, ohne daß ein Sync-Byte bei einer bestimmten Sync-Bytestelle innerhalb des Datenstroms erfaßt wurde, gibt die Rahmensynchronisierereinheit an, daß das System nicht mehr synchronisiert ist, und kann automatisch mit der Suche und Erfassung neuer Rahmen beginnen.

[0044] **Fig. 5** zeigt eine Rahmen- und Bitsynchronisierereinheit, die einen Vertrauenszähler verwendet, der Daten so empfängt, wie sie von der Transportschicht in serieller Form empfangen wurden (SERIAL DATA), wobei die seriellen Daten von einem Seriell-Parallel-Wandler **750** in parallele Form umgewandelt werden (z.B. in ein paralleles Datenwort von 8 Bit) und an einen Sync-Detektor **752** angelegt werden. Der Sync-Detektor vergleicht das Datenwort mit einem vorgegebenen Sync-Wort und liefert ein Signal, das angibt, ob das Sync-Wort gefunden wurde,

an einen Vertrauenszähler **754**. Der Vertrauenszähler **754** inkrementiert einen Zähler, wenn das Sync-Wort gefunden wurde, wo es erwartet wurde, und dekrementiert den Zähler, wenn das Sync-Wort nicht gefunden wurde, wo es erwartet wurde. Ein Sync-Wort wird exakt einen Rahmen nach der Erfassung des letzten Sync-Wortes "erwartet". Ein Modulo-Zähler **758** zählt daher die Anzahl der Wörter, welche seit der letzten Sync-Erfassung aufgefunden wurde, und aktiviert den Vertrauenszähler **754** bei dem Wort, bei dem der Sync erwartet wird. Wenn der Vertrauenszähler **754** einen vorgegebenen Wert erreicht, wird der Rahmen als synchronisiert angesehen, und ein SYNC LOCK Signal wird an andere Elemente in dem Schaltkreis gesandt und/oder für den Systemverwalter angezeigt. Wenn der Vertrauenszähler **754** auf Null dekrementiert ist, wird angenommen, daß die Synchronisierung verlorengegangen ist, so daß das SYNC LOCK Signal zurückgenommen wird und der Modulo-Zähler **758** zurückgesetzt wird, um die Suche nach dem Sync neu zu starten (d.h. einen neuen Rahmensuch- und Erfassungsmodus zu starten).

[0045] **Fig. 5** zeigt den Modulo-Zähler **758**, der auch eine Modulo 8-Zählung der seriellen Bit durchführt, die in den Seriell-Parallel-Wandler **750** kommen. Auf diese Weise bleibt der Wandler **750** zu dem Rest des Sync-Erfassungsschaltkreises Bit-ausgerichtet. Am Ende jeder Modulo 8-Zählung wird das Datenwort an den Daten-Randomizer und an den Sync-Detektor geliefert. Der Daten-Randomizer und andere Elemente des Schaltkreises können das SYNC LOCK-Signal verwenden, um zu ermitteln, ob das Datenbyte gültig ist. Der Vertrauenszähler kann leicht modifiziert werden, um einen Vertrauensgrad zu erhalten, den die Synchronisierung erreicht hat; im allgemeinen erfordert ein höherer Vertrauensgrad eine längere Sync-Erfassungszeit. Zusätzlich muß bei Verlust der Synchronisierung nicht gewartet werden, bis der Vertrauenszähler Null erreicht hat (z.B. fünf richtige Sync-Erfassungen könnten erforderlich sein, um Synchronisierung zu bestätigen, während bei nur dreimal aufeinanderfolgender Nicht-Erfassung ein Verlust der Synchronisierung erfaßt wird). Ähnlich kann die Anzahl der erfolgreichen Sync-Erfassung beschnitten werden, so daß dann, wenn einmal die Synchronisierung erfolgt ist, der Vertrauenszähler bei diesem Wert nicht weiterzählt (jedoch dekrementiert, wenn ein erwartetes Sync-Wort nicht gefunden wurde).

[0046] Beim Hochfahren oder nach dem Verlust des Eingang-Syncs wird der Vertrauenszähler so eingestellt, daß er den Erfassungsmodus beginnt. In dem Erfassungsmodus werden die seriellen Daten Bit-seriell in den Seriell-Parall-Wandler getaktet, der die Form eines 8 Bit Puffers haben kann. Darauf wird bei jedem neuen Taktzyklus das 8 Bit-Datenwort auf das Vorhandensein eines Sync-Bytes geprüft. Wenn das

Sync-Byte erfaßt wird, wird ein Zähler-Enable-Bit gesetzt, und der Schaltkreis geht in einen Vertrauens-testmodus. Immer wenn das Zähler-Enable-Bit gesetzt ist, beginnt der Modulo 1504-Zähler zu zählen, bis die nächsten 1504 Bits (188 Worte à 8 Bit oder ein Rahmen) übertragen wurden. Zu diesem Zeitpunkt wird das Sync-Byte wieder überprüft und, falls vorhanden, wird der Vorgang wiederholt. Wenn das Sync-Byte nicht vorhanden ist, wird das Zähler-Enable-Bit zurückgesetzt und der Erfassungsmodus neu gestartet. Wenn eine vorgegebene Anzahl aufeinanderfolgendes Rahmen-Syncs erfaßt wird, wird das SYNC LOCK-Signal gesetzt, und der Schaltkreis geht in einen Frame Lock-Modus. Danach beginnt der normale Betrieb und das Rahmen-Sync wird kontinuierlich überprüft, um eine zuverlässige Übertragung sicherzustellen. Wenn nach einer vorgegebenen Anzahl von Rahmen kein Rahmen-Sync gefunden wird, schaltet der Schaltkreis zurück in den Erfassungsmodus und startet den gesamten Prozeß neu.

[0047] Man beachte, daß der Vertrauenszähler-schaltkreis sowohl bei der Übertragung von DTV-Signalen als auch in Empfängern verwendet werden kann, die versuchen, DTV- oder andere digitale Rahmensignale zu empfangen und anzuzeigen. Solche Empfänger haben ähnliche Probleme beim Einrichten und Aufrechterhalten der Rahmensynchronisierung, wie oben beschrieben, und der beschriebene Schaltkreis ist auch für solche Empfänger nutzbringend.

[0048] Die Frequenz des Signals, das in der Transportschicht verwendet wird, kann in der Dateninterleavingeinheit unabhängig von der Frequenz des Signals in der Übertragungsschicht gemacht werden. Im Stand der Technik war es bekannt, Daten derart zu interleaven, daß die Frequenz der Daten verändert wurde. **Fig. 6** zeigt zum Beispiel ein Signal aus der Transportschicht, das die Daten mit 19,39 MHz trägt und üblicherweise an einen Reed Solomon-Codierer angelegt würde, um es auf herkömmliche Weise zu codieren. Die Daten, welche den Reed Solomon-Codierer **550** verlassen, würden an einen Mikroprozessor **552** angelegt, der die codierten Daten interleaved und mit einer beliebigen Datenrate, üblicherweise in einem Burst-Modus an einen Re-Timer-Puffer **554** anlegt. Der Re-Timer-Puffer **554** wird üblicherweise die Daten des Burst-Modus aus dem Mikroprozessor puffern und ein Signal mit einer bestimmten Rate ausgeben, das durch seinen Takt bestimmt wird, üblicherweise einer Standardrate von 10,76 MHz. In den Systemen des Standes der Technik wird das Taktsignal von 10,76 MHz, das an den Re-Timer-Puffer **554** angelegt wird, häufig mit einer PLL **556** erzeugt, die mit dem Takt von 19,39 MHz angesteuert wird (der häufig aus den Daten erhalten wird).

[0049] In einem RF-Übertragungssystem mit einem

Trellis-Codierer gemäß der Erfindung kann der Burst-Modus-Mikroprozessor des Standes der Technik mit einem geeigneten Interleavingpuffer ersetzt werden. **Fig. 7** zeigt einen Reed Solomon-Codierer, der die Daten mit der Frequenz der Transportschicht, 19,39 MHz, empfangen kann und die codierten Daten an einen DatenInterleavingpuffer **208** liefert. Die Daten werden aus dem Interleavingpuffer **208** mit einer Rate von 43,04 MHz ausgelesen und an den Trellis-Codierer **210** angegeben, der die trelliscodierten Daten mit der Rate von 10,76 ausgibt, die der Übertragungsschicht zugeordnet sind. Man beachte, daß der Takt mit der konvertierten Rate von 43,04 MHz für den Trellis-Codierer **210** zur Verfügung steht und daher dazu verwendet werden kann, die Extraktion der Daten aus dem Interleavingpuffer **208** und für die Trelliscodierung zeitlich zu steuern. Die Takte des Trellis-Codierers werden von einem Ratenwandler **650** vorgesehen, der sein eingehendes Taktsignal von 19,39 MHz in Verhältnissen von $313 \cdot 207 \cdot 832 / 312 / 188 / 828$ umwandelt, um ein Taktsignal von 43,04 MHz zu entwickeln. Das resultierende Taktsignal kann verringert oder durch einen Faktor vier geteilt werden, um einen Takt von 10,76 MHz vorzusehen, und es kann an andere Elemente in der Übertragungsschicht angelegt werden. Die digitalen Elemente auf beiden Seiten (Eingang oder Ausgang) des Interleavingpuffers **208** sind einfacher als im Stand der Technik, weil diese Elemente in einem kontinuierlichen Modus arbeiten können und nicht dazu ausgelegt sein müssen, Burst-Mode-Operationen auszuführen.

[0050] **Fig. 7** zeigt, daß der Takt von 19,39 MHz aus den Daten erhalten werden kann (wie sie empfangen oder gemäß einem anderen Aspekt der Erfindung korrigiert werden) oder aus einem lokalen Oszillator. Die Verwendung eines lokalen Oszillators stellt sicher, daß der Trellis-Codierer weiterarbeitet, auch wenn das Transportsignal verlorengeht oder der Takt in dem Transportsignal verlorengeht. Tatsächlich kann der lokale Takt dazu verwendet werden, den Reed Solomon-Codierer in dem Fall anzusteuern, daß das Signal von der Transportschicht (das codierte Signal) verlorengeht. Da wenigstens ein bekannt gemachter Standard erfordert, daß die Übertragungsschicht selbst dann weiter ein Signal sendet (im allgemeinen ein Pseudozufallssignal), wenn das ursprünglich codierte Signal verlorengeht, liefert das Aufrechterhalten des Betriebs des Reed Solomon-Codierers die notwendigen Datensignale, um ein Sendesignal aufrechtzuerhalten.

[0051] Wenn ein ausreichend robuster digitaler Signalprozessor ("DSP") verwendet wird, kann die gesamte Reed Solomon-Codierung, Dateninterleaving und Trellis-Codierung sowie die Frequenzwandlung in einer Kette eines oder mehrerer geeigneter programmierter DSPs erfolgen, welche den gewünschten Takt (die gewünschten Takte) haben.

[0052] [Fig. 8](#) zeigt einen Ratenwandlerschaltkreis, der einen Geteilt-durch-141-Schaltkreis **570** aufweisen kann, der ein Taktsignal (z.B. ein Signal von 19,39 MHz) empfängt und das frequenzgeteilte Signal an einen Phasenerfassungsschaltkreis **572** und nachfolgend an einen Schleifenfilter **574** liefert, der einen thermisch kompensierten spannungsgesteuerten Oszillator **576** ansteuert. Der Ausgang des TXCO **576** wird an einen Puffer angelegt und an einen geteilt-durch-313-Schaltkreis **580** zurückgeführt, der auch mit dem Phasendetektor **572** verbunden ist. Der TXCO **576** hat eine Mittenfrequenz bei der gewünschten Ausgangsfrequenz (z.B. 43,04 MHz) und eine Versorgungsspannung von ± 3 Hz, was die maximal zulässige Abweichung der Trägerfrequenz in einem DTV-Standardssystem darstellt.

[0053] Solange im Betrieb eine Taktfrequenz am Eingang des Schaltkreises vorhanden ist und die Frequenz dieses Signal innerhalb der gewünschten Grenzen des Systems liegt, kann der erzeugte Takt von 43,04 MHz dem Eingangssignal folgen. Wenn die Frequenz des Eingangssignals außerhalb der Grenzen variiert, geht der TXCO **576** nicht außerhalb seiner Grenzen und begrenzt die Ausgangsfrequenz innerhalb der erforderlichen Spezifikation.

[0054] [Fig. 8](#) zeigt die Verwendbarkeit des Eingangssignals als Basis für das Ausgangssignal, angedeutet durch ein externes Signal, wie das SYNC LOCK-Signal, wie hier in Verbindung mit dem Vertrauenszählerschaltkreis beschrieben wurde. Wenn das System nicht synchronisiert ist, kann ein Gatter **582** ein Spannungssignal vorsehen, das den TXCO **526** auf die gewünschte Ausgangsfrequenz ansteuert. Wenn gewünscht, kann die Größe des Spannungssignals von der Bedienungsperson des Systems eingestellt werden, z.B. durch ein von einem Benutzer einstellbares Potentiometer (nicht gezeigt).

[0055] [Fig. 9](#), [Fig. 10](#) und [Fig. 11](#) zeigen einen Trellis-Codierer, der einen Strom digitaler Daten empfängt, die zu codieren sind (DATA IN). Der digitale Datenstrom wird an einen FIFO-Puffer **52** und an einen Bereitstellungs/Timer-Schaltkreis **54** angelegt, um die Daten zeitlich zu dem Rest des Schaltkreises auszurichten. Zu der geeigneten Zeit werden die Daten an einen Teilbyte-Auswahlschaltkreis **56** angelegt, der die geeigneten Zwei-Bit-Teilbytes aus den digitalen Eingangsdaten gemäß den Regeln des Codierschemas auswählt. Die ausgewählten Teilbytes werden von dem Trellis-Codierer **58** entsprechend codiert (der für das DTV-System drei Bit der Ausgangsdaten für jede zwei Bit der Eingangsdaten liefert). Die von dem Trellis-Codierer **58** ausgegebenen Daten werden an einen Multiplexer geliefert, der die Daten mit den Sync-Bits multiplext und/oder mit Pseudo-Zufallszahlen zum Codieren des Ausgangs des Multiplexers **59**, der an ein Ausgangsregister geht. Der Betrieb des Schaltkreises der [Fig. 9](#) wird

von der Steuerlogik **51** gesteuert, die die Rahmenbildung der Daten koordiniert und nach Bedarf Symbol- und Segmentzähler **53**, **55** zurücksetzt. Die Ausgänge der Zähler **53**, **55** werden an einen Enable-Schaltkreis **57** geliefert, der Schrittsignale an die anderen Elemente des Schaltkreises liefert, so daß jedes Element, das den Ort der eingehenden Daten innerhalb des Rahmens wissen muß, diese Daten zur Verfügung hat.

[0056] Im Betrieb wird ein digitaler Datenstrom an den Trellis-Codierschaltkreis geliefert und von dem Eingangspuffer und Ausrichtelementen empfangen. Die Steuerlogik **51** sieht die eingehenden Daten durch, um Rahmengrenzen zu ermitteln. Sobald die Rahmen festgelegt sind, setzt die Steuerlogik **51** den Symbolzähler **53** und den Segmentzähler **55** zurück, um einen neuen Rahmen zu starten. Wenn danach Daten empfangen werden, werden die Symbol- und Segmentzähler **53**, **55** inkrementiert und laufen selbst abhängig von dem Format der Daten zyklisch durch. Die Symbol- und Segmentzähler **53**, **55** steuern den Enable-Schaltkreis **57** an, der die geeigneten Steuer/Auswahl-Signale an die anderen Elemente des Schaltkreises sendet.

[0057] [Fig. 9](#) zeigt, daß geführt durch die Signale von dem Enable-Schaltkreis **57** der Teilbyte-Auswahlschaltkreis **56** die geeigneten Teilbytes aus dem Eingangsdatenstrom, der als nächstes zu codieren ist, auswählt. In dem Falle eines DTV-Standardsignals erfolgt die Auswahl der Teilbytes gemäß der DTV-Spezifikation (Anhang D, Tabelle 2 des digitalen Fernsehstandards), obwohl auch andere Umwandlungsschemata realisiert werden könnten. Danach wird jedes Teilbyte in der Reihenfolge codiert, in der es von dem Trellis-Codierer **58** ausgewählt wurde. Gemäß dem spezifizierten Protokoll und geführt durch den Enable-Schaltkreis **57** gibt der Multiplexer alternativ die trellis-codierten Daten oder Sync-Daten gemäß dem Protokoll aus, welchem das System folgt. In dem Fall, daß ein Eingangsdatensignal verloren ist oder die Synchronisierung verlorengelassen, kann ein Pseudozufallsstrom von Daten ("PN") von dem Multiplexer **54** an den Ausgangsdatenstrom angelegt werden.

[0058] Der Teilbyte-Auswahlschaltkreis **56** ([Fig. 11](#)) empfängt einen Strom digitaler Daten (DATA IN) bei jedem der zwölf Speicherregister R1, R12. Der Strom der Eingangsdaten kommt seriell an und kann zyklisch in aufeinanderfolgende Speicherregister R1, R12 geführt werden. Die zwölf Register sind auf einer Seite eines ersten Multiplexers **62** angeschlossen. Gesteuert durch ein Multiplexersteuersignal (nicht gezeigt) gestützt auf die Position der Eingangsdaten innerhalb des Rahmens, gibt der Multiplexer **62** eines der Bytes seiner Eingangsdaten an seinen Ausgangsanschlüssen aus. Ein zweiter Multiplexer **64**, der von einem zweiten Multiplexersteuersignal gesteuert wird,

empfängt das ausgewählte Byte und wählt zwei Bits der Daten zur Ausgabe aus. Die Ausgangsbits werden an den Trellis-Codierer **66** angelegt, der die zwei Bits in drei Bits codiert, die dann an die nächste Stufe in dem Übertragungssystem weitergegeben werden.

[0059] **Fig. 10** zeigt einen Trellis-Codierschaltkreis gemäß der Erfindung, der einen Strom digitaler Daten (DATA IN) empfängt. Ein Trellis-Codierschaltkreis kann einen Eingangsmultiplexer **72** aufweisen, der das erste einer Reihe von zwölf Registern R1, R12 mit Daten von entweder dem DATA IN-Eingang des Multiplexers **72** oder von dem Inhalt des letzten Registers in der Reihe (R12) lädt, so daß die Daten zyklisch durch alle Register laufen. Zu jedem Bit-Auswahlzeitpunkt wird der Inhalt des letzten Registers (R12) an den Teilbyte-Auswahlschaltkreis **74** angelegt, der zwei der Bits aus dem letzten Register R12 gemäß dem ausgewählten Protokoll auswählt. Wenn jedes Teilbyte aus dem letzten Register ausgewählt wird, werden die Inhalte des Registers gleichzeitig zyklisch um ein Register weitergeschoben, so daß alle zwölf Bytes innerhalb eines Segments dem Teilbyte-Auswahlschaltkreis **74** nacheinander, insgesamt viermal, vorgelegt werden. Wenn alle Bits der zwölf Worte von dem Teilbyte-Auswahlschaltkreis **74** ausgegeben wurden, lädt der Eingangsmultiplexer **72** neue Daten in die zwölf Register R1, R12, um dieses nächste Segment der Daten zu codieren.

[0060] In einer noch anderen Ausführung eines Trellis-Codierers gemäß der Erfindung wird ein Eingangsdatenstrom (DATA IN) von einem ersten Multiplexer in zwölf parallele Register geleitet. Sobald die Register geladen sind, wählen Teilbyte-Auswahlschaltkreise, die jedem der Speicherregister zugeordnet sind, zwei Datenbits aus den zugehörigen Speicherregistern und geben die ausgewählten Bits an einen zugehörigen Trellis-Codierer weiter. Jeder Trellis-Codierer codiert die empfangenen Bits gemäß dem vorgegebenen Codierungsverfahren und gibt die drei codierten Bits an den Eingang eines Ausgangsmultiplexers weiter. Der Ausgangsmultiplexer wählt die codierten Bits von dem richtigen Trellis-Codierer gemäß dem Protokoll. Man beachte, daß der Trellis-Codierer dieser Ausführung eine Tiefe von 1 erfordert, während die Trellis-Codierer der **Fig. 12** eine Tiefe von 12 erfordern, wenn das Trellis-Codierverfahren des DTV-Standardsystems verwendet wird.

Patentansprüche

1. Trelliscodierschaltkreis zum Codieren eines digitalen Datenstroms, mit folgenden Merkmalen: ein Eingangsmultiplexer (**72**) mit einem Eingang zum Empfangen des digitalen Datenstroms; eine Reihe sequentiell angeordneter Register (R1 bis R12), die ein erstes Register (R1) umfaßt, das mit einem Ausgang des Multiplexers (**72**) verbunden ist; Mittel zum

Laden der Reihe der Register (R1 bis R12) mit Datenbits des digitalen Datenstroms, die von dem Multiplexer empfangen wurden; einen Teilbyte-Auswahlschaltkreis (**74**) zum Auswählen eines Teilbytes aus dem Inhalt des letzten Registers (R12) gemäß einem Protokoll; ein Trelliscodierer, der mit dem Teilbyte-Auswahlschaltkreis (**74**) verbunden ist, zum Codieren von Datenbits, die von dem Teilbyte-Auswahlschaltkreis (**74**) ausgegeben werden; und Mittel zum zyklischen Durchlaufenlassen des Inhaltes der Register (R1 bis R12) durch die Reihe der Register, bis alle geladenen Bits trelliscodiert wurden.

2. Trelliscodierschaltkreis nach Anspruch 1, wobei die Mittel zum zyklischen Durchlaufenlassen des Inhaltes der Register den Inhalt der Register durchlaufen lassen, bis alle geladenen Bits vier mal zu dem Teilbyte-Auswahlschaltkreis (**74**) gelaufen sind.

3. Trelliscodierschaltkreis zum Codieren eines digitalen Datenstroms, mit folgenden Merkmalen: ein Eingangsmultiplexer zum Empfangen des digitalen Datenstroms; mehrere Speicherregister, die parallel angeordnet und mit dem Eingangsmultiplexer zum Laden mit den Datenbits des digitalen Datenstroms verbunden sind; mehrere Teilbyte-Auswahlschaltkreise, die jeweils mit einem der Speicherregister zum Auswählen von zwei Datenbits aus dem Inhalt der Register gemäß einem Protokoll verbunden sind; mehrere Trelliscodierer, die jeweils mit einem Teilbyte-Auswahlschaltkreis zum Empfangen der ausgewählten Bits von dem zugehörigen Teilbyte-Auswahlschaltkreis und Codieren der empfangenen Bits gemäß dem Protokoll verbunden sind; und ein weiterer Multiplexer zum Empfangen des codierten Ausgangs der Trelliscodierer und Auswählen des codierten Ausgangs von dem richtigen Trelliscodierer gemäß dem Protokoll.

Es folgen 7 Blatt Zeichnungen

Anhängende Zeichnungen

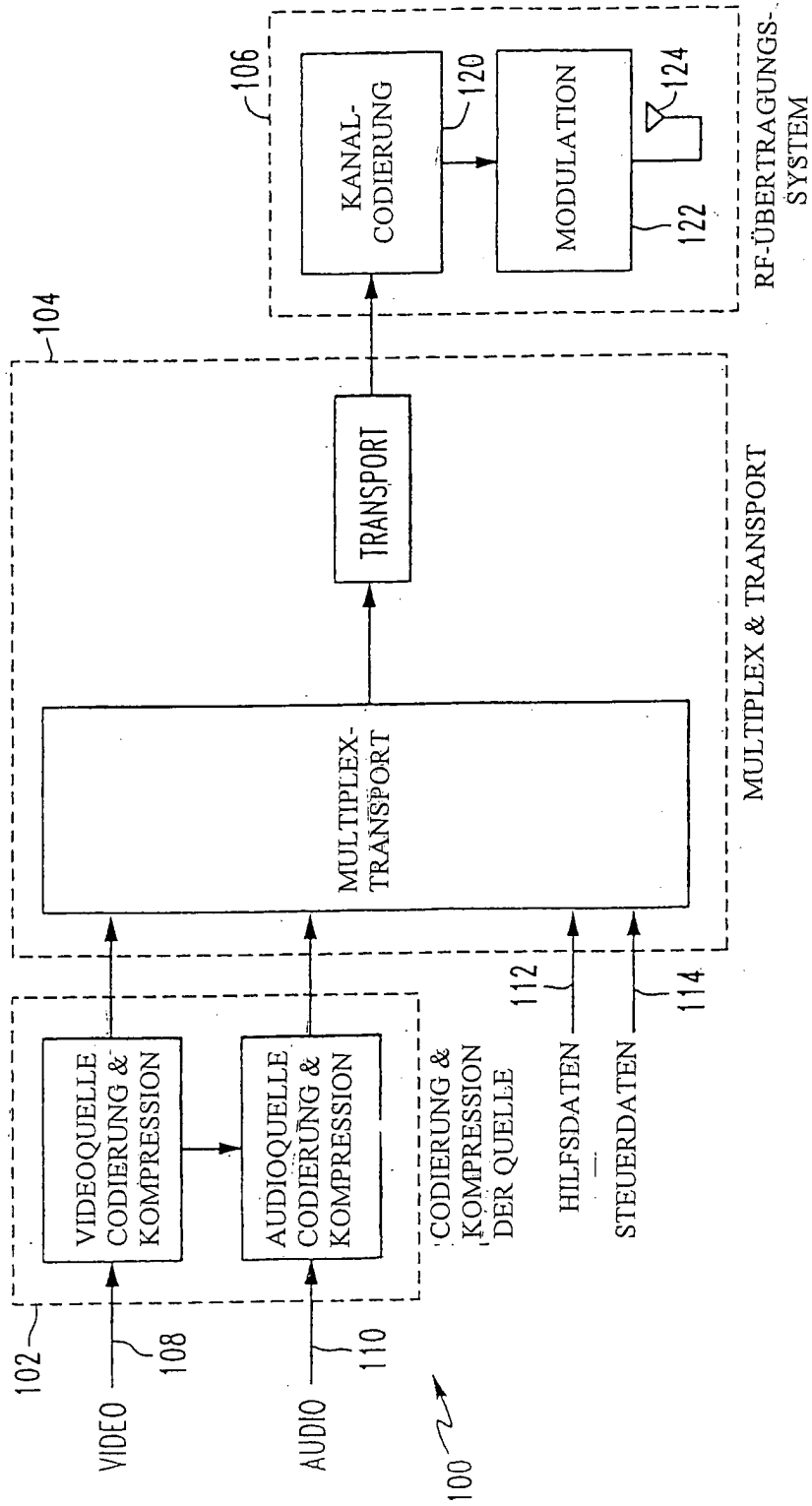


FIG. 1

STAND DER TECHNIK

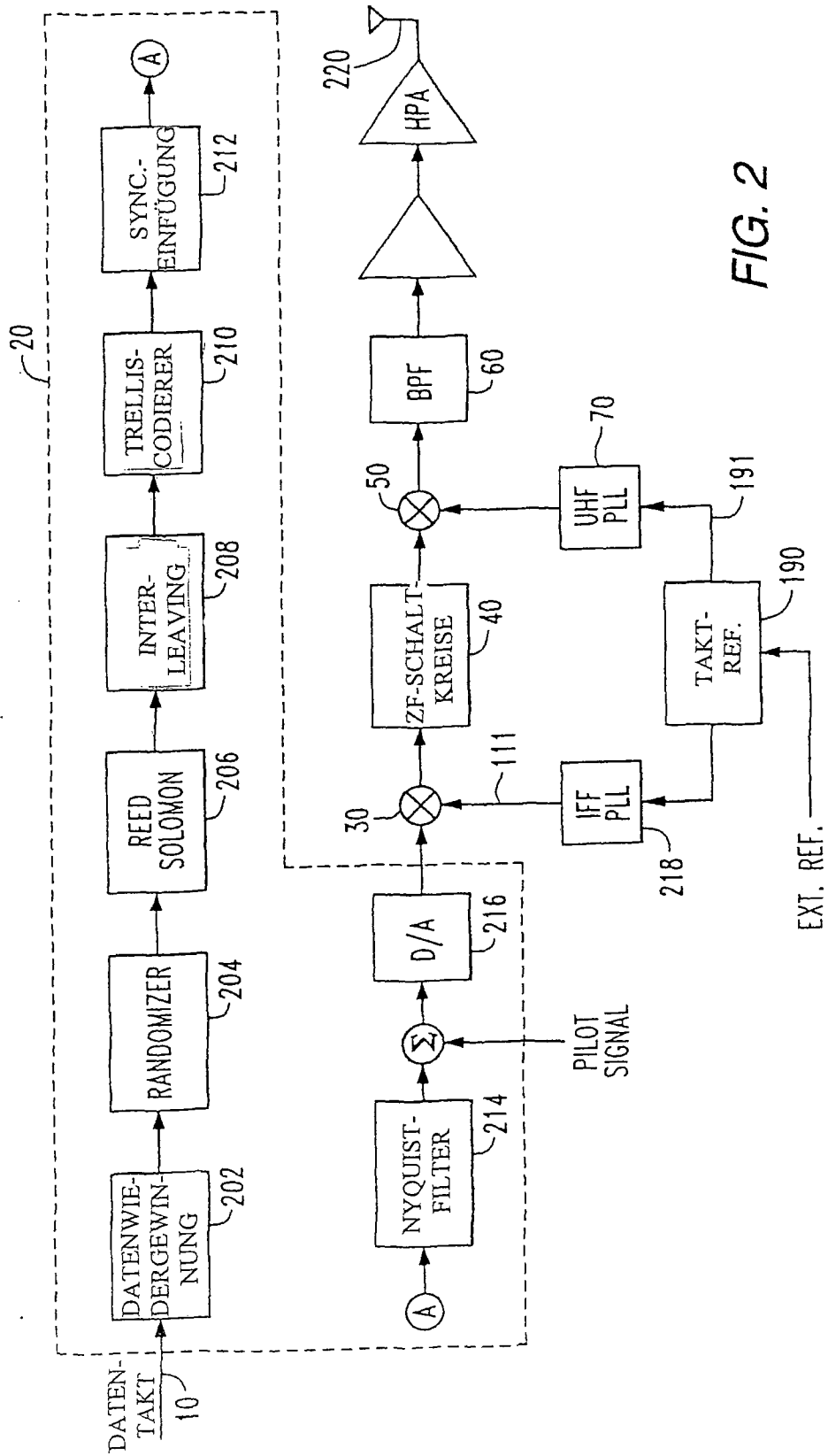
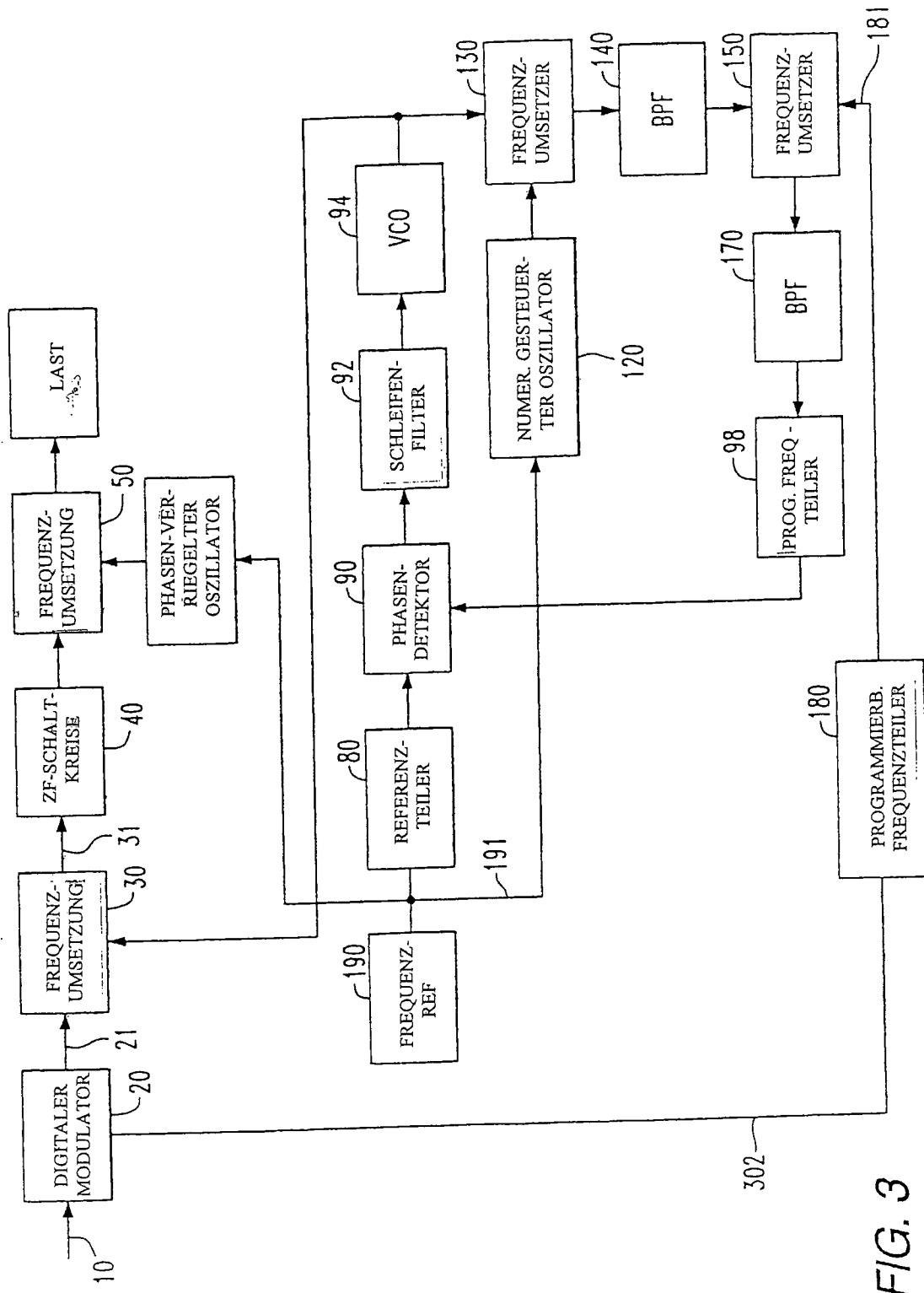


FIG. 2



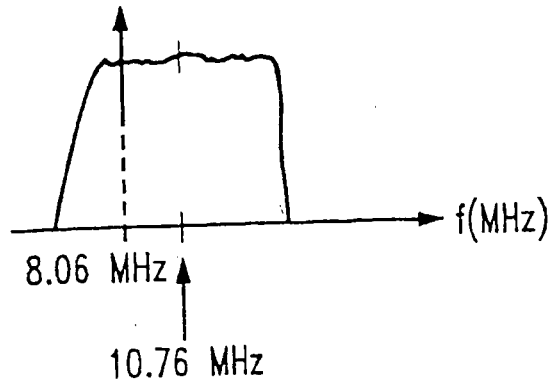


FIG. 4

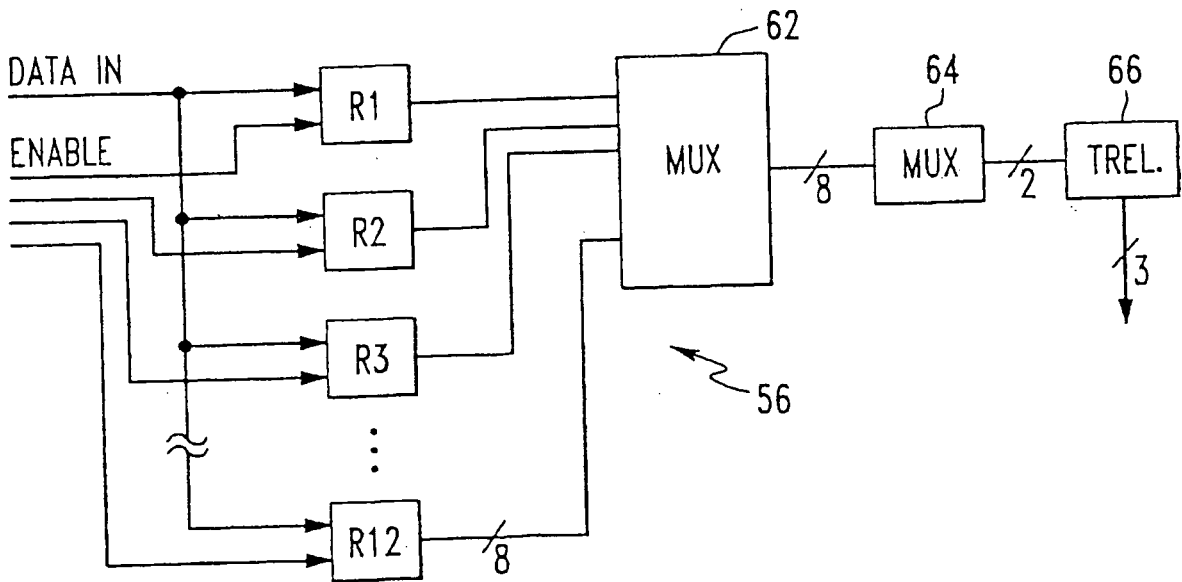


FIG. 11

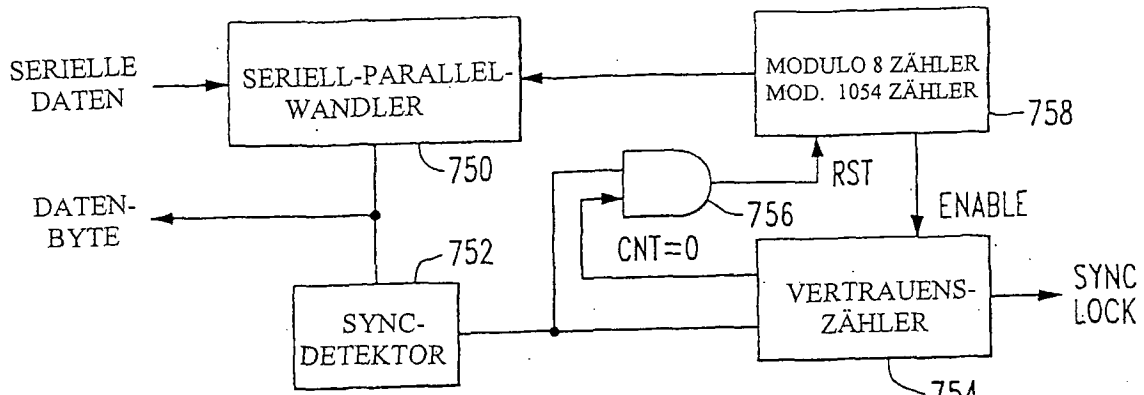


FIG. 5

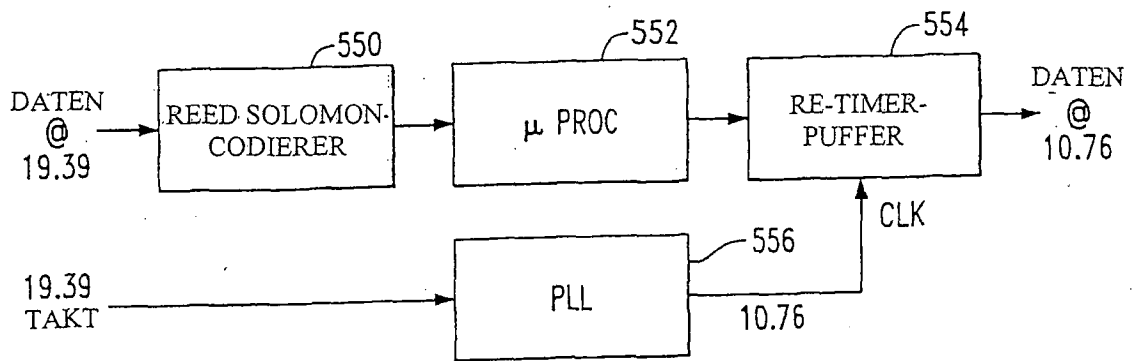


FIG. 6

STAND DER TECHNIK

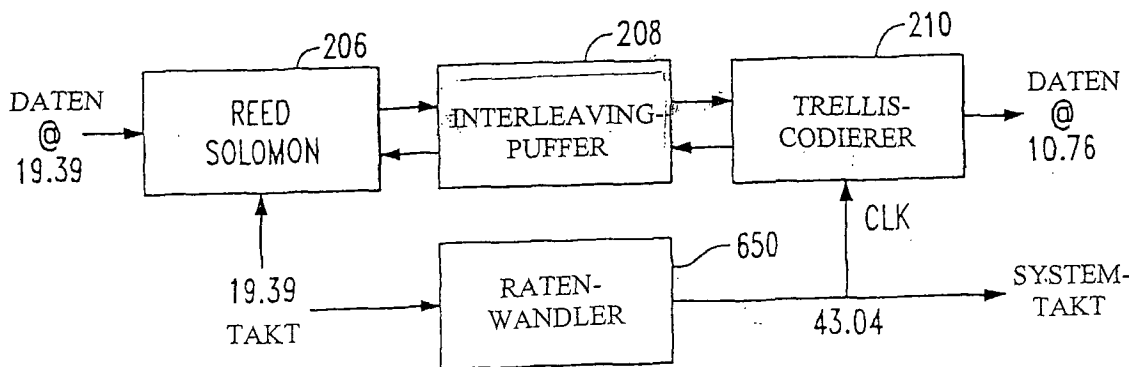


FIG. 7

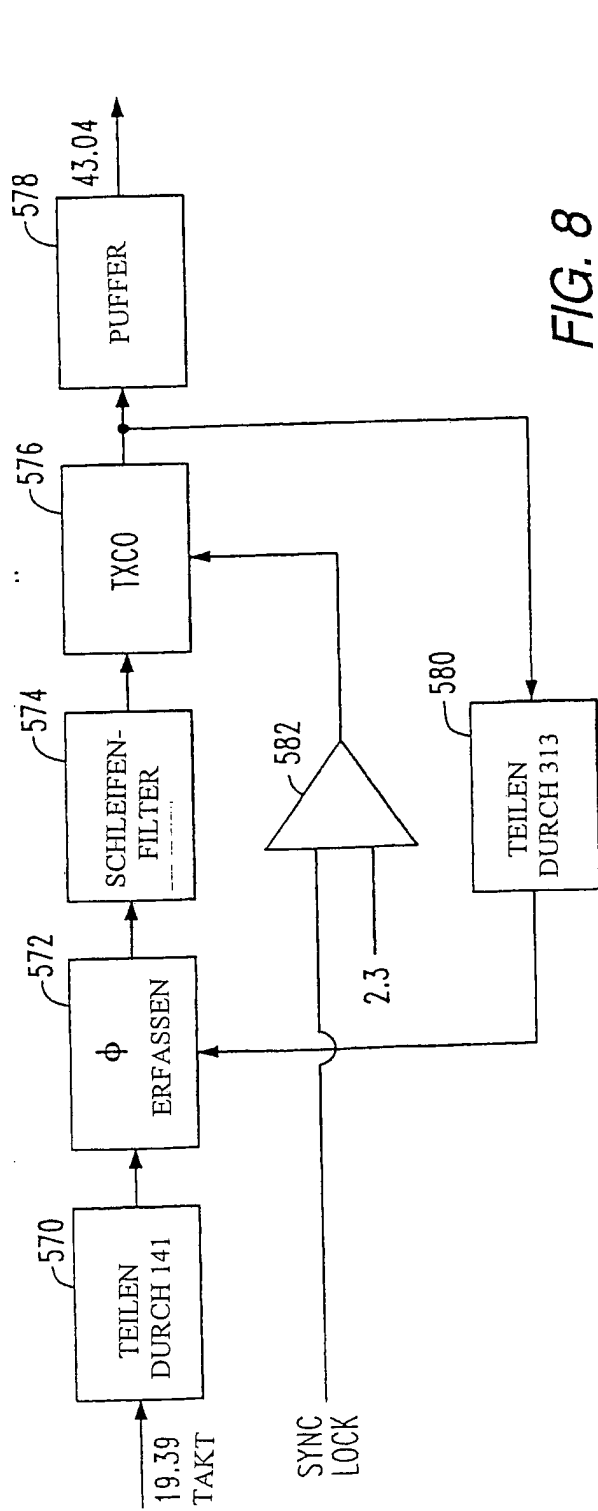


FIG. 8

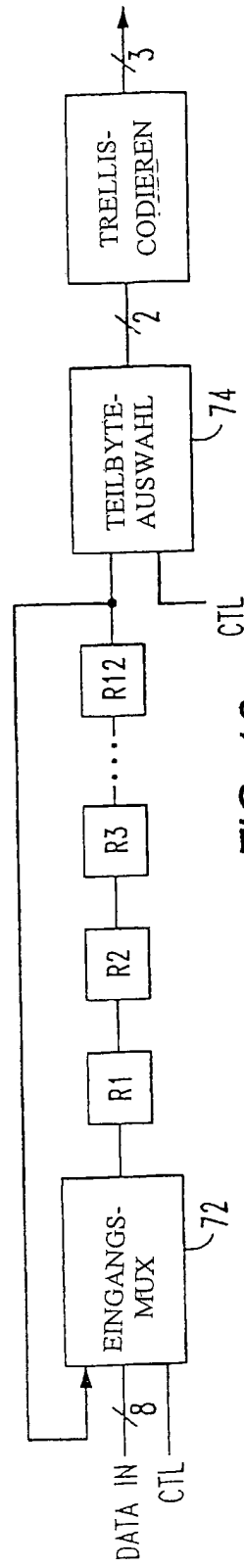


FIG. 10

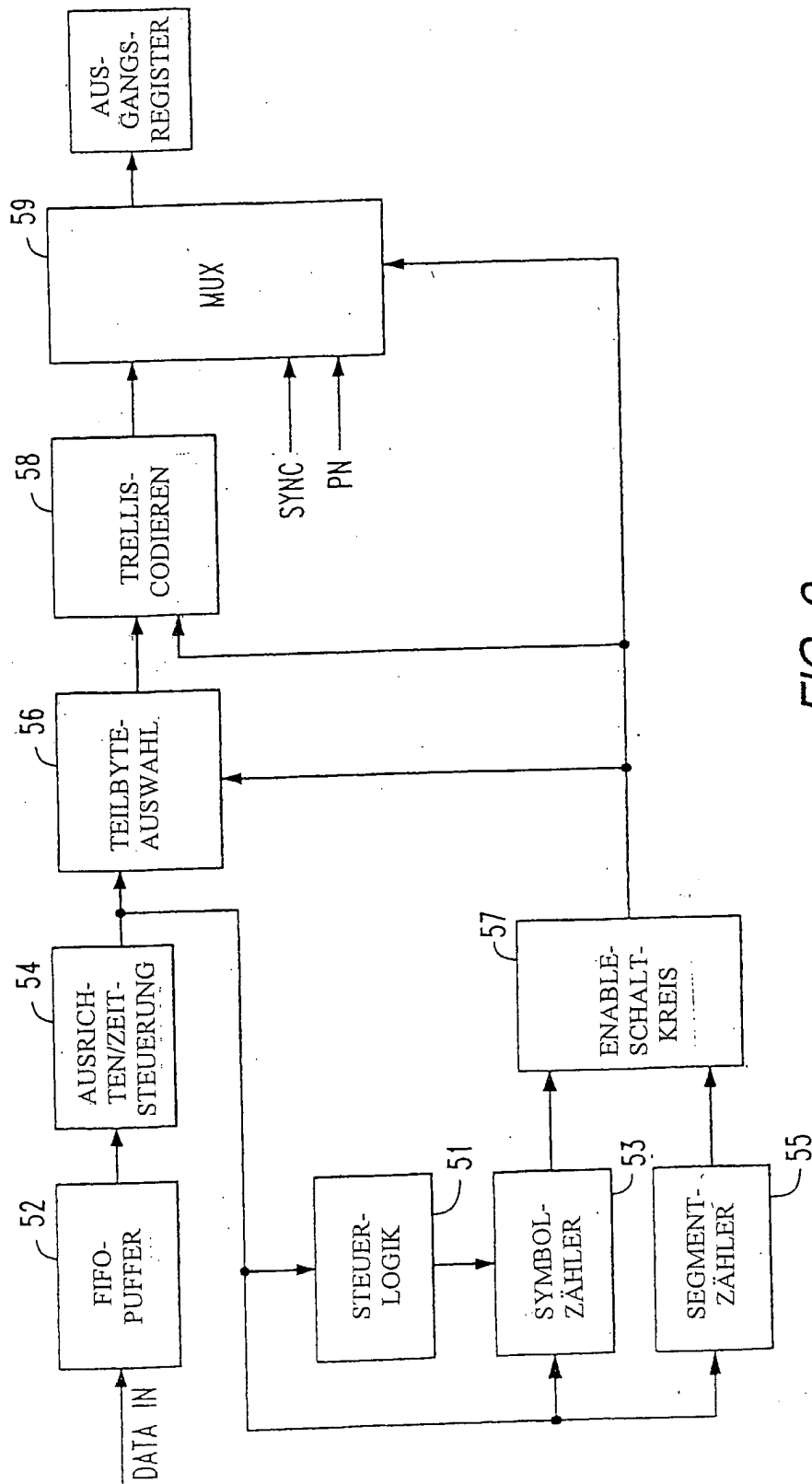


FIG. 9