

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4528290号  
(P4528290)

(45) 発行日 平成22年8月18日(2010.8.18)

(24) 登録日 平成22年6月11日(2010.6.11)

(51) Int. Cl.		F I	
HO 1 S 5/062 (2006.01)		HO 1 S 5/062	
HO 1 L 33/00 (2010.01)		HO 1 L 33/00	J
HO 1 S 5/026 (2006.01)		HO 1 S 5/026	6 5 0
HO 4 B 10/04 (2006.01)		HO 4 B 9/00	Y
HO 4 B 10/06 (2006.01)			

請求項の数 2 (全 9 頁) 最終頁に続く

(21) 出願番号 特願2006-243973 (P2006-243973)  
 (22) 出願日 平成18年9月8日(2006.9.8)  
 (62) 分割の表示 特願平9-60905の分割  
 原出願日 平成9年3月14日(1997.3.14)  
 (65) 公開番号 特開2007-53389 (P2007-53389A)  
 (43) 公開日 平成19年3月1日(2007.3.1)  
 審査請求日 平成18年9月8日(2006.9.8)

(73) 特許権者 390005175  
 株式会社アドバンテスト  
 東京都練馬区旭町1丁目32番1号  
 (74) 代理人 110000877  
 龍華国際特許業務法人  
 (72) 発明者 岡安 俊幸  
 東京都練馬区旭町1丁目32番1号 株式  
 会社アドバンテスト内

審査官 高 椋 健司

(56) 参考文献 特開平10-256606 (JP, A)

最終頁に続く

(54) 【発明の名称】 半導体集積回路素子

(57) 【特許請求の範囲】

【請求項1】

ドレインが発光素子接続端子とされ、ソースが一方の電源に接続されるM O S トランジスタQ 1 4と、

上記M O S トランジスタQ 1 4のゲートにゲートとドレインが接続され、ソースが上記一方の電源に接続され、上記M O S トランジスタQ 1 4と同極性でこのM O S トランジスタQ 1 4とカレントミラー回路を構成するM O S トランジスタQ 1 3と、

上記M O S トランジスタQ 1 3のドレインに一端を接続し、他端を他方の電源に接続する定電流源と、

上記M O S トランジスタQ 1 3のドレインに、ドレインが接続されるこのM O S トランジスタQ 1 3と極性が異なるM O S トランジスタQ 1 2と、

上記M O S トランジスタQ 1 2のソースと上記他方の電源との間に接続される第2定電流源と、

上記M O S トランジスタQ 1 2のソースにソースが接続され、ドレインが上記一方の電源に接続されるこのM O S トランジスタQ 1 2と同極性のM O S トランジスタQ 1 1と、

を具備し、上記M O S トランジスタQ 1 2と上記M O S トランジスタQ 1 1のゲートに、差動的に変化する信号がそれぞれ印加される発光素子駆動回路を構成したことを特徴とする半導体集積回路素子。

【請求項2】

ドレインが発光素子接続端子とされ、ソースが一方の電源に接続されるM O S トランジ

10

20

スタQ14と、

上記MOSトランジスタQ14のゲートにゲートとドレインが接続され、ソースが上記一方の電源に接続され、上記MOSトランジスタQ14と同極性でこのMOSトランジスタQ14とカレントミラー回路を構成するMOSトランジスタQ13と、

上記MOSトランジスタQ13のドレインに一端を接続し、他端を他方の電源に接続する定電流源と、

上記MOSトランジスタQ13のドレインに、ドレインが接続され、ゲートにスイッチとして動作する信号が印加されるこのMOSトランジスタQ13と極性が異なるMOSトランジスタQ12と、

上記MOSトランジスタQ12のソースにドレインが接続され、ソースが上記他方の電源に接続され、ゲートにドレイン電流を任意の値に設定する信号が印加され、可変抵抗器として動作するこのMOSトランジスタQ12と同極性のMOSトランジスタQ11と、

を具備した発光素子駆動回路を構成したことを特徴とする半導体集積回路素子。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は例えば装置間を光伝送路によって接続し、光信号を授受して装置を動作させるような場合に用いて好適な半導体集積回路素子に関する。

【背景技術】

【0002】

装置間において、信号の授受速度を高速化するために光信号を用いる場合がある。従来は図12に示すように送信側装置Aから受信側装置Bに光信号でデータを伝送する場合は、送信側装置Aに発光素子11と発光素子駆動回路12を設け、この発光素子駆動回路12に信号源となる集積回路素子13から駆動信号を与え、その駆動信号を発光素子11で光信号に変換し、その光信号を光ファイバから成る光伝送路14で伝送する方式が採られる。

受信側装置Bには受光素子15と、光電流検出回路16と、送られて来た信号を取り込んで処理する半導体集積回路素子17とが設けられ、送信側装置A側から送られて来た信号を受け取って信号を処理する動作を行う。

【発明の開示】

【発明が解決しようとする課題】

【0003】

従来は半導体集積回路素子13と、発光素子駆動回路12とを別にして設けているため、この発光素子駆動回路12を格納するためにスペースを要し、また電力消費量も多くなる欠点がある。特に装置AとBの間で数100～数1000チャンネルに及ぶチャンネル数で光伝送路を設ける場合には、これらの発光素子駆動回路12を格納するためのスペースも大きくなり、装置AとBを小型化する上で障害になる。

この発明の目的は装置間のチャンネル数が多くても発光素子駆動回路を格納するスペースを小さくし、且つ駆動回路と信号処理を行う集積回路とを一体化することによって、これらの間の信号伝送に係る電力を無くすことにより電力消費量も小さくできる機能を備えた半導体集積回路素子を提供しようとするものである。

【課題を解決するための手段】

【0004】

この発明の半導体集積回路素子は発光素子駆動回路であり、ソースが一方の電源に接続される第1のMOSトランジスタのドレインが発光素子接続端子とされ、第1のMOSトランジスタと同極性の第2のMOSトランジスタが、そのゲートとドレインを上記第1のMOSトランジスタのゲートに接続し、ソースが上記一方の電源に接続されて第1のMOSトランジスタとカレントミラー回路を構成する。カレントミラー回路を構成する第2のMOSトランジスタのドレインに、他端を他方の電源に接続する定電流源の一端が接続される。

10

20

30

40

50

## 【発明の効果】

## 【0005】

この発明による半導体集積回路素子によれば、発光素子が接続される発光素子接続端子と電源間に接続される素子を、第1のMOSトランジスタのみで構成することができるので、電源電圧を下げる可以降低。また、電源電圧を下げることで低消費電力化が可能である。また、電源電圧を一定とすれば第1のMOSトランジスタに印加できる電圧を高く採ることができるので、従来の回路よりも高速動作に適する。

## 【発明を実施するための最良の形態】

## 【0006】

図1にこの発明が適用される装置間の光通信のシステム構成を説明するための構成図を示す。この例では、装置Aから装置Bに光信号を送信し、装置B側で受信した信号を処理する場合を示す。

10

このため送信側装置Aには、この発明による半導体集積回路素子20と発光素子11とが設けられ、受信機装置Bには受光素子15と、この発明による半導体集積回路素子30とが設けられる。装置AとBの間には光コネクタ14Aと14Bを介して、例えば光ファイバで構成される光伝送路14が接続される。

送信側装置Aに設けられるこの発明による半導体集積回路素子20には、受信側装置Bに伝送すべき信号を発生する信号源回路21と発光素子駆動回路22とが同一の半導体チップ内に形成される。更に、半導体集積回路素子20には、発光素子駆動回路22の出力端子に接続された発光素子接続端子23が設けられる。従って発光素子11は、この発光素子接続端子23と電源端子24との間に接続することにより配線が完了する。

20

装置B側では受光素子15と、この発明による半導体集積回路素子30とが設けられる。この発明による半導体集積回路素子30は信号処理回路31と、光電流検出回路32と、受光素子接続端子33とを有し、信号処理回路31と光電流検出回路32とが同一半導体チップ内に形成される。受光素子15は受光素子接続端子33と電源端子34の間に接続され配線が完了する。

## 【0007】

図1に示す送信側装置Aに設けた半導体集積回路素子20は、この出願の請求項1で提案する半導体集積回路素子の構成を具備し、受信側装置Bに設けた半導体集積回路素子30がこの出願の請求項3で提案する半導体集積回路素子の構成を具備するものである。

30

図2は半導体集積回路素子20と30に設ける発光素子駆動回路22と光電流検出回路32の回路構造を具体的に示す。一般に半導体集積回路はCMOS構造により構成される。従って、発光素子駆動回路22と光電流検出回路32をCMOSによって構成した場合を示す。

図2に示す発光素子駆動回路22は電界効果トランジスタ(以下単にトランジスタと称す)Q11とQ12を差動接続し、発光素子が消光状態となるためにはトランジスタQ11をオンに、またトランジスタQ12をオフの状態に維持させる。トランジスタQ12のドレインは発光素子接続端子23に接続される。トランジスタQ11とQ12のゲートには信号源回路21から差動的に変化する信号が与えられる。この結果、トランジスタQ11がオフに反転すると同時にトランジスタQ12がオンとなり、発光素子11に駆動電流を流し発光させる。

40

## 【0008】

このように、差動回路によって発光素子11を駆動させることにより、トランジスタQ11に流れていた電流が、トランジスタQ12に切替わるだけの動作で発光素子11を発光させるから、発光素子11に流れる電流の立ち上がりが速く、高速動作が期待できる。なお、発光素子接続端子23に接続した定電流回路25は発光素子11に一定のバイアス電流を流すために設けた定電流回路である。つまり、発光素子11が例えばレーザダイオードの場合は、レーザダイオードに発光閾値近くの電流をバイアス電流として流しておき、トランジスタQ1に電流を流すことによって発光量を変化させるための回路である。

受信装置B側に設けた光電流検出回路32も同様にCMOS回路によって構成される。

50

トランジスタQ21, Q22と、Q23, Q24及びQ25, Q26はそれぞれカレントミラー回路を構成している。この光電流検出回路32の特徴は、入力インピーダンスが極力小さくなるように構成している点である。つまり、入力インピーダンスを低くすることにより受光素子15のアノード・カソード間に存在する容量C1と、受光素子接続端子33と共通電位点との間に存在する浮遊容量C2による影響を軽減し、高速動作を可能とした回路構成としたものである。

#### 【0009】

この回路は電流比較回路として動作し、基準電流 $I_{th}$ と、トランジスタQ21を流れる電流 $I_1 = (光電流 I_{in} + \text{バイアス電流 } I_{bias})$ とを比較することによって出力端子OUTからパルス信号Pを出力する。つまり、図3Aに示すようにトランジスタQ13を流れる電流 $I_1 = (光電流 I_{in} + I_{bias})$ が基準電流 $I_{th}$ を越えると、出力端子OUTの電位は上昇し、出力端子OUTに図3Cに示すパルスPが出力される。尚、カレントミラーの比率は1として説明したが、必要に応じて倍率を設けることもできる。

#### 【0010】

また、この図2に示す光電流検出回路32は使用するトランジスタQ21～Q26の中のPチャンネル型(Q23, Q24)とNチャンネル型(Q21, Q22, Q25, Q26)の特性に製造偏差、或いは環境温度変動により相対的にずれを生じた場合に、タイミング精度に影響を受けることが少なくなるように、回路を極力対称形に構成している。この結果、定電流の $I_{th}$ 及び $I_{bias}$ を流す電流源のペア性及びトランジスタQ21, Q22によって構成されるカレントミラーとトランジスタQ25, Q26によって構成されるカレントミラーのペア性はよく、製造偏差や環境温度変動によっても、これらのレシオ特性は保たれる。よって無調整で歩留まりがよく、動作環境に対して安定に精度を保つことができる。

図4乃至図7に発光素子駆動回路22の変形例を示す。図4は図2に示した発光素子駆動回路22と比較して構成を簡素化した実施例を示す。この実施例ではトランジスタQ11は電流スイッチとして動作し、トランジスタQ12はトランジスタQ12を流れる駆動電流の値を任意の値に設定するための可変抵抗器として動作する。

トランジスタQ11は発光素子11を発光させるときだけオンとなり、発光素子11に電流を流す。このため、図2に示す発光素子駆動回路22より電力消費量を少なくできる利点を得られる。

#### 【0011】

##### 〔実施例1〕

図5にこの発明の実施例1を示す。発光素子駆動回路22は電源電圧を低くしたい場合に有効な回路例である。つまり、この図5に示す回路では、電源電圧 $+V$ と $-V$ との間に発光素子11とトランジスタQ14を直列接続とし、発光素子11とトランジスタQ14から成る直列回路に電源電圧 $+V$ と $-V$ を印加する構造としたもので、図4と比較すれば明らかなようにトランジスタQ14に印加できる電圧を高く採ることができ、高速動作に適している。

#### 【0012】

##### 〔実施例2〕

図6にこの発明の実施例2を示す。実施例2は図4と図5の特徴とする点を組合せた回路構造とした例である。図7は最も単純な回路構造とした例である。この回路はCMOS回路のインバータによって簡単に駆動できる特徴を有し、更にIC内において占有面積を少なくできる利点もあり、多チャンネル化の場合に適している。

図8乃至図10に光電流検出回路32の変形実施例を示す。図8に示す光電流検出回路32は図2に示した電流検出回路を簡略化した回路例である。この図8の場合も、トランジスタQ21に流れる電流 $I_1 = (I_{in} + I_{bias})$ が基準電流 $I_{th}$ より大きくなると、出力端子OUTにパルスPを出力する。

これ以降は、この発明の実施例に対して用いられる受光側装置の受光回路の他の例を示す。

10

20

30

40

50

図9の例ではIC内に抵抗を形成できる場合の例である。トランジスタQ21及びQ22は入力インピーダンスを下げることによって受光素子15に形成される容量及び浮遊容量等により動作速度が劣化することを防ぐことを目的としたゲート接地回路である。トランジスタQ25, Q26は抵抗に置き換えることができる。トランジスタQ25, Q26を抵抗とした場合は、出力振幅は小さくなるが、動作を高速化することができ、差動出力を得ることができる。この図9の場合も、トランジスタQ21を流れる電流 $I_1 = (I_{in} + I_{bias})$ が基準電流 $I_{th}$ より大きくなると、Pチャンネル型トランジスタQ24の電流が増加し、その電流の増加によって出力端子OUTにパルスPを出力する。

【0013】

図10は図2, 図8, 図9で用いた基準電流 $I_{th}$ の代わりに、基準電圧 $V_{th}$ を用いた場合を示す。この図10に示す回路では、受光によって入力電流 $I_{in}$ が増加し、抵抗器Rd1に発生する電圧 $Vd1$ が基準電圧 $V_{th}$ より下がると、トランジスタQ22の電流が減少し、代わってトランジスタQ23の電流 $I_2$ が増加し、この電流 $I_2$ の増加により出力端子OUTにパルスPを出力する。トランジスタQ24とQ25は図9の場合と同様に抵抗としてもよい。

図11は半導体集積回路素子に発光素子駆動回路22と、光電流検出回路32の双方を備えた場合の実施例を示す。40は発光素子駆動回路22と光電流検出回路32の双方を備えた半導体集積回路素子を示す。

【0014】

この半導体集積回路素子40にはそれぞれに発光素子接続端子23と、受光素子接続端子33と、発光素子駆動回路22, 光電流検出回路32を具備し、各発光素子接続端子23に発光素子11を接続し、受光素子接続端子33に受光素子15を接続し、発光素子11と受光素子15の間は光ファイバのような光伝送路14が接続されて、信号の授受を行う。

各半導体集積回路素子40に発光素子接続端子23と受光素子接続端子33を例えば数100チャンネル分ずつ備えた半導体集積回路素子を用意することにより、この半導体集積回路素子を数個用意すればIC試験装置の例えば主試験装置とテストヘッド間の信号の伝送に利用することができる。

【0015】

以上説明したように、この発明によれば半導体集積回路素子の内部に発光素子駆動回路22, 電流検出回路32をそれぞれ収納した構成としたから、半導体集積回路素子の外部に別体でこれらの回路22及び32を設ける必要がない。よって、多チャンネルの信号の授受を光信号で行うように構成する場合に適用することにより、装置の小型化と、低電力化がはかれる利点を得られる。

この発明の構成によれば、信号源となる半導体集積回路素子或いは信号処理回路を構成する半導体集積回路素子の内部に発光素子駆動回路または光電流検出回路を組み込んだ構造としたから、半導体集積回路素子に設けた発光素子接続端子及び受光素子接続端子に発光素子または受光素子を接続するだけでよい。従って半導体集積回路素子と発光素子または受光素子の部品だけで構成できるため、占有スペースを小さくすることができる。また、発光素子駆動回路及び光電流検出回路を半導体集積回路の特にCMOS構造の半導体集積回路に形成することはより消費電力を小さくできる利点を得られる。

【図面の簡単な説明】

【0016】

【図1】この発明が適用される装置間の光通信のシステム構成を説明するための構成図。

【図2】図1に示した構成図の要部の具体例を示す接続図。

【図3】図2に示した具体的回路の動作を説明するための波形図。

【図4】図2に示した発光素子駆動回路の変形例を示す接続図。

【図5】この発明の実施例1を示す図。

【図6】この発明の実施例2を示す図。

【図7】図4と同様の接続図。

10

20

30

40

50

【図8】図2に示した電流検出回路の変形例を示す接続図。

【図9】図8と同様の接続図。

【図10】図8と同様の接続図。

【図11】半導体集積回路素子に発光素子駆動回路と電流検出回路の双方を備えた場合の構成例を説明するためのブロック図。

【図12】従来の技術を説明するためのブロック図。

【符号の説明】

【0017】

- A 送信側装置
- B 受信側装置
- 11 発光素子
- 14 光伝送路
- 15 受光素子
- 20 半導体集積回路素子
- 21 信号源回路
- 22 発光素子駆動回路
- 23 発光素子接続端子
- 30 半導体集積回路素子
- 31 信号処理回路
- 32 光電流検出回路
- 33 受光素子接続端子

10

20

【図1】

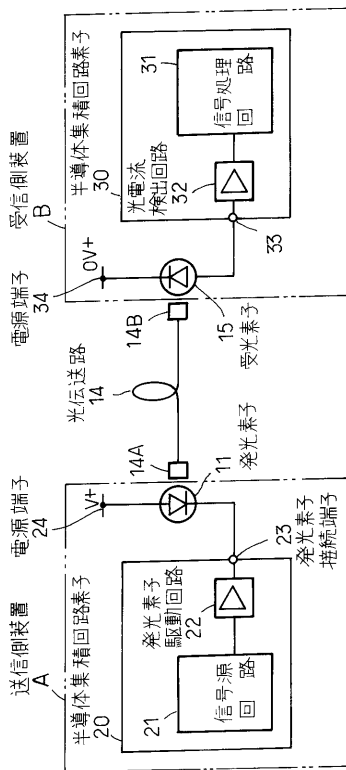


図1

【図2】

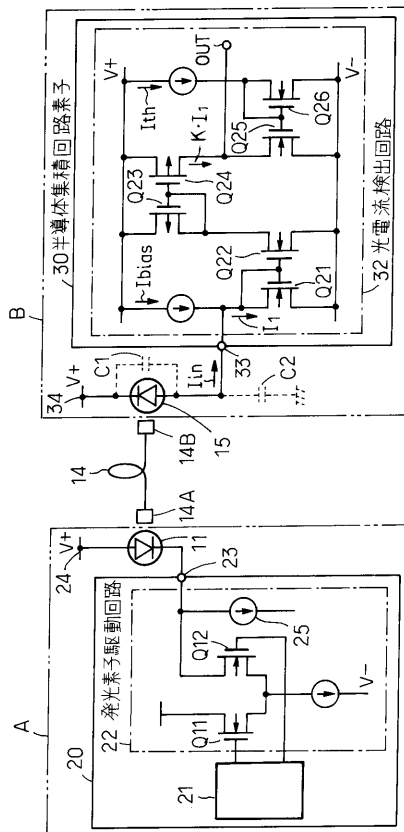


図2

【図3】

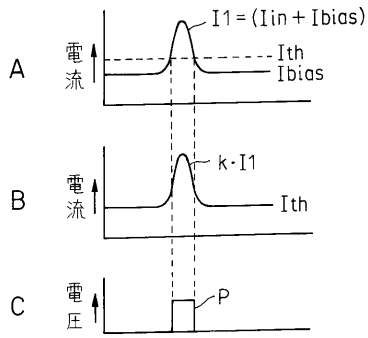


図3

【図5】

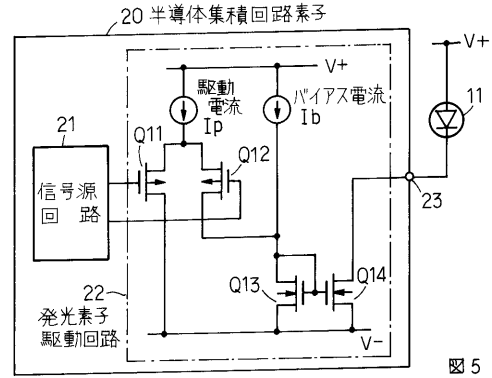


図5

【図4】

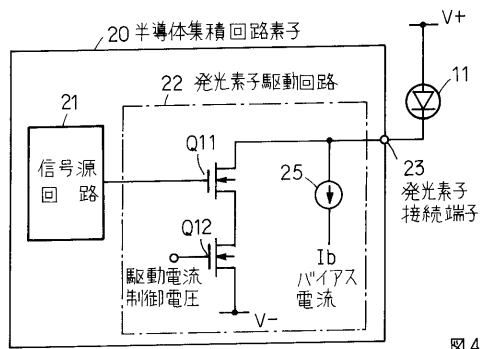


図4

【図6】

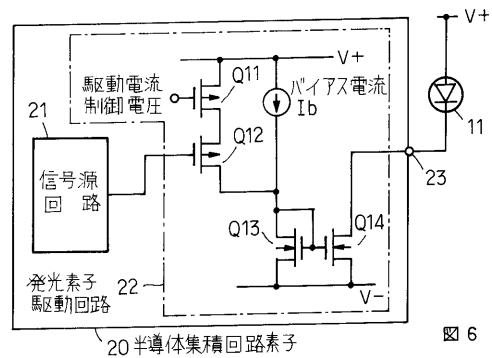


図6

【図7】

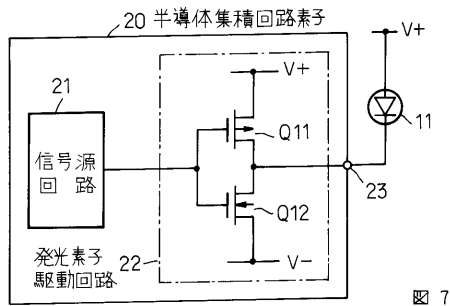


図7

【図9】

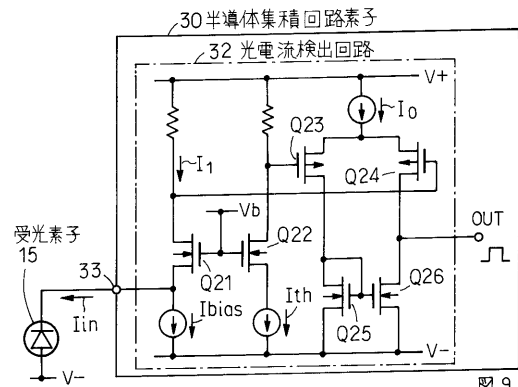


図9

【図8】

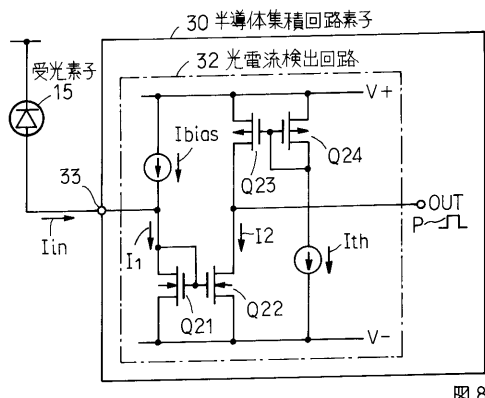


図8

【図10】

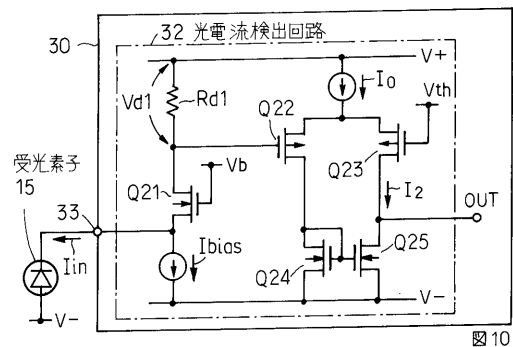


図10

【 図 1 1 】

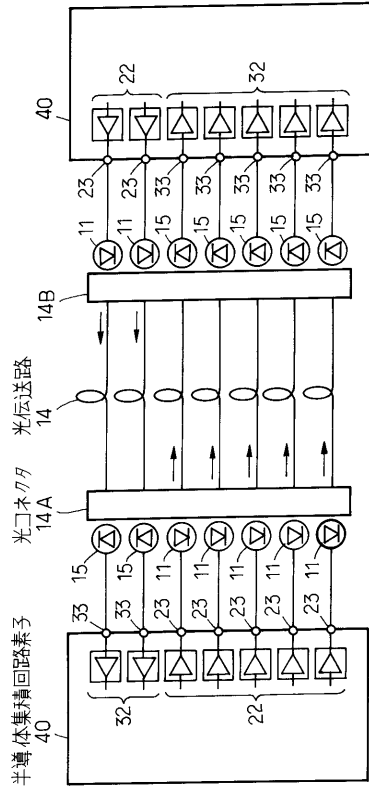


図 11

【 図 1 2 】

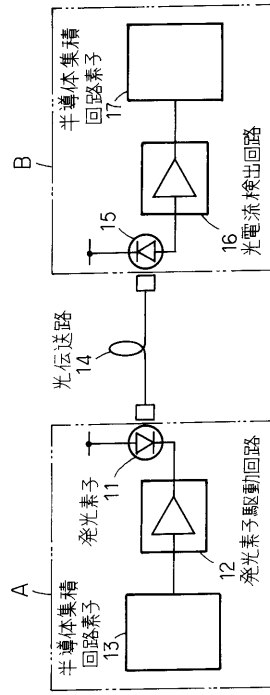


図 12



---

フロントページの続き

(51) Int.Cl. F I

*H 0 4 B 10/14 (2006.01)*

*H 0 4 B 10/26 (2006.01)*

*H 0 4 B 10/28 (2006.01)*

(58) 調査した分野(Int.Cl. , DB名)

H 0 1 S 5 / 0 0 - 5 / 5 0

H 0 1 L 3 3 / 0 0 - 3 3 / 6 4