

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-66070

(P2011-66070A)

(43) 公開日 平成23年3月31日(2011.3.31)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/20 (2006.01)	H O 1 L 21/20	4 K O 2 9
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 B	5 F 1 0 3
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 1 8 A	5 F 1 1 0
H O 1 L 21/363 (2006.01)	H O 1 L 29/78 6 1 8 F	5 F 1 5 2
C 2 3 C 14/34 (2006.01)	H O 1 L 21/363	
審査請求 未請求 請求項の数 16 O L (全 14 頁) 最終頁に続く		

(21) 出願番号	特願2009-213381 (P2009-213381)	(71) 出願人	000183646 出光興産株式会社 東京都千代田区丸の内3丁目1番1号
(22) 出願日	平成21年9月15日 (2009.9.15)	(74) 代理人	100086759 弁理士 渡辺 喜平
		(74) 代理人	100112977 弁理士 田中 有子
		(74) 代理人	100141944 弁理士 佐藤 猛
		(72) 発明者	笠見 雅司 千葉県袖ヶ浦市上泉1280番地
		(72) 発明者	矢野 公規 千葉県袖ヶ浦市上泉1280番地
		(72) 発明者	井上 一吉 千葉県袖ヶ浦市上泉1280番地 最終頁に続く

(54) 【発明の名称】 多結晶薄膜、その成膜方法、及び薄膜トランジスタ

(57) 【要約】 (修正有)

【課題】十分に結晶化された多結晶薄膜を提供する。

【解決手段】インジウム元素及び酸素元素を含有した非晶質膜をスパッタリング装置で成膜し加熱することで、X線回折測定において2θが25deg~35degの範囲に観測される(222)配向のロッキングカーブの半値全幅が0.4deg以下である多結晶薄膜を形成する。又、金属酸化物をスパッタリングによって成膜するに際し、プラズマの照射を2~5秒間隔として成膜しその後結晶化する。

【選択図】なし

【特許請求の範囲】

【請求項 1】

インジウム元素及び酸素元素を含有し、X線回折測定において 2θ が $25\text{deg} \sim 35\text{deg}$ の範囲に観測される (222) 配向のロッキングカーブの半値全幅が 0.4deg 以下である多結晶薄膜。

【請求項 2】

前記 (222) 配向のロッキングカーブの半値全幅が 0.3deg 以下である請求項 1 に記載の多結晶薄膜。

【請求項 3】

金属酸化物をスパッタリングによって成膜するに際し、プラズマの照射を 2 ~ 5 秒間隔として成膜する工程と、

前記工程で得た膜を結晶化する工程とを有する、請求項 1 又は 2 に記載の多結晶薄膜の成膜方法。

【請求項 4】

前記プラズマ照射の照射軸を、成膜対象に対し $45 \sim 90^\circ$ とする請求項 3 に記載の多結晶薄膜の成膜方法。

【請求項 5】

前記成膜工程時の、チャンバ内の排気圧力を $5 \times 10^{-4} \sim 1 \times 10^{-3} \text{Pa}$ とする請求項 3 又は 4 に記載の多結晶薄膜の成膜方法。

【請求項 6】

前記成膜工程時に、アルゴン、酸素、水素、水蒸気及び窒素から選択されるいずれかの 1 つ以上の導入ガスを用い、スパッタ圧を $0.1 \sim 0.6 \times 10^{-1} \text{Pa}$ とする請求項 3 ~ 5 のいずれかに記載の多結晶薄膜の成膜方法。

【請求項 7】

金属酸化物をスパッタリングによって成膜するに際し、スパッタリングチャンバ内の排気圧力を $5 \times 10^{-4} \sim 1 \times 10^{-3} \text{Pa}$ とする多結晶薄膜の成膜方法。

【請求項 8】

金属酸化物をスパッタリングによって成膜するに際し、アルゴン、酸素、水素、水蒸気及び窒素から選択されるいずれかの 1 つ以上の導入ガスを用い、スパッタ圧を $0.1 \sim 0.6 \times 10^{-1} \text{Pa}$ とする多結晶薄膜の成膜方法。

【請求項 9】

前記成膜工程時のスパッタリング出力を、 $50 \sim 150 \text{W} / 4 \text{インチ}$ とする請求項 3 ~ 8 のいずれかに記載の多結晶薄膜の成膜方法。

【請求項 10】

前記成膜工程時の酸素濃度を 5 ~ 20 体積% とする請求項 3 ~ 9 のいずれかに記載の多結晶薄膜の成膜方法。

【請求項 11】

前記金属酸化物が、金属酸化物を構成する全金属原子に対しインジウム原子を 0.1 ~ 100 原子% 含有する請求項 3 ~ 10 のいずれかに記載の多結晶薄膜の成膜方法。

【請求項 12】

前記結晶化工程が、前記成膜工程で得た膜を、酸素 10 ~ 40 体積% 及び窒素 10 ~ 80 体積% を含む混合ガス雰囲気下にて、 $150 \sim 450^\circ \text{C}$ で 0.1 ~ 1200 分間熱処理する工程である請求項 3 ~ 11 のいずれかに記載の多結晶薄膜の成膜方法。

【請求項 13】

前記結晶化工程の前後に、プラズマアッシング処理及び / 又は UV オゾン照射処理する工程を有する、請求項 12 に記載の多結晶薄膜の成膜方法。

【請求項 14】

請求項 3 ~ 13 のいずれかの成膜方法により成膜された多結晶薄膜を有する薄膜トランジスタ。

【請求項 15】

10

20

30

40

50

チャンネルエッチ型の薄膜トランジスタである請求項 1 4 に記載の薄膜トランジスタ。

【請求項 1 6】

エッチストップパー型の薄膜トランジスタである請求項 1 4 に記載の薄膜トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、多結晶薄膜、その成膜方法、薄膜トランジスタ及びその製造方法に関する。

【背景技術】

【0002】

近年、表示装置の発展は目覚ましく、液晶表示装置や E L 表示装置等、種々の表示装置がパソコンやワープロ等の O A 機器へ活発に導入されている。これらの表示装置は、いずれも表示素子を透明導電膜で挟み込んだサンドイッチ構造を有している。

10

【0003】

上記の表示装置を駆動させる薄膜トランジスタ (T F T) 等のスイッチング素子には、現在、シリコン系の半導体膜が主に使用されている。それは、シリコン系薄膜は安定性、及び加工性が良く、また、スイッチング速度が速い等の特徴があるためである。このシリコン系薄膜は、一般に化学蒸気析出法 (C V D) 法により作製されている。

【0004】

しかしながら、シリコン系薄膜が非晶質の場合、スイッチング速度が比較的遅く、高速な動画等を表示する場合は画像を表示できないという難点を有している。また、結晶質のシリコン系薄膜の場合には、スイッチング速度は比較的速いが、結晶化するために 8 0 0 以上の高温や、レーザーによる加熱等が必要であり、製造時に多大なエネルギーと工程を要する。また、シリコン系の薄膜は、電圧素子としても性能は優れているものの、電流を流した場合、その特性の経時変化が問題となっている。

20

【0005】

シリコン系薄膜よりも安定性に優れるとともに、I T O 膜と同等の光透過率を有する透明半導体膜を得るための材料等として、酸化インジウム、酸化ガリウム及び酸化亜鉛からなるスパッタリングターゲットや、酸化亜鉛と酸化マグネシウムからなる透明半導体薄膜が提案されている (例えば、特許文献 1)。酸化インジウム、酸化ガリウム及び酸化亜鉛、又は酸化亜鉛と酸化マグネシウムからなる透明半導体膜は、弱酸でのエッチング性が非常に早いという特徴がある。しかしながら、金属薄膜のエッチング液でもエッチングされるため、透明半導体膜上の金属薄膜をエッチングする場合に、半導体膜も同時にエッチングされてしまうことがある。そのため、透明半導体膜上の金属薄膜だけを選択的にエッチングする場合には不適であった。

30

【0006】

一方、酸化インジウムの結晶質を含む膜、特に多結晶膜は、酸素欠損を生成しやすく、成膜時の酸素分圧を上げたり、酸化処理等をして、キャリアー密度を $2 \times 10^{+17} \text{ cm}^{-3}$ にすることが困難と考えられていた。そのために、半導体膜又は T F T としての試みはほとんどなされていなかった。

【0007】

また、特許文献 2 には酸化インジウムに正 2 価の金属酸化物を含有させたピックスバイト構造を有する酸化インジウム半導体膜が記載されている。正 2 価の金属酸化物を含有させることにより、キャリアー濃度を低減する試みがなされている。しかしながら、正 2 価の金属酸化物の場合、ピックスバイト構造のエネルギーバンド構造のバンドギャップ内に不純物順位を形成することがあり、これが、移動度を低下させる場合がある。

40

【0008】

特許文献 3 には、結晶質の酸化インジウム薄膜を用いた薄膜トランジスタが記載されている。しかしながら、チャンネル部分のトラップ密度が高くなる場合があった。このため、S 値を十分に低減できないことや、ノーマリーオンのトランジスタになる等の問題があった。また、薄膜中のトラップ密度が高いと、トラップによりオフ電流値が十分低減でき

50

ないという問題があった。

この点について、特許文献3では酸化インジウム薄膜の膜厚を20nmとすることにより、オフ電流値が低減できることが記載されている。しかしながら、膜厚を20nmに制御して、均一に、かつ大面積に成膜することは技術的に難しい。そのため、TFETの特性がばらつく原因となる可能性があった。

【0009】

また、特許文献3には、酸化インジウムからなる活性層(チャンネル層)を備えたTFETの製造方法が記載されている。具体的に、アモルファスの酸化インジウム膜に熱処理して結晶化するTFETの製造方法が記載されている。この方法で得られるTFETは、FET特性を有している。しかし、結晶化が不十分であるため半導体薄膜のキャリア密度が十分低減できていない。そのため、FET特性ではノーマリーオンを示している。結晶化が不十分であることは、XRDスペクトルから考察される(222)配向面のピークの半値幅が広いことから把握できる。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2004-119525号公報

【特許文献2】国際公開2007/058248号パンフレット

【特許文献3】特開2008-130814号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

本発明の目的は、十分に結晶化された多結晶薄膜を提供することである。

【課題を解決するための手段】

【0012】

本発明者らは、スパッタリングによる成膜を間欠的にすることで、均一かつ平坦な非晶質の In_2O_3 薄膜の成膜ができ、この薄膜を加熱結晶化することにより、TFET用薄膜として優れた性能を有する多結晶薄膜が得られることを見出し、本発明を完成させた。

本発明によれば、以下の多結晶薄膜、その成膜方法、及び薄膜トランジスタが提供される。

1. インジウム元素及び酸素元素を含有し、X線回折測定において2θが25deg~35degの範囲に観測される(222)配向のロッキングカーブの半値全幅が0.4deg以下である多結晶薄膜。

2. 前記(222)配向のロッキングカーブの半値全幅が0.3deg以下である1に記載の多結晶薄膜。

3. 金属酸化物をスパッタリングによって成膜するに際し、プラズマの照射を2~5秒間隔として成膜する工程と、

前記工程で得た膜を結晶化する工程とを有する、1又は2に記載の多結晶薄膜の成膜方法。

4. 前記プラズマ照射の照射軸を、成膜対象に対し45~90°とする3に記載の多結晶薄膜の成膜方法。

5. 前記成膜工程時の、チャンバ内の排気圧力を $5 \times 10^{-4} \sim 1 \times 10^{-3}$ Paとする3又は4に記載の多結晶薄膜の成膜方法。

6. 前記成膜工程時に、アルゴン、酸素、水素、水蒸気及び窒素から選択されるいずれかの1つ以上の導入ガスを用い、スパッタ圧を $0.1 \sim 0.6 \times 10^{-1}$ Paとする3~5のいずれかに記載の多結晶薄膜の成膜方法。

7. 金属酸化物をスパッタリングによって成膜するに際し、スパッタリングチャンバ内の排気圧力を $5 \times 10^{-4} \sim 1 \times 10^{-3}$ Paとする多結晶薄膜の成膜方法。

8. 金属酸化物をスパッタリングによって成膜するに際し、アルゴン、酸素、水素、水蒸気及び窒素から選択されるいずれかの1つ以上の導入ガスを用い、スパッタ圧を0.1~

10

20

30

40

50

0.6 × 10⁻¹ Pa とする多結晶薄膜の成膜方法。

9. 前記成膜工程時のスパッタリング出力を、50 ~ 150 W / 4 インチ とする 3 ~ 8 のいずれかに記載の多結晶薄膜の成膜方法。

10. 前記成膜工程時の酸素濃度を 5 ~ 20 体積% とする 3 ~ 9 のいずれかに記載の多結晶薄膜の成膜方法。

11. 前記金属酸化物が、金属酸化物を構成する全金属原子に対しインジウム原子を 0.1 ~ 100 原子% 含有する 3 ~ 10 のいずれかに記載の多結晶薄膜の成膜方法。

12. 前記結晶化工程が、前記成膜工程で得た膜を、酸素 10 ~ 40 体積% 及び窒素 10 ~ 80 体積% を含む混合ガス雰囲気下にて、150 ~ 450 で 0.1 ~ 1200 分間熱処理する工程である 3 ~ 11 のいずれかに記載の多結晶薄膜の成膜方法。

10

13. 前記結晶化工程の前後に、プラズマアッシング処理及び / 又は UV オゾン照射処理する工程を有する、12 に記載の多結晶薄膜の成膜方法。

14. 上記 3 ~ 13 のいずれかの成膜方法により成膜された多結晶薄膜を有する薄膜トランジスタ。

15. チャンネルエッチ型の薄膜トランジスタである 14 に記載の薄膜トランジスタ。

16. エッチストッパー型の薄膜トランジスタである 14 に記載の薄膜トランジスタ。

【発明の効果】

【0013】

本発明により、十分に結晶化された多結晶薄膜が提供できる。この薄膜は、キャリア密度を十分に低減しているため、TFT に使用することにより、高移動度かつノーマリーオフである TFT が得られる。

20

【図面の簡単な説明】

【0014】

【図1】公転プラズマ法を利用したスパッタリングによる成膜方法を説明するための概念図であり、(a) はスパッタリング装置の真空チャンバ内を図示したものであり、(b) はターゲットシャッターの概略上面図である。

【図2】本発明の薄膜トランジスタの実施形態を示す概略断面図である。

【図3】本発明の薄膜トランジスタの他の実施形態を示す概略断面図である。

【図4】実施例1で作製した薄膜トランジスタの概略断面図である。

【図5】実施例1で作製した薄膜の(222)配向のロックンクカーブである。

30

【図6】実施例5で作製した薄膜の(222)配向のロックンクカーブである。

【図7】実施例6で作製した薄膜の(222)配向のロックンクカーブである。

【発明を実施するための形態】

【0015】

本発明の多結晶薄膜は、インジウム元素及び酸素元素を含有し、X線回折測定においてロックンクカーブの 25 deg ~ 35 deg の範囲に観測される(222)配向の半値全幅が 0.4 deg 以下であることを特徴とする。本条件を満たす薄膜は、結晶性のよい半導体膜である。

ここで、ロックンクカーブは Rigaku 社製 Smart Lab により測定し、(222)配向ピークの半値全幅を算出して求めたものである。半値幅は、まずロックンクカーブの 25 deg ~ 35 deg の範囲でバックグラウンドを差し引き、その後、Lorentz 型関数、Gauss 型関数、Voigt 型関数のいずれかを用いて、ピークをフィットしたものの半値全幅である。

40

バックグラウンドを差し引く方法としては、例えば、バックグラウンドを関数で表現し、ロックンクカーブのグラフの値から差し引く方法、基板の XRD スペクトルの測定値をロックンクカーブのグラフの値から差し引く方法等が挙げられる。

【0016】

ロックンクカーブの配向ピークの半値全幅は、結晶性、均一性を示し、幅が狭いほど結晶性の高い均一な多結晶であることを示している。そのため、酸化インジウム結晶に見られる(222)配向ピークの半値全幅は 0.3 deg 以下であることが好ましい。

50

【0017】

本発明の多結晶薄膜は、例えば、金属酸化物をスパッタリングによって成膜するに際し、成膜対象へのプラズマの照射を間欠的にすることにより成膜し、その後、加熱することにより得ることができる。具体的に、スパッタの照射を2～5秒間隔として成膜する工程と、この工程で得た膜を結晶化する工程と、を有する成膜方法によって得ることができる。

成膜工程としては、例えば、金属酸化物からなるスパッタリングターゲットを使用した公転プラズマ法による成膜が採用できる。

【0018】

図1は公転プラズマ法を利用したスパッタリングによる成膜方法を説明するための概念図である。図1(a)はスパッタリング装置の真空チャンバ内を図示したものであり、(b)はターゲットシャッターの概略上面図である。チャンバ内には、円板状の基板ホルダー1があり、円板の中心を軸として回転するように設置されている。基板ホルダー1に対向する位置にスパッタリングターゲット2が設置されている。基板ホルダー1とスパッタリングターゲット2の間には、ターゲットシャッター3が設けられている。ターゲットシャッター3は、ターゲット1をプラズマにてスパッタすることで発生するスパッタ粒子の進行方向や堆積箇所を制御するものである。

10

【0019】

本装置では、基板ホルダー1に取り付けられた基板4は、ホルダー1の回転により円軌道を描いて移動する(公転)。そのため、基板はターゲットシャッター3の開口部3'上を一定の周期で通過することになる。基板がターゲットシャッターの開口部付近上に位置するときのみ、スパッタ粒子が基板に到達し、堆積することになる。尚、図1(a)の点線矢印はスパッタ粒子の進行方向を示している。

20

【0020】

本発明では、スパッタの照射を2～5秒間隔として成膜する。例えば、上記の装置では、基板ホルダー1の回転速度やターゲットシャッター3の開口部3'の形状を調整することにより、照射時間を制御する。照射時間は2～5秒間とし、照射間(未照射時間)を1～15秒間とする。

基板にスパッタ粒子を堆積させて、薄膜を形成する。膜の厚さは用途等を考慮して適宜調整すればよいが、通常、薄膜トランジスタ用途では10nm～60nmが好ましく、20nm～50nmがより好ましく、20nm～40nmがさらに好ましく、特に好ましくは20nm～30nmである。半導体層の膜厚が10nm以下は工業的に均一な薄膜を得ることが難しく、また60nm以上では成膜時間が長くなり、薄膜トランジスタの性能が低下する。

30

【0021】

本発明ではスパッタ照射の照射軸を、成膜対象に対し30°～90°とすることが好ましく、さらに45°～90°が好ましく、特に90°(垂直、図1(a)の点線矢印方向)とすることが好ましい。これにより均一でターゲットとの組成ズレが少ない薄膜を得ることができる。

【0022】

成膜工程前の、チャンバ内の排気圧力は $5 \times 10^{-4} \sim 8 \times 10^{-3}$ Paとすることが好ましく、さらに、 $8 \times 10^{-4} \sim 7 \times 10^{-3}$ Paとすることが好ましく、特に $1 \times 10^{-3} \sim 5 \times 10^{-3}$ Paとすることが好ましい。これにより、成膜直後に均一な非晶質膜を得ることができ、加熱処理後に結晶性の良い半導体薄膜を得ることができる。排気圧力が 5×10^{-4} Pa未満では、成膜時に低質な結晶が生成してしまうことがあり、加熱処理後も均一な多結晶膜が得られない可能性がある。また排気圧力が 8×10^{-3} Pa超では基板から薄膜が剥離してしまう可能性がある。

40

【0023】

成膜工程時におけるスパッタガスは、アルゴン、酸素、水素、水蒸気及び窒素から選択される1つ又は2つ以上の導入ガスを用いることが好ましい。また、スパッタ圧は0.1

50

～ 0.6×10^{-1} Pa とすることが好ましい。

また、成膜工程時のスパッタリング出力は、50～150 W / 4インチ とすることが好ましい。

成膜工程時の酸素濃度は5～20体積%とすることが好ましい。

【0024】

ターゲットである金属酸化物は、金属酸化物を構成する全金属原子に対しインジウム原子を0.1～100原子%含有するものが好ましい。例えば、酸化インジウムや、酸化インジウムに対して、酸化亜鉛 (ZnO) を0.1wt%～8wt%含有するもの、酸化インジウムに対して、酸化ガリウム (Ga_2O_3) を0.1wt%～8wt%含有するもの、酸化インジウムに対して、酸化銅 (CuO) を0.05wt%～7wt%含有するもの等が挙げられる。

10

【0025】

上述した成膜工程で得た膜は非晶質 (アモルファス) であり、加熱等により結晶化させることにより、本発明の多結晶薄膜を得る。結晶化には、酸素の存在下にランプアニール装置、レーザーアニール装置、熱風加熱装置、接触加熱装置等を用いることができる。

本発明では、上述した成膜工程で形成したアモルファス薄膜を結晶化させることにより、XRDスペクトルから見られる半値幅が狭く、結晶性の良い半導体膜が得られる。

【0026】

結晶化工程としては、成膜工程で得た膜を、酸素10～40体積%及び窒素10～80体積%を含む混合ガス雰囲気下にて、加熱処理することが好ましい。処理温度は150～450 が好ましい。150 未満では、半導体膜が十分に結晶化しない場合があり、450 超では、基板や半導体膜にダメージを与える場合がある。熱処理温度は、180～350 がさらに好ましく、特に200～300 が好ましい。

20

処理時間は0.1～1200分間が好ましい。熱処理時間が0.1分未満では、熱処理時間が短すぎて膜の結晶化が不十分となる場合があり、1200分超では時間が掛かりすぎ生産的ではない。熱処理時間は、1分～600分がさらに好ましく、特に5分～60分が好ましい。

【0027】

本発明では、結晶化工程の前後に、プラズマアッシング処理及び/又はUVオゾン照射処理することが好ましい。これにより、パターニング、保護膜 (又はエッチストッパー) 等の各作製工程により、半導体膜中の酸素が抜け、キャリアー密度が低下することを防ぐことができる。

30

【0028】

尚、本発明の薄膜は、成膜時の薄膜表面の温度を、40～60 である高温域と、35以下である低温域とに制御し、これら温度域を交互に繰り返して成膜することによっても得ることができる。この成膜方法では、反跳アルゴンによるダメージによってスパッタ粒子となったインジウム元素と酸素元素の、基板上における結合阻害を低減できる。そのため、良質な非晶質膜を形成でき、これを加熱処理することで多結晶薄膜を形成することが期待できる。

ここで、基板上に成膜された薄膜の表面温度は、例えば、四線式白金測温抵抗体を使用した電位差計四端子抵抗測定法や、赤外線放射測定による温度センサーにより測定できる。

40

【0029】

成膜工程においては、高温域での成膜を0.1～3秒間、好ましくは0.5～2秒間とし、低温域での成膜を1～10秒間、好ましくは1.5～5秒間とし、高温域での成膜と低温域での成膜を交互に繰り返すことが好ましい。

高温域及び低温域について、例えば、成膜対象にプラズマを照射することで、高温域の条件を形成することができ、プラズマの照射を停止することで低温域の条件を形成できる。

また、スパッタリングターゲットの背面にマグネットを配置し、これを揺動させること

50

によっても、高温域と低温域を変動させることができる。

この場合、マグネットの揺動の周期は15秒～45秒とすることが好ましく、特に、15秒～30秒とすることが好ましい。

【0030】

また、本発明の薄膜は、金属酸化物をスパッタリングによって成膜するに際し、スパッタリングチャンバ内の排気圧力を $5 \times 10^{-4} \sim 1 \times 10^{-3}$ Paとすることによっても成膜できる。

さらに、金属酸化物をスパッタリングによって成膜するに際し、アルゴン、酸素、水素、水蒸気及び窒素から選択されるいずれかの1つ以上の導入ガスを用い、スパッタ圧を $0.1 \sim 0.6 \times 10^{-1}$ Paとすることによっても成膜できる。

【0031】

本発明の多結晶薄膜は、薄膜トランジスタの構成層に好適に使用できる。以下、薄膜トランジスタに適用した例を説明する。

【0032】

図2は、本発明の薄膜トランジスタの実施形態を示す概略断面図である。

薄膜トランジスタは、基板10及び絶縁膜30の間にゲート電極20を挟持しており、ゲート絶縁膜30上には半導体膜40が活性層として積層されている。さらに、半導体膜40の端部付近を覆うようにしてソース電極50及びドレイン電極52がそれぞれ設けられている。半導体膜40、ソース電極50及びドレイン電極52で囲まれた部分にチャンネル部60を形成している。

尚、図2の薄膜トランジスタはいわゆるチャンネルエッチ型薄膜トランジスタである。本発明の薄膜トランジスタは、チャンネルエッチ型薄膜トランジスタに限定されず、本技術分野で公知の素子構成を採用できる。例えば、エッチストップ型薄膜トランジスタでもよい。

【0033】

図3は、本発明の薄膜トランジスタの他の実施形態を示す概略断面図である。尚、上述した薄膜トランジスタと同じ構成部材には同じ番号を付し、その説明を省略する。

薄膜トランジスタは、エッチストップ型薄膜トランジスタである。薄膜トランジスタは、チャンネル部60を覆うようにエッチストップ70が形成されている点を除き、上述した薄膜トランジスタと同じ構成である。半導体膜40の端部付近及びエッチストップ70の端部付近を覆うようにしてソース電極50及びドレイン電極52がそれぞれ設けられている。

【0034】

本発明の薄膜トランジスタは、半導体膜40に上述した本発明の多結晶薄膜を使用している。この薄膜は、キャリア密度を十分に低減しているため、トランジスタに使用することにより、高移動度かつノーマリーオフとなる。

【0035】

本発明の薄膜トランジスタにおいて、基板、ゲート電極、ゲート絶縁膜、ソース・ドレイン電極等の構成部材は、公知のものが使用でき、特に限定されない。

例えば、各電極にはAl、Cu、Au等の金属薄膜が使用でき、ゲート絶縁膜には、酸化シリコン膜、酸化ハフニウム膜等の酸化物薄膜を使用できる。

【0036】

本発明の薄膜トランジスタは、上述した成膜工程でアモルファス薄膜（多結晶薄膜の前駆体）を成膜する成膜工程と、この膜を結晶化する工程を含む。尚、ゲート電極、ゲート絶縁膜、ソース・ドレイン電極等の構成部材は、公知の方法により形成できる。

【0037】

例えば、基板上にAl、Cu、Au等の金属薄膜からなるゲート電極を形成し、その上に、酸化シリコン膜、酸化ハフニウム膜等からなる酸化物薄膜をゲート絶縁膜として形成する。その上に、金属マスクを装着して必要な部分だけに上述した本発明の製造方法により金属酸化物からなるアモルファス膜を形成する。その後、金属マスクを用いて、必要部

10

20

30

40

50

分にソース・ドレイン電極を形成することで、薄膜トランジスタを製造することができる。

【0038】

本発明の薄膜トランジスタの製造方法では、アモルファス薄膜の形成後、薄膜を結晶化する。結晶化工程は、酸化処理を兼ねていてもよい。

アモルファス薄膜の結晶化には、酸素の存在下にランプアニール装置、レーザーアニール装置、熱風加熱装置、接触加熱装置等を用いることができる。処理条件は、上述した多結晶薄膜の結晶化工程と同様である。

尚、アモルファス薄膜の結晶化は、膜の形成後、すぐにも実施してもよく、また、ソース・ドレイン電極等、他の構成部材の形成後に実施してもよい。

10

【0039】

本発明の製造方法は、特に、チャンネルエッチ型の薄膜トランジスタの製造方法に適している。本発明の多結晶薄膜は結晶質であるため、Al等の金属薄膜からソース・ドレイン電極及びチャンネル部を形成する方法として、フォトリソグラフィを使用したエッチング工程を採用できる。即ち、金属薄膜を除去するエッチング液では、半導体膜（多結晶薄膜）はエッチングされず、金属薄膜を選択的にエッチングできる。尚、エッチストップ型の薄膜トランジスタの製造方法であってもよい。

【実施例】

【0040】

実施例1

20

(A) 薄膜トランジスタの作製

図4に示す逆スタガ型のチャンネルエッチ型の薄膜トランジスタを作製した。

100nm厚みの熱酸化膜(SiO₂膜)付きの導電性シリコン基板(KSTワールド社製)10を使用した。熱酸化膜がゲート絶縁膜30として機能し、導電性シリコン部(n型高ドープSi)がゲート電極20として機能する。

ゲート絶縁膜30上に、酸化インジウムターゲット(純度99.9%)を用いて、公転プラズマスパッタリング法で50nmの半導体膜40を成膜した。

尚、公転プラズマスパッタリング装置は新港精機製(チャンバサイズ1100mm×480mm)を使用し、以下の条件で成膜した。

【0041】

30

・スパッタの形式：図1(a)に示す装置を使用し、基板を基板ホルダー中心を軸として公転(公転速度：6rpm)させ、スパッタを間欠照射した。照射時間は2~5秒間とし、照射間を1~15秒間とした。

・基板に対するプラズマの照射角：90°

・チャンバ内の排気圧力：5×10⁻⁴Pa

・スパッタガス：Ar

・スパッタ圧：1.2×10⁻¹Pa

・プラズマ出力：RF100W/4

・ターゲットと基板間の距離(T-S距離)：10cm

・基板温度(ホルダー側)：室温

40

・成膜速度：5nm/min

・連続成膜時間：10分間

【0042】

半導体膜40を所望の形状にパターンニングした。レジストとしてOFPR 800(東京応化工業製)を使用し、塗布、プレバーク(80℃、5分)、露光した。現像後、ポストバーク(120℃、5分)し、硝酸第二セリウムアンモニウム(CAN)にてエッチングした。

パターンニングした半導体膜40を、大気下300℃で60分熱処理して結晶化した。

【0043】

その後、半導体膜の上端部周辺及び側部に、リフトオフにてTi(50nm)/Au(

50

100 nm) / Ti (50 nm) からなるソース電極及びドレイン電極を形成した。尚、レジストには OFPR 800 を使用し、各電極層は RF スパッタ法で形成した。

このようにしてソース・ドレイン電極間隙 (L) が 10 μm、幅 (W) が 20 μm である図 4 の構成を有する薄膜トランジスタを作製した。

【0044】

(B) 半導体膜の評価

石英ガラス基板上に、上記 (A) の公転スパッタリングと同じ条件にて半導体膜を形成した。その後、熱風加熱炉内で、空气中、300 で 60 分間熱処理した。得られた半導体膜の X 線回折 (XRD) 測定をしたところ、酸化インジウムの結晶ピークが観察された。これにより、半導体膜が結晶質であることが確認できた。

10

【0045】

実施例 2

実施例 1 で作製した薄膜トランジスタについて、評価直前にアニール処理 (条件: 130, 1 時間) した。アニール処理したものを実施例 1 と同様にして評価した。

【0046】

実施例 3

実施例 1 において、ソース・ドレイン電極間隙 (L) を 20 μm とし、実施例 2 と同様にアニール処理した他は、実施例 1 と同様にして薄膜トランジスタを作製し、半導体膜を評価した。

20

【0047】

実施例 4

ソース・ドレイン電極の幅 (W) を 100 μm とした他は、実施例 3 と同様にして薄膜トランジスタを作製し、半導体膜を評価した。

【0048】

実施例 5

実施例 1 において、酸化インジウムターゲットに代えて、酸化インジウム - 酸化亜鉛 (IZO: 登録商標) ターゲット (In₂O₃: 95 wt%, ZnO: 5 wt%) を用い、実施例 2 と同様にアニール処理した他は、実施例 1 と同様にして薄膜トランジスタを作製し、半導体膜を評価した。

30

【0049】

実施例 6

実施例 1 において、酸化インジウムターゲットに代えて、酸化インジウム - 酸化ガリウム (IGO) ターゲット (In₂O₃: 95 wt%, Ga₂O₃: 5 wt%) を用い、実施例 2 と同様にアニール処理した他は、実施例 1 と同様にして薄膜トランジスタを作製し、半導体膜を評価した。

【0050】

評価

上記実施例 1 - 6 で作製した薄膜トランジスタについて、オンオフ (on/off) 比、オフ電流、電界効果移動度 (μ) S 値及び閾値電圧 (V_{th}) を評価した。半導体パラメーターアナライザ (ケースレーインズツルメンツ社製 4200 SCS) を用い、室温、遮光環境下 (シールドボックス内) で測定した。尚、ドレイン電圧 (V_d) は 1 V とした。

40

また、半導体膜の X 線回折により、結晶性又は非晶性について評価した。結果を表 1 に示す。また、薄膜の (222) 配向のロッキングカーブから求めた半値全幅及び薄膜形成時における薄膜表面の温度を表 2 に示す。

図 5 - 7 に実施例 1, 5, 6 で作製した薄膜の (222) 配向のロッキングカーブを示す。尚、実施例 2 - 4 のロッキングカーブは実施例 1 と同様である。

【0051】

【 表 1 】

	実施例 1	実施例 2	実施例 3	実施例 4	実施例 5	実施例 6
ターゲットの種類	In ₂ O ₃	In ₂ O ₃	In ₂ O ₃	In ₂ O ₃	IZO	IGO
半導体膜の性状	結晶性	結晶性	結晶性	結晶性	結晶性	結晶性
直前アニール処理	無し	あり	あり	あり	あり	あり
on/off 比	1.00×10 ¹¹	1.80×10 ¹¹	4.03×10 ¹⁰	1.05×10 ¹¹	5.30×10 ⁸	1.00×10 ⁹
Off 電流 (A)	1.00×10 ⁻¹⁴	2.80×10 ⁻¹⁵	5.30×10 ⁻¹⁵	7.80×10 ⁻¹⁵	2.90×10 ⁻¹³	1.00×10 ⁻¹⁴
移動度 (cm ² /Vs)	40.3	20.6	24.6	12.6	25.3	41.3
S 値 (V/dec.)	0.4	0.4	0.3	0.3	0.3	1.1
Vth (V)	2.7	-0.8	0.3	-2.9	5.7	0.5

【 0 0 5 2 】

10

20

30

40

【表 2】

	ピーク位置	半値全幅	低温時*1の 薄膜表面温度	高温時*1の 薄膜表面温度
実施例 1	30.5°	0.26°	31.0°C	40.2°C
実施例 2	30.5°	0.26°	31.0°C	40.2°C
実施例 3	30.5°	0.26°	31.0°C	40.2°C
実施例 4	30.5°	0.26°	31.0°C	40.2°C
実施例 5	30.6°	0.21°	30.5°C	40.0°C
実施例 6	30.8°	0.25°	31.5°C	40.3°C

10

* 1 : 高温時の薄膜表面温度とは、基板へのスパッタ粒子照射時の最高温度を、低温時の薄膜表面温度とは、未照射時の最低温度を意味する。

【産業上の利用可能性】

20

【0053】

本発明の多結晶薄膜は、薄膜トランジスタ、半導体メモリー、発光ダイオード素子、レーザー素子等の構成部材として好適である。

本発明の薄膜トランジスタは、ディスプレイ用パネル、RFIDタグ、X線ディテクタパネル・指紋センサー・フォトセンサー等のセンサー等に好適に使用できる。

【符号の説明】

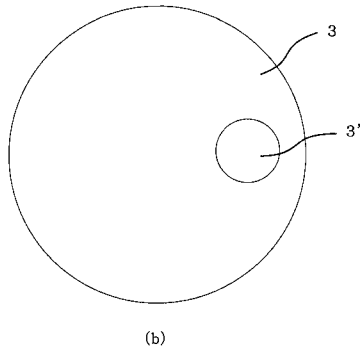
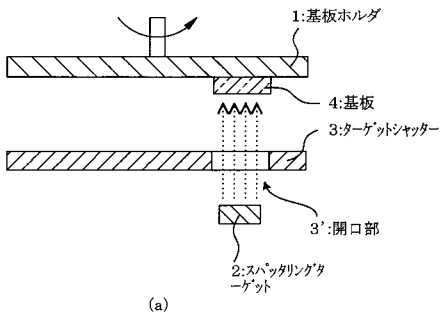
【0054】

- 1 基板ホルダー
- 2 スパッタリングターゲット
- 3 ターゲットシャッター
- 3' 開口部
- 4 基板
- 10 基板
- 20 ゲート電極
- 30 ゲート絶縁膜
- 40 半導体膜(多結晶膜)
- 50 ソース電極
- 52 ドレイン電極
- 60 チャンネル部
- 70 エッチストッパー

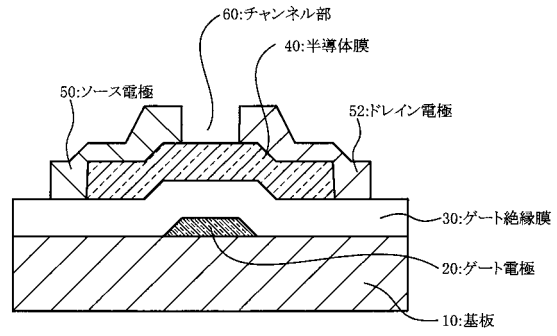
30

40

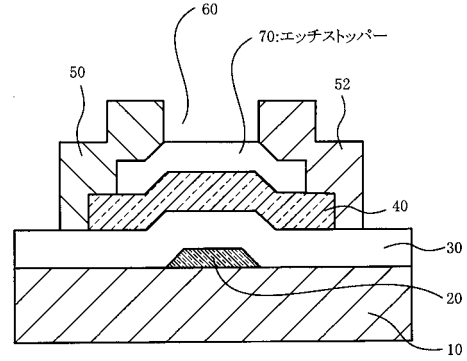
【 図 1 】



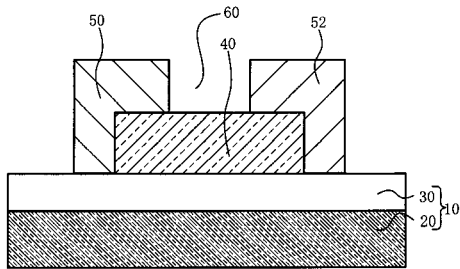
【 図 2 】



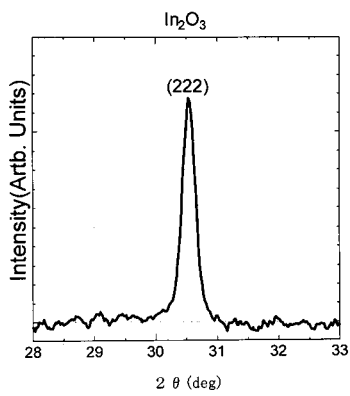
【 図 3 】



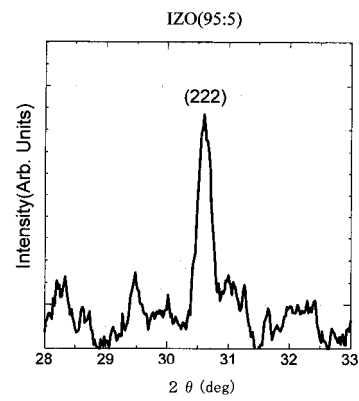
【 図 4 】



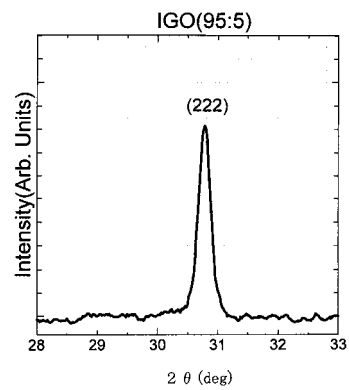
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

C 2 3 C	14/34	N
C 2 3 C	14/34	R
H 0 1 L	29/78	6 2 7 G
H 0 1 L	29/78	6 2 0

F ターム(参考)	4K029	AA06	AA24	BA45	BB07	CA05	CA06	DC05	EA03	EA05	FA01
		GA01	GA02	JA02							
	5F103	AA08	BB22	BB38	DD30	GG02	HH03	LL13	NN05	NN10	PP03
			RR05								
	5F110	AA01	BB01	BB09	CC07	DD05	EE02	EE03	EE08	FF01	FF02
		FF23	GG01	GG06	GG13	GG17	GG25	GG28	GG29	GG43	HK02
		HK03	HK04	HK22	HK33	NN12	PP01	PP02	PP03	PP10	PP13
		PP26	PP31	PP38	QQ14						
	5F152	AA07	AA08	BB03	CC08	CD13	CE01	CE08	CE16	CE24	CE28
		CE42	CE47	EE14	EE16	FF01	FF11	FF21	FF24	FF36	FF37
		FF39	LL10	MM04	NN03	NP13	NQ01	NQ07	NQ13	NQ17	