

12)

DEMANDE DE BREVET D'INVENTION

A1

22) Date de dépôt : 08.06.01.

30) Priorité :

43) Date de mise à la disposition du public de la demande : 13.12.02 Bulletin 02/50.

56) Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60) Références à d'autres documents nationaux apparentés :

71) Demandeur(s) : STMICROELECTRONICS SA
Société anonyme — FR.

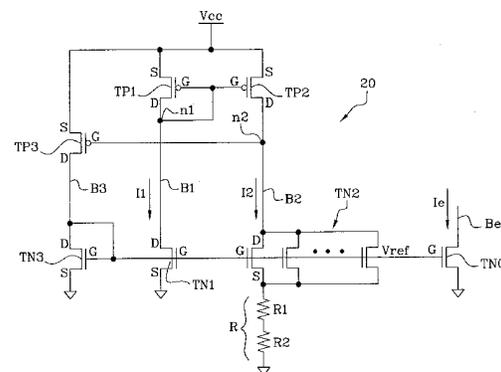
72) Inventeur(s) : LA ROSA FRANCESCO.

73) Titulaire(s) :

74) Mandataire(s) : OMNIPAT.

54) CIRCUIT DE POLARISATION A POINT DE FONCTIONNEMENT STABLE EN TENSION ET EN TEMPERATURE.

57) L'invention concerne un circuit de polarisation (20, 21, 22) intégré sur une plaquette de silicium, comprenant une première branche (B1) comportant un premier transistor PMOS (TP1) en série avec un premier transistor NMOS (TN1), une seconde branche (B2) comportant en série un second transistor PMOS (TP2), un second transistor NMOS (TN2) et une résistance électrique (R), la grille du premier transistor NMOS (TN1) étant connectée à la grille du second transistor NMOS (TN2), la première branche (B1) et la seconde branche (B2) étant agencées en miroir de courant. Selon l'invention, le circuit de polarisation comprend une troisième branche (B3) comprenant un troisième transistor PMOS (TP3) en série avec un troisième transistor NMOS (TN3), les troisième transistors PMOS et NMOS étant agencés pour maintenir sur le drain (D) du second transistor PMOS (TP2) une tension identique ou sensiblement identique à la tension de drain du premier transistor PMOS (TN1).



CIRCUIT DE POLARISATION A POINT DE FONCTIONNEMENT STABLE
EN TENSION ET EN TEMPERATURE

La présente invention concerne un circuit de polarisation intégré sur une plaquette de silicium, comprenant une première branche comportant un premier transistor PMOS en série avec un premier transistor NMOS, une seconde branche comportant en série un second transistor PMOS, un second transistor NMOS et une résistance électrique, la grille du premier transistor NMOS étant connectée à la grille du second transistor NMOS, la première et la seconde branche étant agencées en miroir de courant.

Un tel circuit de polarisation est fréquemment utilisé dans les circuits intégrés pour appliquer une tension de référence à des générateurs de courant ou en tant que générateur de tension.

Un circuit de polarisation 10 du type précité est représenté en figure 1. Le circuit 10 comprend une première branche B1 comprenant un transistor PMOS TP1 et un transistor NMOS TN1 en série. La seconde branche B2 comprend en série un transistor PMOS TP2, un transistor NMOS TN2 et une résistance R. Le transistor TN2 présente un rapport largeur sur longueur de grille, ou rapport W/L , égal à N fois celui du transistor TN1, et est généralement réalisé au moyen de N transistors NMOS identiques au transistor TN1, agencés en parallèle. Les branches B1, B2 sont alimentées par une tension V_{cc} appliquée sur les sources des transistors PMOS et sont agencées en miroir de courant, la grille G du transistor TP2 étant par exemple connectée à la grille du transistor TP2 qui est elle-même connectée au drain D de ce transistor. Afin d'assurer l'autopolarisation du circuit 10 sur un point de fonctionnement déterminé, la grille du transistor TN2 est connectée à la grille du transistor TN1 qui est elle-même connectée au drain de ce

transistor. Ainsi, après avoir été activé, le circuit de polarisation 10 se cale sur un point de fonctionnement où les branches B1, B2 sont traversées par un courant I identique supposé constant.

5 L'obtention d'un générateur de courant au moyen du circuit de polarisation 10 est également représentée en figure 1. Une tension de référence V_{ref} représentative du courant I traversant les branches B1, B2 est prélevée en un point du circuit 10, par exemple sur la grille du transistor TN1, et est appliquée sur la grille d'un transistor externe NMOS TNO agencé dans une branche externe Be. Le transistor TNO est identique au transistor TN1 et impose dans la branche externe Be un courant I_e égal au courant I. Le transistor TNO est donc
10 l'équivalent d'un générateur de courant inséré dans la branche Be. D'autres générateurs de courant peuvent être créés de cette manière en appliquant la tension V_{ref} à d'autres branches d'un circuit intégré.
15

Un tel circuit de polarisation 10 offre l'avantage
20 d'une grande simplicité et d'un faible encombrement en termes de surface de silicium occupée. Il présente toutefois l'inconvénient d'être sensible à des variations de la tension d'alimentation V_{cc} ou de la température. Pour fixer les idées, la figure 2 représente des courbes
25 du courant/tension du circuit de polarisation 10 en fonction de la température T. On constate que le courant I varie avec la température, pour une tension d'alimentation V_{cc} donnée. D'autre part, pour une température T donnée, on constate également que le
30 courant I augmente lorsque la tension V_{cc} augmente.

La présente invention vise à pallier ces inconvénients de façon simple, sans recourir à des circuits de stabilisation complexes.

Plus particulièrement, un objectif de la présente
35 invention est de prévoir un circuit de polarisation du type susmentionné qui présente un courant stable et

constant dans une large gamme de valeurs de la tension d'alimentation.

Un autre objectif de la présente invention est de prévoir un circuit de polarisation du type susmentionné
5 qui présente un courant stable et constant dans une large gamme de températures.

Un objectif de la présente invention est atteint par la prévision d'un circuit de polarisation intégré sur une plaquette de silicium, comprenant une première
10 branche comportant un premier transistor PMOS en série avec un premier transistor NMOS, une seconde branche comportant en série un second transistor PMOS, un second transistor NMOS et une résistance électrique, la grille du premier transistor NMOS étant connectée à la grille du
15 second transistor NMOS, la première branche et la seconde branche étant agencées en miroir de courant, et une troisième branche comprenant au moins un troisième transistor PMOS en série avec au moins un troisième transistor NMOS, les troisièmes transistors PMOS et NMOS
20 étant agencés pour maintenir sur le drain du second transistor PMOS une tension identique ou sensiblement identique à la tension de drain du premier transistor PMOS.

Selon un mode de réalisation, la grille du
25 troisième transistor PMOS est connectée au drain du second transistor PMOS, et la grille du troisième transistor NMOS est connectée au drain du troisième transistor NMOS et à la grille du premier transistor NMOS.

30 Selon un mode de réalisation, le drain du premier transistor PMOS est connecté à la grille du premier transistor PMOS.

Un autre objectif de la présente invention est atteint par la prévision d'un circuit de polarisation du
35 type décrit ci-dessus, dans lequel la résistance électrique présente un coefficient de température choisi de manière que les variations avec la température de la

valeur de la résistance électrique assurent la stabilité en température d'un courant traversant la seconde branche.

Selon un mode de réalisation, la résistance
5 électrique comprend au moins une première et une seconde résistances en série ou en parallèle ayant des coefficients de température distincts.

Selon un mode de réalisation, la première
résistance est en silicium dopé N et la seconde
10 résistance est en silicium dopé N⁺ ou P⁺.

Selon un mode de réalisation, la première branche comprend un quatrième transistor NMOS agencé en série entre le premier transistor PMOS et le premier transistor NMOS, présentant une tension de seuil inférieure à celle
15 du premier transistor NMOS, la seconde branche comprend un cinquième transistor NMOS agencé en série entre le second transistor PMOS et le second transistor NMOS, présentant une tension de seuil inférieure à celle du second transistor NMOS, les grilles des quatrième et
20 cinquième transistors NMOS sont connectées à la grille du premier transistor NMOS.

Selon un mode de réalisation, le second transistor NMOS comprend une pluralité de transistors NMOS en parallèle.

25 Selon un mode de réalisation, le circuit de polarisation comprend une sortie délivrant une tension de référence prélevée sur la grille du premier transistor NMOS, la sortie étant connectée à la grille d'un transistor externe agencé dans une branche externe.

30 Selon un mode de réalisation, la première et la seconde résistances présentent à température ambiante des valeurs R10, R20 qui satisfont les équations suivantes :
(1) $R10 = R0(\alpha2 - \alpha) / (\alpha2 - \alpha1)$; (2) $R20 = R0(\alpha - \alpha1) / (\alpha2 - \alpha1)$,
dans lesquelles R0 est la valeur de la résistance
35 électrique à température ambiante, $\alpha1$ est le coefficient de température de la première résistance, $\alpha2$ est le coefficient de température de la seconde résistance, et

α_0 est le coefficient de température de la résistance électrique assurant la stabilité en température du circuit de polarisation.

Ces objets, caractéristiques et avantages ainsi que
5 d'autres de la présente invention seront exposés plus en détail dans la description suivante de deux exemples de réalisation de circuits de polarisation selon l'invention, faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

- 10 - la figure 1 précédemment décrite est le schéma électrique d'un circuit de polarisation classique,
- la figure 2 précédemment décrite représente des courbes courant/tension du circuit de polarisation classique de la figure 1,
- 15 - la figure 3 est le schéma électrique d'un premier exemple de réalisation d'un circuit de polarisation selon l'invention,
- la figure 4 est le schéma électrique d'un second exemple de réalisation d'un circuit de polarisation selon
20 l'invention, et
- la figure 5 représente des courbes courant/tension d'un circuit de polarisation selon l'invention.

Comme cela a été indiqué au préambule en relation avec la figure 2, le courant I traversant les branches
25 B1, B2 du circuit de polarisation représenté en figure 1 augmente avec la tension d'alimentation V_{CC} et varie avec la température.

Selon l'auteur de la présente invention, l'instabilité en tension du circuit de polarisation
30 classique s'explique par un déséquilibre entre les tensions de polarisation drain-source des transistors TP1, TP2 et par un effet de modulation de longueur de canal dans les transistors TP1, TP2 (augmentation du courant avec la tension drain-source), notamment dans le
35 transistor TP2, qui affectent les performances du miroir de courant et provoquent un déséquilibre entre les courants traversant les branches B1, B2. Une autre cause

du défaut de stabilité en tension du circuit de polarisation classique est un déséquilibre entre les tensions de drain des transistors TN1, TN2, entraînant un décalage en courant dû à l'effet de modulation de longueur de canal et/ou à l'existence d'un courant de substrat qui commence à apparaître quand la tension drain-source du transistor TN2 est supérieure à une certaine valeur. Ces divers phénomènes entraînent un décalage du point de fonctionnement du circuit de polarisation et affectent sa stabilité.

Selon un aspect de l'invention, on pallie cet inconvénient en ajoutant dans le circuit de polarisation classique une troisième branche comprenant au moins un transistor PMOS et un transistor NMOS connectés aux autres transistors du circuit de polarisation de manière à imposer des tensions de même valeur sur les drains des transistors TP1 et TP2, afin que ceux-ci fonctionnent sous les mêmes conditions de polarisation drain-source. Un exemple de réalisation d'un circuit de polarisation mettant en œuvre cet aspect de l'invention sera décrit plus loin.

Par ailleurs, toujours selon l'auteur de la présente invention, le défaut de stabilité en température du circuit de polarisation classique s'explique par le fait qu'une variation de température entraîne une variation des paramètres électriques des transistors TN1 et TN2, notamment leurs tensions de seuil, ce qui se traduit par une variation de la tension aux bornes de la résistance R.

Selon un autre aspect de la présente invention, on pallie cet inconvénient par la prévision, dans la branche B2, d'une résistance R ayant un coefficient de température α choisi de manière que les variations de la valeur de la résistance R avec la température compensent les variations de la tension aux bornes de la résistance et maintiennent le courant I constant.

Etant donné que les contraintes technologiques des procédés de fabrication de circuits intégrés ne permettent pas d'ajuster le coefficient de température d'une résistance, une idée de la présente invention est de prévoir une résistance R de type composite, constituée par au moins deux résistances distinctes ayant des coefficients de température distincts α_1 , α_2 , la combinaison des deux résistances formant une résistance équivalente R présentant le coefficient de température α souhaité.

La figure 3 illustre un mode de réalisation d'un circuit de polarisation 20 mettant en œuvre les deux aspects de l'invention.

Le circuit 20 comprend de façon classique une branche B1 comprenant un transistor PMOS TP1 et un transistor NMOS TN1, et une branche B2 comprenant en série un transistor PMOS TP2, un transistor NMOS TN2 et une résistance R, ces éléments étant désignés par les mêmes références qu'en figure 1. La tension d'alimentation Vcc est appliquée sur la source S du transistor TP1 dont le drain D est connecté au drain du transistor TN1, la source du transistor TN1 étant connectée à la masse. La tension Vcc est également appliquée sur la source S du transistor TP2 dont le drain D est connecté au drain du transistor TN2, la source du transistor TN2 étant reliée à la masse par l'intermédiaire de la résistance R. Les grilles des transistors TN1, TN2 sont interconnectées. Le transistor TN2 est formé par une pluralité de transistors en parallèle identiques au transistor TN1, et présente ainsi un rapport W/L (largeur sur longueur de grille) égal à N fois celui du transistor TN1. Les transistors TP1, TP2 sont identiques (même rapport W/L).

Ici, le miroir de courant entre les deux branches B1, B2 est obtenu en connectant la grille du transistor TP2 à la grille du transistor TP1 et en connectant la grille du transistor TP1 au drain de ce transistor.

Selon le premier aspect de l'invention, le circuit 20 comprend une troisième branche B3 comprenant un transistor PMOS TP3 et un transistor NMOS TN3 en série. La source du transistor TP3 reçoit la tension Vcc, le drain du transistor TP3 est connecté au drain du transistor TN3 dont la source est connectée à la masse. Le transistor TN3 a sa grille connectée d'une part à son drain et d'autre part aux grilles des transistors TN1, TN2. Le transistor TN3 est identique au transistor TN1 (même rapport W/L) et le transistor TP3 est identique aux transistors TP1, TP2.

Selon le second aspect de l'invention, la résistance R est une résistance composite formée par deux résistances en série R1 et R2, présentant respectivement des coefficients de température α_1 et α_2 . Les valeurs des résistances R1 et R2 sont déterminées comme suit :

1) Lors de la conception du circuit 20, la valeur R0 de la résistance R à température ambiante standard, généralement 27°C, est tout d'abord déterminée de façon classique.

2) Une fois la résistance R0 connue, on recherche un coefficient de température α de la résistance R pour lequel le circuit 20 ne présente pas de dérive thermique. Le coefficient α peut être déterminé expérimentalement, par tâtonnement et approches successives, au moyen d'un logiciel de simulation du fonctionnement du circuit 20, sans qu'il soit nécessaire de procéder à des calculs théoriques. Cette méthode de détermination du coefficient α ne demande que quelques dizaines de minutes de travail et nécessite de tester seulement quatre ou cinq valeurs différentes du coefficient α , permettant de converger rapidement vers la valeur recherchée.

3) Le coefficient α étant déterminé, on choisit ensuite deux matériaux différents pour la réalisation des résistances R1 et R2, ayant des coefficients de température α_1 , α_2 connus et respectivement supérieur et inférieur au coefficient de température α . La résistance

R1 est par exemple une résistance de caisson N ("N-well resistor"), c'est-à-dire en silicium dopé N, ayant un coefficient de température élevé, par exemple de l'ordre de $5 \cdot 10^{-3} \Omega/^{\circ}\text{C}$. La résistance R2 est par exemple une

5 résistance de diffusion N+ ou P+ ("N+ diffusion resistor" ou "P+ diffusion resistor"), en silicium N+ ou P+ obtenu par diffusion de dopants, ayant un coefficient de température faible, par exemple de l'ordre de $1 \cdot 10^{-3} \Omega/^{\circ}\text{C}$.

10 4) Au terme de ces étapes préparatoires, la valeur R0 de la résistance R à température ambiante est connue et les coefficients de température α , α_1 , α_2 sont connus. On considère alors les relations classiques suivantes, qui donnent les valeurs des résistances R, R1, R2 en

15 fonction de la température :

$$(1) R = R_0 (1 + \alpha \Delta T)$$

$$(2) R_1 = R_{10} (1 + \alpha_1 \Delta T)$$

$$(3) R_2 = R_{20} (1 + \alpha_2 \Delta T)$$

20

dans lesquelles ΔT est une variation de température relativement à la température ambiante standard, R10 et R20 sont les valeurs de R1 et R2 à la température ambiante standard.

25 Les résistances R1 et R2 étant agencées en série (un agencement en parallèle est envisageable mais rend les calculs plus complexes) il vient :

$$(4) R = R_1 + R_2$$

30

$$(4) \Rightarrow (5) R_0 = R_1 + R_2$$

$$(5) \Rightarrow (6) R_{10} = R_0 - R_2$$

$$(5) \Rightarrow (7) R_{20} = R_0 - R_1$$

En combinant (1) (2) (3) et (4) il vient :

35

$$(8) R_0 + R_0 \alpha \Delta T = R_{10} + R_{10} \alpha_1 \Delta T + R_{20} + R_{20} \alpha_2 \Delta T$$

En combinant (5) et (8) il vient :

$$(9) R_0 \alpha = R_{10} \alpha_1 + R_{20} \alpha_2$$

5 En combinant (7) et (9) et en combinant (6) et (9), il vient :

$$(10) R_{10} = R_0 (\alpha_2 - \alpha) / (\alpha_2 - \alpha_1)$$

$$(11) R_{20} = R_0 (\alpha - \alpha_1) / (\alpha_2 - \alpha_1)$$

10

Ainsi, les relations (10) et (11) permettent de déterminer les valeurs R_{10} , R_{20} des résistances R_1 , R_2 à partir de la valeur R_0 connue, du coefficient α trouvé par tâtonnement et simulation électrique, et des
15 coefficients α_1 , α_2 des matériaux utilisés pour réaliser les résistances R_1 , R_2 .

Le fonctionnement du circuit 20 à température ambiante est proche de celui du circuit classique 10 décrit au préambule, la branche B3 assurant ici
20 l'autopolarisation du circuit 20 sur un point de fonctionnement où les branches B1, B2 sont traversées par des courants I_1 , I_2 identiques. Pour l'obtention d'une source de courant à partir du circuit 20, une tension de sortie V_{ref} est prélevée par exemple sur la grille du
25 transistor TN1, et est appliquée à un transistor externe NMOS TN0, agencé dans une branche externe Be. Le transistor TN0 impose dans la branche Be un courant I_e égal au courant I_1 si ce transistor est choisi identique au transistor TN1.

30 Lorsque la température augmente, la valeur de la résistance R varie de la façon prévue et maintient ainsi le courant I_2 constant dans la branche B2. Comme le courant I_1 dans la branche B1 est identique au courant I_2 , le courant I_e dans la branche externe Be reste
35 constant.

Lorsque la tension V_{cc} augmente et que le courant I_2 tend à diminuer par rapport au courant I_1 en raison de

l'effet de modulation de canal dans le transistor TP2, la tension de drain du transistor TP2, présente sur un nœud n2, tend à augmenter. La tension au nœud n2 étant appliquée sur la grille du transistor TP3, ce dernier
5 tend à conduire moins de courant et la tension de drain du transistor TP3 tend à augmenter, de sorte que la tension de grille des transistors TN3, TN1 et TN2 augmente également. Les transistors TN1 et TN2 tendent à conduire plus de courant ce qui fait remonter la tension
10 de drain du transistor TP1, présente sur un nœud n1.

Ainsi, lorsque la tension Vcc augmente, les branches B1 et B3 sont traversées par un même courant et le transistor TP3 impose au transistor TP1 une tension de drain (nœud n1) identique à la tension de drain du
15 transistor TP2 (nœud n2). Les transistors TP1, TP2 recevant la même tension Vcc sur leur source, les tensions drain-source de ces deux transistors sont donc contrôlées et sont maintenues identiques.

Le circuit de polarisation 20 selon l'invention est bien entendu susceptible de diverses variantes et perfectionnements. Notamment, un inconvénient résiduel du circuit 20 est que les transistors TN1 et TN2, qui ne sont pas identiques, ne sont pas polarisés dans les mêmes conditions du fait que la source du transistor TN2 est
25 reliée à la masse par l'intermédiaire de la résistance R. Ainsi, lorsque la tension Vcc est élevée, les transistors TN1, TN2 sont susceptibles de ne pas présenter une même variation du courant de drain pour une même variation de la tension de drain, en raison de courants de substrat
30 différents, ce qui peut déséquilibrer le circuit de polarisation.

La figure 4 représente un circuit de polarisation 30 selon l'invention dans lequel les décalages éventuels des courants de drain des transistors TN1, TN2 sont
35 éliminés. Le circuit 30 diffère du circuit 20 par le fait que deux transistors NMOS TNN1, TNN2 sont introduits dans les branches B1 et B2. Le transistor TNN1 a son drain

connecté au drain du transistor TP1 et sa source est connectée au drain du transistor TN1. Le transistor TNN2 a son drain connecté au drain du transistor TP2 et sa source est connectée au drain du transistor TN2. Les grilles des transistors TNN1, TNN2 sont connectées aux grilles des transistors TN1, TN2.

Les transistors TNN1, TNN2 sont identiques et présentent une tension de seuil V_{tn} faible, inférieure à la tension de seuil V_t des transistors TN1, TN2. Les transistors TNN1, TNN2 sont par exemple des transistors natifs (à canal non dopé) ayant une tension de seuil V_{tn} de l'ordre de 0,4 V, contre 1 V pour la tension de seuil V_t des transistors TN1, TN2, qui sont classiquement des transistors à enrichissement.

Les grilles des transistors TN1, TN2 étant reliées aux grilles des transistors TNN1, TNN2, la tension de drain V_D des transistors TN1, TN2 est égale à :

$$(12) V_D = V_g - V_{tn}$$

V_g étant la tension de grille des transistors TN1, TN2.

La tension de seuil V_{tn} des transistors TNN1, TNN2 étant inférieure à la tension de seuil V_t des transistors TN1, TN2, la tension de drain V_D des transistors TN1, TN2 est supérieure à la différence entre la tension de grille V_g et la tension de seuil V_t :

$$(13) V_D = V_g - V_{tn} > V_g - V_t$$

de sorte que les transistors TN1, TN2 fonctionnent en mode saturation (courant drain-source peu sensible aux variations de la tension drain-source).

L'avantage de ce mode de réalisation est que les transistors TN1, TN2 ont une tension de drain V_D contrôlée par les transistors TNN1, TNN2, qui ne dépend plus de la tension V_{cc} , les variations de la tension V_{cc} étant absorbées par le drain des transistors TNN1, TNN2.

Par ailleurs, la présence des transistors TNN1, TNN2 ne modifie pas le point de fonctionnement du circuit 30, qui est identique à celui du circuit 20, car les transistors TN1, TN2 fonctionnent en mode saturation.

5 La tension de drain des transistors TN1, TN2 étant maintenue à une valeur stable et faible, indépendante de la tension V_{cc} , le courant de substrat dans les transistors TN1, TN2 est négligeable. Par conséquent, le circuit 30, malgré sa grande simplicité, présente une
10 stabilité de fonctionnement remarquable dans une large gamme de températures et de valeurs de la tension V_{cc} , comme cela est illustré par les courbes courant/tension représentées en figure 5.

 A titre d'exemple numérique, un circuit de
15 polarisation selon l'invention présentant un courant nominal I_1 de l'ordre de $2,9 \mu\text{A}$ présente des fluctuations du courant I_1 très faibles, comprises entre $2,874 \mu\text{A}$ et $2,902 \mu\text{A}$, dans une gamme de valeurs de la tension V_{cc} allant de $1,5 \text{ V}$ à 8 V et une gamme de températures allant
20 -40°C à $+130^\circ\text{C}$, soit une variation du courant nominal négligeable de l'ordre $0,5\%$.

REVENDEICATIONS

1. Circuit de polarisation (20, 21, 22) intégré sur une plaquette de silicium, comprenant une première branche (B1) comportant un premier transistor PMOS (TP1) en série avec un premier transistor NMOS (TN1), une
5 seconde branche (B2) comportant en série un second transistor PMOS (TP2), un second transistor NMOS (TN2) et une résistance électrique (R), la grille du premier transistor NMOS (TN1) étant connectée à la grille du second transistor NMOS (TN2), la première branche (B1) et
10 la seconde branche (B2) étant agencées en miroir de courant, caractérisé en ce qu'il comprend une troisième branche (B3) comprenant au moins un troisième transistor PMOS (TP3) en série avec au moins un troisième transistor NMOS (TN3), les troisièmes transistors PMOS et NMOS étant
15 agencés pour maintenir sur le drain (D) du second transistor PMOS (TP2) une tension identique ou sensiblement identique à la tension de drain du premier transistor PMOS (TN1).

20 2. Circuit selon la revendication 1, dans lequel la grille du troisième transistor PMOS (TP3) est connectée au drain du second transistor PMOS (TP2), et la grille du troisième transistor NMOS (TN3) est connectée au drain du troisième transistor NMOS (TN3) et à la grille du premier
25 transistor NMOS (TN1).

3. Circuit selon la revendication 2, dans lequel le drain du premier transistor PMOS (TP1) est connecté à la grille du premier transistor PMOS (TP1).

30 4. Circuit selon l'une des revendications 1 à 3, dans lequel la résistance électrique présente un coefficient de température choisi de manière que les variations avec la température de la valeur de la
35 résistance électrique assurent la stabilité en

température d'un courant (I2) traversant la seconde branche.

5 5. Circuit selon la revendication 4, dans lequel la résistance électrique comprend au moins une première et une seconde résistances en série ou en parallèle ayant des coefficients de température distincts.

10 6. Circuit selon la revendication 5, dans lequel la première résistance est en silicium dopé N et la seconde résistance est en silicium dopé N⁺ ou P⁺.

15 7. Circuit selon l'une des revendications 5 et 6, dans lequel la première et la seconde résistances présentent à température ambiante des valeurs R10 et R20 qui satisfont les équations suivantes :

$$(1) R10 = R0(\alpha2 - \alpha) / (\alpha2 - \alpha1)$$

$$(2) R20 = R0(\alpha - \alpha1) / (\alpha2 - \alpha1)$$

20

dans lesquelles R0 est la valeur de la résistance électrique à température ambiante, $\alpha1$ est le coefficient de température de la première résistance, $\alpha2$ est le coefficient de température de la seconde résistance, et 25 $\alpha0$ est le coefficient de température de la résistance électrique assurant la stabilité en température du circuit de polarisation.

30 8. Circuit selon l'une des revendications 1 à 7, dans lequel:

- la première branche (B1) comprend un quatrième transistor NMOS (TNN1) agencé en série entre le premier transistor PMOS et le premier transistor NMOS, présentant une tension de seuil inférieure à celle du premier 35 transistor NMOS,
- la seconde branche (B2) comprend un cinquième transistor NMOS (TNN2) agencé en série entre le second

transistor PMOS et le second transistor NMOS, présentant une tension de seuil inférieure à celle du second transistor NMOS,

- les grilles des quatrième et cinquième transistors NMOS (TNN1, TNN2) sont connectées à la grille du premier transistor NMOS (TN1).

9. Circuit selon l'une des revendications 1 à 8, dans lequel le second transistor NMOS (TN2) comprend une pluralité de transistors NMOS en parallèle.

10. Circuit selon l'une des revendications 1 à 9, comprenant une sortie délivrant une tension de référence (Vref) prélevée sur la grille du premier transistor NMOS (TN1), la sortie étant connectée à la grille d'un transistor externe (TN0) agencé dans une branche externe (Be).

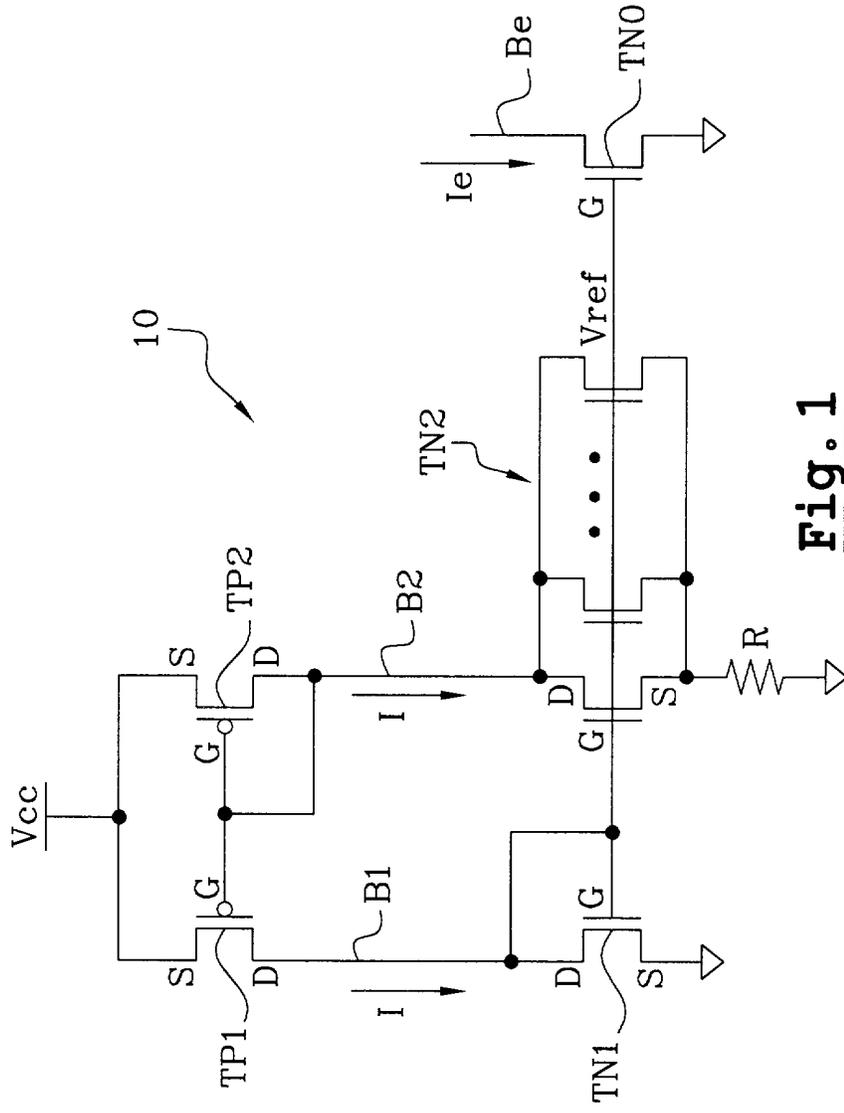


Fig. 1

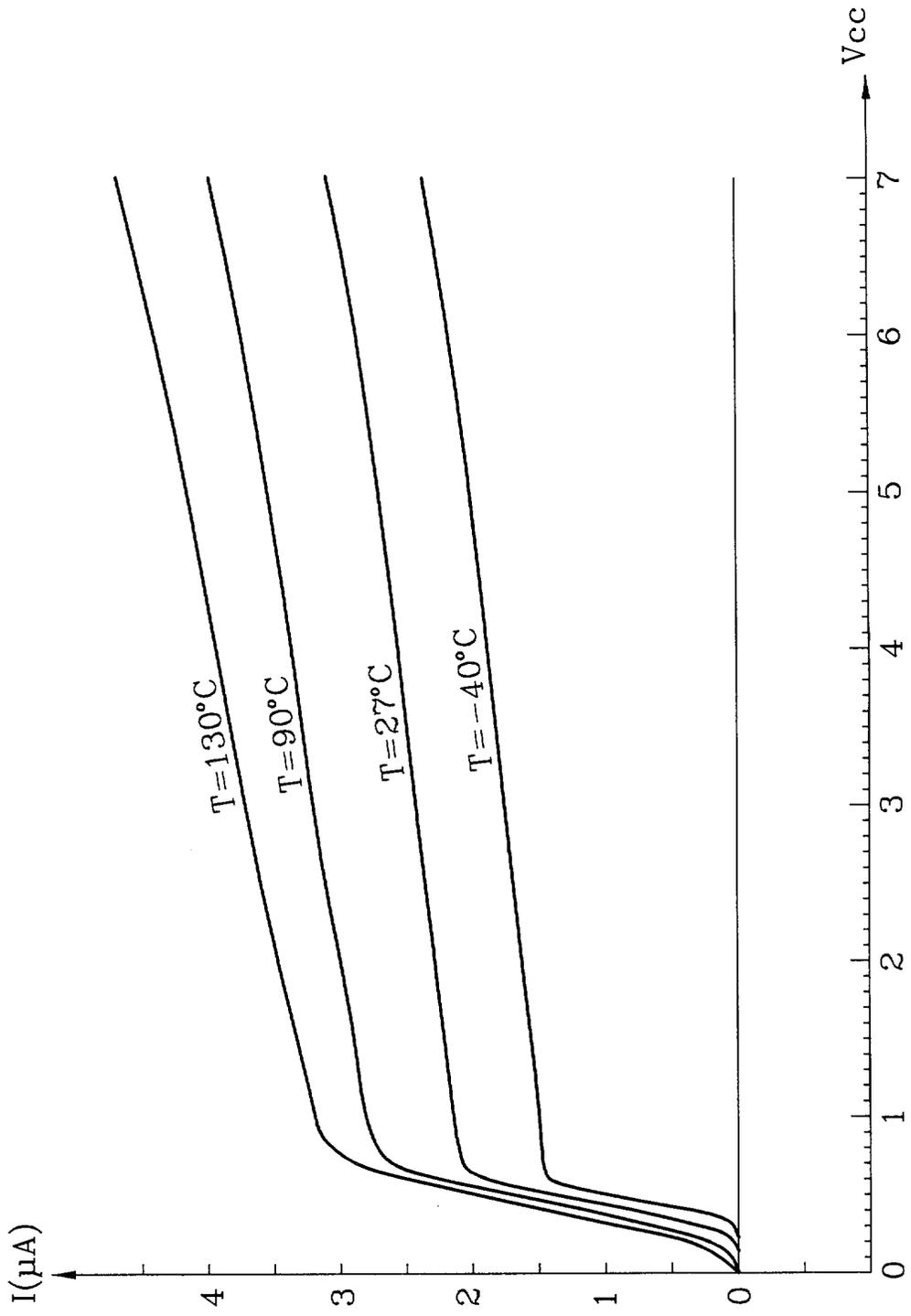
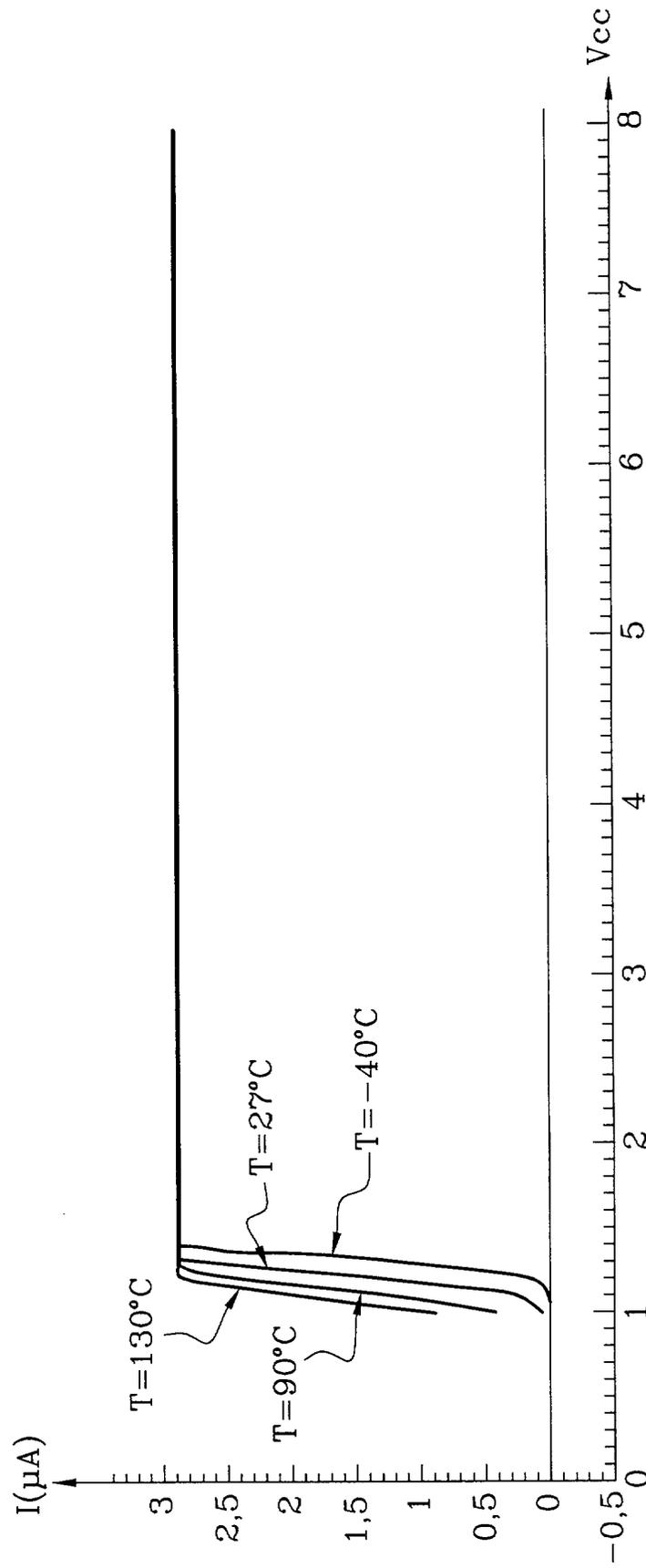


Fig. 2

**Fig. 5**

**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 606574
FR 0107482

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	US 5 825 236 A (SEEVINCK EVERT ET AL) 20 octobre 1998 (1998-10-20) * le document en entier * ----	1-10	G05F3/02 H01L27/085 H01L23/34
A	US 6 002 276 A (WU MICHAEL A) 14 décembre 1999 (1999-12-14) * le document en entier * ----	1-10	
A	US 5 640 681 A (BARRETT JR RAYMOND LOUIS ET AL) 17 juin 1997 (1997-06-17) * abrégé * -----	1-10	
			DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7)
			G05F
Date d'achèvement de la recherche		Examineur	
13 mars 2002		Schobert, D	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
A : arrière-plan technologique		D : cité dans la demande	
O : divulgation non-écrite		L : cité pour d'autres raisons	
P : document intercalaire		
		& : membre de la même famille, document correspondant	

1

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0107482 FA 606574**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 13-03-2002

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5825236 A	20-10-1998	EP 0910820 A1	28-04-1999
		WO 9744721 A1	27-11-1997
		JP 11511280 T	28-09-1999
US 6002276 A	14-12-1999	US 5856749 A	05-01-1999
		EP 0935849 A1	18-08-1999
		JP 3251019 B2	28-01-2002
		JP 2000507787 T	20-06-2000
		WO 9820610 A1	14-05-1998
US 5640681 A	17-06-1997	AUCUN	