



(10) **DE 10 2018 112 477 A1** 2018.11.29

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2018 112 477.5**

(22) Anmeldetag: **24.05.2018**

(43) Offenlegungstag: **29.11.2018**

(51) Int Cl.: **H01L 23/495** (2006.01)

H01L 25/07 (2006.01)

(30) Unionspriorität:
15/603,476 **24.05.2017** **US**

(71) Anmelder:
Infineon Technologies AG, 85579 Neubiberg, DE

(74) Vertreter:
**Westphal, Mussgnug & Partner Patentanwälte mit
beschränkter Berufshaftung, 81541 München, DE**

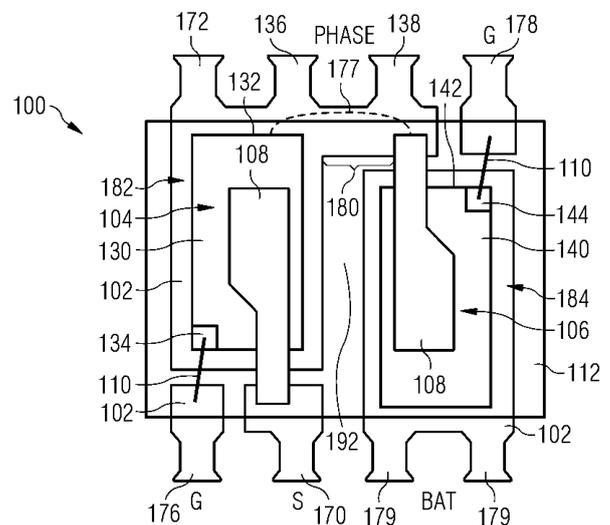
(72) Erfinder:
**Ahlers, Dirk, 81247 München, DE; Delarozee,
Gilles, 82031 Grünwald, DE; Schleisser, Daniel,
81673 München, DE; Spielmann, Christopher,
Redford, Mich., US; Stoek, Thomas, 21614
Buxtehude, DE**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **HALBLEITERPACKAGE MIT LEITERRAHMEN**

(57) Zusammenfassung: Ein Transistorpackage enthält einen Leiterrahmen, einen ersten Transistorchip, der in einer Drain-Down-Konfiguration mit einer ersten Insel des Leiterrahmens verbunden ist, und einen zweiten Transistorchip, der in derselben Drain-Down-Konfiguration wie der erste Transistorchip mit einer zweiten Insel des Leiterrahmens verbunden ist. Die erste und die zweite Insel des Leiterrahmens sind gegenseitig elektrisch voneinander isoliert. Die erste Insel enthält einen Fortsatz, der sich in einer Richtung hin zu der zweiten Insel über einen Umfang des ersten Transistorchips erstreckt und der den zweiten Transistorchip überlappt. Der erste Transistorchip und der zweite Transistorchip sind über den Fortsatz der ersten Insel und ein erstes elektrisches Verbindungselement, das den Fortsatz elektrisch mit dem zweiten Transistorelement verbindet, miteinander verbunden, um eine Halbbrückenschaltung zu bilden.



Beschreibung

[0001] Die vorliegende Erfindung betrifft Packages, eine elektronische Einrichtung, ein Verfahren zur Verwendung sowie Herstellungsverfahren.

[0002] Ein Package, zum Beispiel für Automotive-Anwendungen, bietet eine physische Verkapselung für einen oder mehr elektronische Chips, die eine oder mehr integrierte Schaltungselemente aufweisen. Beispiele für integrierte Schaltungselemente von Packages sind ein Feldeffekttransistor, ein Bipolartransistor mit isoliertem Gate (IGBT) und eine Diode.

[0003] Möglicherweise besteht nach wie vor Raum dafür, die Herstellbarkeit eines Packages zu vereinfachen, während der Platzverbrauch wirkungsvoll verringert und Strompfade kurz gehalten werden.

[0004] Es kann ein Bedarf nach einem Transistor- oder Integrierte-Schaltungs-Package mit effizientem Layout bestehen.

[0005] Gemäß einer beispielhaften Ausgestaltung wird ein Package, das einen zumindest teilweise elektrisch leitenden Chipträger, einen ersten Transistorchip, der einen ersten Verbindungsanschluss, einen zweiten Verbindungsanschluss und einen Steueranschluss aufweist, und einen zweiten Transistorchip, der einen ersten Verbindungsanschluss, einen zweiten Verbindungsanschluss und einen Steueranschluss aufweist, aufweist, bereitgestellt, wobei der erste Transistorchip und der zweite Transistorchip verbunden sind, um eine Halbbrücke zu bilden, und wobei der zweite Verbindungsanschluss des ersten Transistorchips durch einen Stababschnitt des Chipträgers, der sich zwischen einem äußeren Randgebiet des ersten Transistorchips und einem äußeren Randgebiet des zweiten Transistorchips erstreckt und der eine Lücke, die den ersten Transistorchip in Bezug auf den zweiten Transistorchip lateral beabstandet, aufrecht erhält, mit dem ersten Verbindungsanschluss des zweiten Transistorchips elektrisch gekoppelt ist.

[0006] Gemäß einer weiteren beispielhaften Ausgestaltung wird ein Package, das einen leiterrahmenartigen Chipträger, einen ersten Feldeffekttransistorchip, der einen Sourceanschluss, einen Drainanschluss und einen Gateanschluss aufweist, und einen zweiten Feldeffekttransistorchip, der einen Sourceanschluss, einen Drainanschluss und einen Gateanschluss aufweist, aufweist, bereitgestellt, wobei der Drainanschluss des ersten Feldeffekttransistorchips durch den Chipträger elektrisch mit dem Sourceanschluss des zweiten Feldeffekttransistorchips gekoppelt ist, so dass zwischen dem ersten Feldeffekttransistorchip und dem zweiten Feldeffekttransistorchip eine elektrisch isolierende Lücke verbleibt.

[0007] Gemäß einer weiteren beispielhaften Ausgestaltung wird eine elektronische Einrichtung, die mehrere elektrisch untereinander verbundene Packages, die die oben erwähnten Merkmale aufweisen, aufweist, bereitgestellt.

[0008] Gemäß noch einer anderen beispielhaften Ausgestaltung wird ein Verfahren zur Herstellung eines Packages bereitgestellt, wobei das Verfahren das Bereitstellen eines zumindest teilweise elektrisch leitenden Chipträgers, das Montieren eines ersten Transistorchips auf dem Chipträger, wobei der erste Transistorchip einen ersten Verbindungsanschluss, einen zweiten Verbindungsanschluss und einen Steueranschluss aufweist, das Montieren eines zweiten Transistorchips auf dem Chipträger, wobei der zweite Transistorchip einen ersten Verbindungsanschluss, einen zweiten Verbindungsanschluss und einen Steueranschluss aufweist, das Verbinden des ersten Transistorchips und des zweiten Transistorchips, um eine Halbbrücke zu bilden, und das elektrische Koppeln des zweiten Verbindungsanschlusses des ersten Transistorchips mit dem ersten Verbindungsanschluss des zweiten Transistorchips mittels eines Stababschnitts des Chipträgers, der sich zwischen einem äußeren Randgebiet des ersten Transistorchips und einem äußeren Randgebiet des zweiten Transistorchips erstreckt und der eine Lücke, die den ersten Transistorchip in Bezug auf den zweiten Transistorchip lateral beabstandet, aufrecht erhält, aufweist.

[0009] Gemäß noch einer anderen beispielhaften Ausgestaltung wird ein Verfahren zur Herstellung eines Packages bereitgestellt, wobei das Verfahren das Bereitstellen eines leiterrahmenartigen Chipträgers, das Montieren eines ersten Feldeffekttransistorchips auf dem Chipträger, wobei der erste Feldeffekttransistor einen Sourceanschluss, einen Drainanschluss und einen Gateanschluss aufweist, das Montieren eines zweiten Feldeffekttransistorchips auf dem Chipträger, wobei der zweite Feldeffekttransistor einen Sourceanschluss, einen Drainanschluss und einen Gateanschluss aufweist, und das elektrische Koppeln des Drainanschlusses des ersten Feldeffekttransistorchips mit dem Sourceanschluss des zweiten Feldeffekttransistorchips durch den Chipträger, so dass zwischen dem ersten Feldeffekttransistorchip und dem zweiten Feldeffekttransistorchip eine elektrisch isolierende Lücke verbleibt, aufweist.

[0010] Gemäß noch einer weiteren beispielhaften Ausgestaltung wird ein Package, das die oben erwähnten Merkmale ausweist, für eine Automotive-Anwendung, insbesondere zum Steuern eines Elektromotors in einem Fahrzeug, verwendet.

[0011] Gemäß einer beispielhaften Ausgestaltung wird ein Package, in dem zwei Transistorchips (bei denen es sich insbesondere um Feldeffekttransistor-

chips handeln kann) auf einem (insbesondere leiterraumartigen) Chipträger miteinander verbunden sind, so dass ein zweiter Verbindungsanschluss von einem der Transistorchips über den Chipträger (vorzugsweise über einen äußeren Stab des Chipträgers) mit einem ersten Verbindungsanschluss des anderen Transistorchips verbunden sind, während eine Lücke zwischen den Transistorchips aufrecht erhalten wird, bereitgestellt. Eine derartige Bauweise ermöglicht eine Herstellung mit geringem technologischem Aufwand und spart eine beträchtliche Menge an Platz ein. Bei einer konkreteren Ausgestaltung kann ein Drainanschluss eines ersten Feldeffekttransistorchips über den Chipträger mit einem Sourceanschluss des anderen Feldeffekttransistorchips verbunden sein. Indem diese Maßnahme ergriffen wird, erhält man ein vorteilhaftes Layout im Hinblick auf den Platzverbrauch und die Länge des Strompfads des Packages. In anderen Worten, die Tatsache, dass der zweite Verbindungsanschluss des ersten Transistorchips und der erste Verbindungsanschluss des zweiten Transistorchips über den Chipträger quasidirekt miteinander gekoppelt sein können, erlaubt es, den elektrischen Pfad zwischen den zwei erwähnten Anschlüssen kurz zu halten. Dies führt zu einem geringen Verlust des Packages vom Halbbrückentyp und einem geringen Platzbedarf. Infolgedessen lässt sich ein sehr einfaches Package, das auf eine kompakte, kosteneffiziente und einfache Weise hergestellt werden kann, erzielen. Komplexe Strompfade, die zusätzliche Impedanzen mit sich bringen, können durch eine derartige Schaltungsarchitektur vermieden werden.

[0012] Im Folgenden werden weitere beispielhafte Ausgestaltungen der Packages, der elektronischen Einrichtung, des Verfahrens zur Verwendung und der Herstellungsverfahren erläutert.

[0013] Im Kontext der vorliegenden Anmeldung kann der Ausdruck „Transistorchip“ insbesondere einen elektronischen Chip, der in Halbleitertechnologie verkörpert sein kann und der zumindest einen integrierten Transistor aufweisen kann, bezeichnen. Bei dem erwähnten Transistor kann es sich um einen Feldeffekttransistor, einen Bipolartransistor mit isoliertem Gate oder eine andere Art von Bipolartransistor handeln. Es ist möglich, dass nur der Transistor als einziges integriertes Schaltungselement auf dem Transistorchip realisiert ist. Es ist jedoch ebenso möglich, dass eine Diode (die zum Beispiel bei der Herstellung eines Feldeffekttransistors als solcher intrinsisch bereitgestellt werden kann oder die getrennt von dem Transistor hergestellt werden kann) einen Teil des Transistorchips bildet. Bei noch einer weiteren Ausgestaltung kann auf einem Transistorchip ein weiteres aktives oder passives integriertes Schaltungselement gebildet werden.

[0014] Im Kontext der vorliegenden Anmeldung kann der Ausdruck „Verbindungsanschluss“ einen von typischerweise zwei Anschlüssen eines Transistors, entlang denen sich während des Betriebs ein Nutzsignal ausbreiten kann, bezeichnen. Bei dem Beispiel eines Feldeffekttransistors sind die erwähnten Verbindungsanschlüsse ein Sourceanschluss und ein Drainanschluss. Bei einem anderen Transistortyp können die zwei Verbindungsanschlüsse Emitter und Kollektor sein.

[0015] Im Kontext der vorliegenden Anmeldung kann der Ausdruck „Steueranschluss“ insbesondere einen Anschluss des Transistors, an den ein Steuersignal, durch das die Charakteristik eines elektrischen Signals, das sich zwischen den zwei Verbindungsanschlüssen ausbreitet, gesteuert, beeinflusst oder aktiviert/deaktiviert werden kann, angelegt werden kann, bezeichnen. Bei dem Beispiel eines Feldeffekttransistors oder eines IGBTs kann es sich bei dem Steueranschluss um einen Gateanschluss handeln. Bei einer anderen Bipolartransistorkonfiguration kann es sich bei dem Steueranschluss um einen Basisanschluss handeln.

[0016] Im Kontext der vorliegenden Anmeldung kann der Ausdruck „Schaltbrücke“ insbesondere eine Schaltung, die aus einem oberen Transistorschalter („High-Side“) und einem unteren Transistorschalter („Low-Side“) zusammengesetzt sein kann, handeln. Zum Beispiel können die Transistoren MOSFETs, d.h. Metalloxid-Halbleiter-Feldeffekttransistoren, sein. Die Transistoren können in einer Kaskodenanordnung verbunden sein. Die zwei Transistorschalter können durch Anlegen entsprechender Spannungskurvenverläufe an jeden der Steueranschlüsse komplementär zueinander (insbesondere mit einer nicht-überlappenden Totzeit) ein- und ausgeschaltet werden. Ein gewünschtes Ergebnis kann eine Rechteckspannung an einem Mittelpunkt, der zwischen einem ersten elektrischen Potential (wie beispielsweise einer DC-Bus-Spannung) und einem zweiten elektrischen Potential (wie beispielsweise Masse) umschaltet, sein. Die zwei Transistoren können mit einer gegenseitigen Verbindung ihrer Verbindungsanschlüsse miteinander verbunden sein, so dass ein zwei-Transistor-basierter Schalter mit implementierter Diodencharakteristik erzielt werden kann. Die erwähnte Halbbrückenkonfiguration kann als solche oder alleine verwendet werden, oder sie kann mit einer oder mehr weiteren Halbbrücken (oder anderen elektrischen Schaltungen) kombiniert werden, um eine komplexere elektrische Funktion zu realisieren. Zum Beispiel können zwei derartige Halbbrücken eine Vollbrücke bilden.

[0017] Im Kontext der vorliegenden Anmeldung kann der Ausdruck „Chipträger“ insbesondere eine elektrisch leitende Struktur, die gleichzeitig als Montagebasis für die Transistorchips dient und außerdem

zu der elektrischen Verbindung zwischen den Transistorchips beiträgt, bezeichnen. In anderen Worten, der Chipträger kann eine mechanische Trägerfunktion und eine elektrische Verbindungsfunktion erfüllen.

[0018] Bei einer Ausgestaltung handelt es sich bei dem Chipträger um einen Leiterrahmen. Bei einem derartigen Leiterrahmen kann es sich um blechartige metallische Struktur, die strukturiert sein kann, um Montageabschnitte zur Montag der Transistorchips, eine oder mehr Stababschnitte zur elektrischen Verbindung zwischen Anschlüssen der Transistorchips und Pinabschnitte zur elektrischen Verbindung des Packages mit einer elektronischen Umgebung, wenn die Transistorchips auf dem Leiterrahmen montiert sind, zu bilden, handeln. Bei einer Ausgestaltung kann es sich bei dem Leiterrahmen um eine (insbesondere aus Kupfer gemachte) Metallplatte die, zum Beispiel durch Prägen oder Ätzen, strukturiert sein kann, handeln. Das Erzeugen des Chipträgers als Leiterrahmen ist eine kosteneffiziente und mechanisch sowie elektrisch äußerst vorteilhafte Ausgestaltung, bei der eine niederohmige Verbindung der Transistorchips mit einer robusten Tragfähigkeit des Leiterrahmens kombiniert werden kann. Weiterhin kann ein Leiterrahmen zu der thermischen Leitfähigkeit des Packages beitragen und er kann, als Ergebnis der hohen thermischen Leitfähigkeit des metallischen (insbesondere Kupfer-) Materials des Leiterrahmens Wärme, die während des Betriebs der Transistorchips erzeugt wird, ableiten.

[0019] Bei einer Ausgestaltung wird aus einer Gruppe, die aus einem Feldeffekttransistorchip und einem Bipolartransistor-mit-isoliertem-Gate-Chip besteht, zumindest einer von dem ersten Transistorchip und dem zweiten Transistorchip ausgewählt. Sowohl Feldeffekttransistor- ebenso wie Bipolartransistor-mit-isoliertem-Gate-Konfigurationen sind mit einem hohen Schalt-Leistungsvermögen kompatibel und sie können das Package für robuste und anspruchsvolle Anwendungen wie beispielsweise Automotive-Anwendungen äußerst geeignet machen. Allerdings sind auch andere Transistorgeometrien, zum Beispiel irgendein anderer Bipolartransistortyp, grundsätzlich möglich.

[0020] Bei einer Ausgestaltung ist von dem ersten Transistorchip und dem zweiten Transistorchip zumindest einer für den Betrieb mit einem vertikalen Stromfluss (insbesondere einem Stromfluss senkrecht zu einer Ebene, in der sich der Chipträger erstreckt) ausgebildet. Entsprechend können sich die Sourceanschlüsse und die Gateanschlüsse zum Beispiel auf einer Oberfläche des Feldeffekttransistorchips, die dem Chipträger abgewandt ist, befinden, und die Drainanschlüsse können sich auf einer Oberfläche des Feldeffekttransistorchips, die dem Chipträger zugewandt ist, befinden. Transistorchips, die für einen vertikalen Stromfluss ausgebildet sind, kön-

nen Transistoranschlüsse sowohl an einer oberen Hauptoberfläche als auch an einer unteren Hauptoberfläche des Transistorchips aufweisen. Insbesondere bei einer derartigen vertikalen Flusskonfiguration ist die quasi-direkte Kopplung zwischen dem zweiten Verbindungsanschluss (insbesondere einem Drainanschluss) des ersten Transistorchips und dem ersten Verbindungsanschluss (insbesondere einem Sourceanschluss) des zweiten Transistorchips äußerst vorteilhaft und kann mit extrem kurzen Strompfaden und damit mit einem sehr einfachen Layout realisiert werden. Wenn ein entsprechender Transistorchip auf einem Chipträger montiert wird, können der eine oder die mehr Chipanschlüsse an dessen unterer Hauptoberfläche mechanisch und elektrisch direkt mit einer Montageoberfläche des elektrisch leitenden Chipträgers verbunden werden. Der eine oder die mehr Anschlüsse auf einer entgegengesetzten oberen Hauptoberfläche des betreffenden Transistorchips können dann durch ein oder mehr Verbindungselemente wie beispielsweise Clips oder Bonddrähte mit dem Chipträger elektrisch verbunden werden. Dabei ist es möglich, ein Signal von einer Ebene, die einer oberen Hauptoberfläche des Transistorchips entspricht, zu einer tiefer befindlichen Ebene des Chipträgers zu leiten.

[0021] Bei einer Ausgestaltung ist der erste Transistorchip als Low-Side-Schalter ausgebildet und der zweite Transistorchip ist als High-Side-Schalter ausgebildet. Die Ausdrücke „Low-Side“- und „High-Side“-Transistorchips beziehen sich auf die Funktion des betreffenden Transistorchips im Kontext einer Halbbrückenanwendung. Genauer ausgedrückt kann der Drainanschluss eines Low-Side-Feldeffekttransistorchips über den Chipträger direkt mit einem Sourceanschluss eines High-Side-Feldeffekt-Transistorchips verbunden werden.

[0022] Bei einer Ausgestaltung entspricht der zweite Verbindungsanschluss des ersten Transistorchips einem ersten Pin des Chipträgers, der sich benachbart oder direkt neben einem zweiten Pin des Chipträgers, der dem ersten Verbindungsanschluss des zweiten Transistorchips entspricht, befindet. Wenn die zwei erwähnten Pins des Chipträgers, die zu dem zweiten Verbindungsanschluss des ersten Transistorchips und dem ersten Verbindungsanschluss des zweiten Transistorchips gehören, einander direkt gegenüberstehen oder sich, ohne zusätzlichen Pin dazwischen, nebeneinander befinden, kann ein extrem kurzer Strompfad zwischen den zwei erwähnten Anschlüssen einer Halbbrückenkonfiguration erreicht werden. Im Ergebnis können dadurch eine sehr niederohmige Konfiguration mit hohem elektrischem Leistungsvermögen und eine sehr kompakte Konfiguration erzielt werden.

[0023] Bei einer Ausgestaltung erstreckt sich der Stababschnitt zwischen dem ersten Pin und dem

zweiten Pin. Es ist möglich, dass sich der Stababschnitt im Wesentlichen senkrecht zu der Erstreckung des ersten Pins und des zweiten Pins erstreckt. Dadurch wird es möglich, den zweiten Verbindungsanschluss des ersten Transistorchips mit dem ersten Verbindungsanschluss des zweiten Transistorchips effizient kurzzuschließen. Der Stababschnitt kann sich parallel zu und entlang einer Richtung, entlang der die Transistorchips aneinander gereiht sind, erstrecken. Dies bietet einen sehr kurzen Strompfad und damit einen kompakten Aufbau. Platz verbrauchende Verbindungselemente, die eine Lücke zwischen den Transistorchips überbrücken, können überflüssig werden.

[0024] Bei einer Ausgestaltung befinden sich der zweite Verbindungsanschluss des ersten Transistorchips und der erste Verbindungsanschluss des zweiten Transistorchips auf unterschiedlichen Höhenniveaus des Packages. Folglich kann die elektrische Kopplung zwischen dem zweiten Verbindungsanschluss des ersten Transistorchips und dem ersten Verbindungsanschluss des zweiten Transistorchips den Höhenunterschied vertikal überbrücken und sie kann sich deshalb teilweise entlang einer vertikalen Richtung erstrecken.

[0025] Bei einer Ausgestaltung sind der erste Transistorchip und der zweite Transistorchip auf zwei getrennten Inseln des Chipträgers angeordnet. Die elektrische Verbindung zwischen diesen zwei metallischen Inseln kann durch ein oder mehr zusätzliche elektrische Verbindungselemente wie beispielsweise Clips oder Bonddrähte zuverlässig erreicht werden.

[0026] Bei einer Ausgestaltung ist eine Lücke zwischen dem ersten Transistorchip und dem zweiten Transistorchip frei von Verbindungselementen (und sie kann optional auch frei von Chipträgermaterial sein). Als Ergebnis der Weglassung von elektrischen Verbindungselementen, die eine horizontale Lücke zwischen den Chips überbrücken, sind sehr große Chipflächen möglich und ein kompaktes Package kann erzeugt werden.

[0027] Bei einer Ausgestaltung sind die Steueranschlüsse (insbesondere die Gateanschlüsse) dem Chipträger abgewandt angeordnet. Somit können die Steueranschlüsse über die Montageoberfläche des Chipträgers vertikal hinausragen. Kompliziertere Aufbauten wie beispielsweise eine Flip-Chip-Konfiguration oder eine Source-Down-Architektur können dabei weggelassen werden.

[0028] Bei einer Ausgestaltung sind zwei der Verbindungsanschlüsse (insbesondere Sourceanschlüsse) von dem Chipträger abgewandt angeordnet, und die anderen zwei der Verbindungsanschlüsse (insbesondere Drainanschlüsse) sind dem Chipträger zugewandt angeordnet.

[0029] Bei einer Ausgestaltung ist von dem zweiten Verbindungsanschluss des ersten Transistorchips und dem zweiten Verbindungsanschluss des zweiten Transistorchips zumindest einer elektrisch direkt mit dem Chipträger verbunden. In anderen Worten, jeder von dem zumindest einen erwähnten Verbindungsanschluss kann, ohne zusätzliche elektrische Schaltungstechnik dazwischen, direkt mit dem Chipträger verbunden sein. Zum Beispiel können die erwähnten Chipanschlüsse direkt auf den Chipträger gelötet oder gesintert oder geklebt werden. Dies hält das gesamte Package klein und die Strompfade kurz.

[0030] Bei einer Ausgestaltung ist von dem ersten Verbindungsanschluss des ersten Transistorchips, dem Steueranschluss des ersten Transistorchips, dem ersten Verbindungsanschluss des zweiten Transistorchips und dem Steueranschluss des zweiten Transistorchips zumindest einer über ein elektrisches Verbindungselement mit dem Chipträger indirekt elektrisch verbunden. Wenn ein Teil des Chipanschlusses direkt mit dem Chipträger verbunden ist (engl.: „directly bonded on“) und wenn die erwähnten Transistorchips Komponenten mit vertikalem Stromfluss sind, befinden sich die verbleibenden anderen Chipanschlüsse in einer Ebene, die in Bezug auf die Montageebene des Chipträgers vertikal verschoben oder beabstandet ist. Bei einem derartigen Szenario ist die Implementierung von einem oder mehr Verbindungselementen zum Zurückführen elektrischer Signale von einer erhöhten Ebene auf einer oberen Hauptoberfläche der Transistorchips zu der Montageebene des Chipträgers vorteilhaft.

[0031] Bei einer Ausgestaltung ist ein jeweiliges elektrisches Verbindungselement dazu ausgebildet, einen entsprechenden Anschluss an einer Oberseite eines der Transistorchips mit einem entsprechenden anderen Anschluss an der Unterseite desselben oder des anderen der Transistorchips und/oder mit einem Pin des Chipträgers elektrisch zu verbinden. Eine derartige Ausgestaltung ist bei einer Konfiguration des Packages mit Transistorchips mit vertikalem Fluss, die wiederum eine bevorzugte Wahl für Hochleistungshalbleiteranwendungen darstellen, vorteilhaft.

[0032] Bei einer Ausgestaltung weist das elektrische Verbindungselement eines von der Gruppe, die aus einem Clip, einem Bonddraht und einem Bondbändchen besteht, auf. Bei einem Clip kann es sich um ein dreidimensional gebogenes, plattenartiges Verbindungselement, das zwei planare Abschnitte, die mit einer oberen Hauptoberfläche des betreffenden Transistorchips und einer unteren Hauptoberfläche des Chipträgers zu verbinden sind, handeln, wobei die zwei erwähnten planaren Abschnitte durch einen schrägen Verbindungsabschnitt miteinander verbunden sind. Als Alternative zu einem derartigen Clip ist es möglich, einen Bonddraht oder ein Bondbänd-

chen, bei dem es sich um einen flexiblen, elektrisch leitenden draht- oder bändchenförmigen Körper, der einen Endteil, der mit der oberen Hauptfläche des betreffenden Transistorchips verbunden ist und der einen entgegengesetzten anderen Endteil, der elektrisch mit dem Chipträger verbunden ist, aufweist, handelt, zu verwenden.

[0033] Bei einer Ausgestaltung sind der erste Transistorchip und der zweite Transistorchip im Wesentlichen identische Transistorchips. Wenn die zwei Transistorchips des Packages vom Halbbrückentyp in Form, Abmessung und elektrischem Leistungsvermögen identisch sind, ist es ausreichend, zur Herstellung des Packages nur einen Typ von Transistorchip bereitzustellen. Dies hält den Aufwand gering. Bei einer alternativen Ausgestaltung ist es jedoch möglich, dass die zwei Transistorchips Größen und ein elektrisches Leistungsvermögen, die sich unterscheiden, aufweisen, zum Beispiel um unterschiedlichen Tastgraden der Transistorchips Rechnung zu tragen.

[0034] Bei einer Ausgestaltung enthält das Package eine Verkapselung, die den Chipträger teilweise verkapselt und die den ersten Transistorchip und den zweiten Transistorchip zumindest teilweise verkapselt. Die erwähnte Verkapselung kann für einen mechanischen Schutz und eine elektrische Isolierung der verkapselten Transistorchips und des verkapselten Teils des Chipträgers sorgen. Zum Beispiel ist es möglich, dass die Verkapselung als einzelner Verkapselungskörper, der sämtliche der erwähnten Elemente bedeckt, verkörpert ist. Alternativ ist es möglich, für die verschiedenen Transistorchips getrennte Verkapselungskörper vorzusehen.

[0035] Bei einer Ausgestaltung wird die Verkapselung aus einer Gruppe, die aus einer Moldzusammensetzung und einem Laminat besteht, ausgewählt. Für die Verkapselung durch Molden kann ein Kunststoffmaterial oder ein Keramikmaterial verwendet werden. Die Verkapselung kann ein Epoxidmaterial aufweisen. Füllpartikel (zum Beispiel SiO_2 , Al_2O_3 , Si_3N_4 , BN, AlN, Diamant, etc.) können, zum Beispiel um die thermische Leitfähigkeit zu verbessern, in eine epoxid-basierte Matrix der Verkapselung eingebettet sein.

[0036] Bei einer Ausgestaltung ist das Package als eines von der Gruppe, die aus einem Package mit Anschlussbeinen (engl.: „leaded package“) und einem anschlussbefreien Package besteht, ausgebildet. Ein anschlussbefreies Package ist zum Beispiel in **Fig. 9** gezeigt. Ein anschlussbefreies Package weist im Wesentlichen keine Anschlüsse auf, die sich aus dem Chipträger heraus über die Verkapselung erstrecken. Im Gegensatz hierzu weist ein Package mit Anschlussbeinen (siehe **Fig. 10**) Anschlüsse des Chipträgers auf, die sich über die Verkapselung hinaus erstrecken und zum Beispiel mit ei-

ner knickflügelartigen Geometrie (engl.: gull wing type geometry“).

[0037] Die beschriebene Schaltungsarchitektur mit den zwei Transistorchips, die verbunden sind, um eine Halbbrücke zu bilden, wobei die zwei erwähnten Verbindungsanschlüsse über den Chipträger miteinander verbunden sind, können mit vielen verschiedenen Packagetypen realisiert werden. Genauer gesagt sind verschiedene Package-Architekturen mit der beschriebenen Verbindungsarchitektur mit kompaktem Layout und kurzen elektrischen Pfaden kompatibel. Zum Beispiel ist ein PQFN-Package-Typ ebenso wie eine HSOF-Package-Technologie mit der beschriebenen Verbindungstechnologie kompatibel. Deshalb kann der erwähnte Aufbau leicht an verschiedene Package-Technologien angepasst werden.

[0038] Bei einer Ausgestaltung ist zumindest einer der Sourceanschlüsse zumindest zwei Pins des Chipträgers zugeordnet. Eine derartige Konfiguration, bei der ein Sourceanschluss eines der Transistorchips mit mehreren zugeordneten Pins verbunden ist, ermöglicht es, die Stromtragfähigkeit des Packages zu erhöhen. Deshalb ist die beschriebene Konfiguration insbesondere für Hochleistungsanwendungen äußerst vorteilhaft.

[0039] Bei einer Ausgestaltung sind die Transistorchips als Leistungshalbleiterchips ausgebildet. Deshalb können die Transistorchips (wie beispielsweise Halbleiterchips) für Leistungsanwendungen, zum Beispiel auf dem Gebiet Automotive, verwendet werden und sie können zumindest einen integrierten Bipolartransistor mit isoliertem Gate (IGBT) und/oder zumindest einen Transistor eines anderen Typs (wie beispielsweise einen MOSFET, einen JFET, etc.) und/oder zumindest eine integrierte Diode aufweisen. Derartige integrierte Schaltungselemente können zum Beispiel in Siliziumtechnik oder basierend auf Halbleitern mit großer Bandlücke (wie beispielsweise Siliziumkarbid, Galliumnitrid, oder Galliumnitrid auf Silizium) hergestellt sein. Ein Halbleiterleistungschip kann einen oder mehr Feldeffekttransistoren, Dioden, Inverterschaltungen, Halbbrücken, Vollbrücken, Treiber, Logikschaltungen, weitere Einrichtungen, etc. aufweisen.

[0040] Bei Ausgestaltungen können die Transistorchips eine Schaltung, die als Halbbrücke arbeitet, eine Kaskodenschaltung, eine Schaltung, die durch einen Feldeffekttransistor und einen Bipolartransistor, die zueinander parallel geschaltet sind, gebildet wird, bilden, oder eine Leistungshalbleiterschaltung. Deshalb ist die Packaging-Architektur gemäß den beispielhaften Ausgestaltungen mit den Erfordernissen von sehr verschiedenen Schaltungskonzepten kompatibel.

[0041] Bei einer Ausgestaltung ist das Leistungsmodul oder -package als eines von der Gruppe, die aus einem leiterrahmen-verbundenen Leistungsmodul, einer elektronischen Transistor-Outline-(TO)-Komponente, einer elektronischen Quad-Flat-No-Leads-Package-(QFN)-Komponente, einer elektronischen Small-Outline-(SO)-Komponente, einer elektronischen Small-Outline-Transistor-(SOT)-Komponente und einer elektronischen Thin-More-Outline-Package-(TSOP)-Komponente besteht, ausgebildet. Deshalb ist das Modul oder Package gemäß einer beispielhaften Ausgestaltung vollständig kompatibel mit Standard-Packagingkonzepten (insbesondere voll kompatibel mit Standard-TO-Packagingkonzepten), was äußerst anwenderfreundlich ist. Bei einer Ausgestaltung ist das Package als Leistungsmodul, zum Beispiel als gemoldetes Leistungsmodul, ausgebildet.

[0042] Als Substrat oder Wafer, das/der die Basis für den/die Transistorchip(s) oder Elektronikchip(s) bildet, kann ein Halbleitersubstrat, vorzugsweise ein Siliziumsubstrat, verwendet werden. Alternativ kann ein Siliziumoxid oder ein anderes Isolatorsubstrat vorgesehen sein. Es ist auch möglich, ein Germaniumsubstrat oder ein III-V-Halbleitermaterial zu implementieren. Zum Beispiel können beispielhafte Ausgestaltungen in GaN- oder SiC-Technik implementiert werden.

[0043] Weiterhin können beispielhafte Ausgestaltungen Standard-Halbleiterverarbeitungstechniken wie beispielsweise geeignete Ätztechniken (einschließlich isotrope und anisotrope Ätztechniken, insbesondere Plasmaätzen, Trockenätzen, Nassätzen), Strukturierungstechniken (die mit lithographischen Masken einher gehen können), Abscheidetechniken wie beispielsweise chemische Gasphasenabscheidung (CVD), plasmaunterstützte chemische Gasphasenabscheidung (PECVD), Atomschichtabscheidung (ALD), Sputtern, etc. einsetzen.

[0044] Die obigen und andere Gegenstände, Merkmale und Vorteile der vorliegenden Erfindung werden aus der folgenden Beschreibung und den beigefügten Ansprüchen, die in Verbindung mit den begleitenden Zeichnungen, in denen gleiche Teile oder Elemente mit gleichen Bezugszeichen bezeichnet sind, vorgenommen werden, erkennbar.

[0045] Die begleitenden Zeichnungen, die enthalten sind, um ein weitergehendes Verständnis von beispielhaften Ausgestaltungen zu bieten und einen Teil der Beschreibung zu bilden, zeigen beispielhafte Ausgestaltungen.

Fig. 1 bis Fig. 4 zeigen Querschnittsansichten von Packages gemäß beispielhaften Ausgestaltungen.

Fig. 5 und Fig. 6 zeigen Querschnittsansichten von elektronischen Einrichtungen, die mehrere Packages gemäß beispielhaften Ausgestaltungen, die auf einer Platine montiert sind, aufweisen.

Fig. 7 zeigt ein Schaltbild einer elektronischen Einrichtung, die als Drei-Phasen-Motorbrücke, die mehrere Packages aufweist, ausgebildet ist, gemäß einer beispielhaften Ausgestaltung.

Fig. 8 zeigt ein Schaltbild einer elektronischen Einrichtung, die als kaskadierte Mehrfach-Motorsteuerung, die mehrere Packages aufweist, ausgebildet ist, gemäß einer beispielhaften Ausgestaltung.

Fig. 9 zeigt eine Querschnittsansicht eines anschlussbefreien Packages gemäß einer beispielhaften Ausgestaltung.

Fig. 10 zeigt eine Querschnittsansicht eines Packages mit Anschlussbeinen gemäß einer beispielhaften Ausgestaltung.

Fig. 11 veranschaulicht schematisch ein Fahrzeug, das ein Leistungspackage gemäß einer beispielhaften Ausgestaltung zeigt.

[0046] Die in der Zeichnung dargestellten Darstellungen sind schematische Darstellungen.

[0047] Vor der ausführlicheren Beschreibung weiterer beispielhafter Ausgestaltungen werden einige grundsätzliche Betrachtungen der vorliegenden Erfindung, auf denen basierend beispielhaften Ausgestaltungen entwickelt wurden, zusammengefasst.

[0048] Immer mehr Motoren in einem Auto werden in die so genannte bürstenlose DC-Topologie umgewandelt. Diese Topologie vereinfacht den Motoraufbau, erhöht aber den elektronischen Steuerungsaufwand. Allerdings zahlt sich dieser Aufwand in Form verbesserter Motorgenauigkeit und Effizienz aus.

[0049] Eine herkömmliche Herausforderung besteht darin, für die obigen und andere elektronische Anwendungen eine kosten- und raumeffiziente Lösung für Halbbrückentransistoren (wie beispielsweise MOSFETs) zu finden.

[0050] Herkömmlich ist eine Halbbrücke typischerweise durch Verwendung von zwei diskreten MOSFETs konzipiert. Dies bietet eine hohe Flexibilität bei der Platinengestaltung (engl.: „board design“) und für die Beschaffung des MOS. Allerdings können diskrete MOS bei sehr kostensensitiven Anwendungen

nicht die billigste Lösung darstellen, da die Package-Kosten vorherrschen. Auch bei Anwendungen, die mehr als die typische Anzahl von drei Phasen aufweisen (zum Beispiel eine ausfallsichere elektronische Steuerung), kann es sein, dass diskrete MOS keine adäquate Lösung darstellen, da die Anzahl erforderlicher MOSFETs leicht zwölf oder mehr übersteigen kann.

[0051] Herkömmliche Doppel-MOS-Packages stellen für die beschriebenen Anwendungen keine echte Option dar, da die Verdrahtung auf Leiterplattebene (engl.: „board level“) in Bezug auf geringe Streuinduktivitäten, die für einen hohen Wirkungsgrad vorteilhaft sind, nicht brauchbar erstellt werden kann.

[0052] Im Hinblick auf das Vorgehende bietet eine beispielhafte Ausgestaltung eine Konfiguration von Transistorchips (insbesondere MOSFET-Chips) innerhalb eines Packages. In diesem Zusammenhang kann ein Chipträger (insbesondere ein Leiterraum) so ausgelegt sein, dass drei stromtragende Pins auf eine Weise, die ein vorteilhaftes Leiterplattenlayout ermöglicht, angeordnet sind. Ein Hauptpunkt einer beispielhaften Ausgestaltung besteht darin, dass die Halbbrücke durch eine spezielle Leiterraumbauweise gebildet ist. Ein Vorteil einer derartigen Bauweise besteht in ihrer Einfachheit. Die Wafertechnologie muss nicht geändert werden, zum Beispiel kann dieselbe Technologie wie bei herkömmlichen Clip-Packages verwendet werden. Auch Modifikationen auf Package-Ebene können prinzipiell durch eine entsprechende Chipträger-(insbesondere Leiterraum-)Bauweise abgedeckt werden. Daher bieten beispielhafte Ausgestaltungen auf Systemebene Verbesserungen der Bauweise und des Wirkungsgrads, die die Miniaturisierung unterstützen.

[0053] Ein vorteilhaftes Merkmal von beispielhaften Ausgestaltungen besteht in einer speziellen Leiterraumbauweise, die eine effiziente, platinenangepasste (engl.: „board adapted“) Halbbrückenbauweise unterstützt. Eine entsprechende Bauweise hält die elektronischen Pfade zwischen den Transistorchips und dem Chipträger kurz und verbessert dabei das elektrische Leistungsvermögen. Zugleich ermöglicht es diese Bauweise, eine kompakte Konfiguration des Packages zu erhalten.

[0054] In der folgenden Beschreibung von beispielhaften Ausgestaltungen, die sich auf die Figuren beziehen, sind Feldeffekttransistoren als erster Transistorchip **104** und zweiter Transistorchip **106** implementiert. Deshalb werden diese Transistorchips **104**, **106** im Folgenden als Feldeffekt-Transistorchips **104**, **106** bezeichnet. Allerdings wird ein Fachmann verstehen, dass sämtliche im Folgenden beschriebenen Ausgestaltungen auch mit anderen Transistortypen (wie beispielsweise einem Bipolartransistor mit isoliertem Gate) implementiert werden können. In ande-

ren Worten, die erwähnten Feldeffekttransistorchips **104**, **106** können auch als Transistorchips einer anderen Technologie realisiert werden. Entsprechend werden die ersten Verbindungsanschlüsse **130**, **140** im Folgenden als Sourceanschlüsse **130**, **140** bezeichnet, und die zweiten Verbindungsanschlüsse **132**, **142** werden als Drainanschlüsse **132**, **142** bezeichnet. Entsprechend werden die Steueranschlüsse **134**, **144** im Folgenden als Gateanschlüsse **134**, **144** bezeichnet, obwohl sie als andere Arten von Steueranschlüssen wie beispielsweise als Basisanschlüsse ausgebildet sein können.

[0055] Fig. 1 bis Fig. 4 zeigen Querschnittsansichten von Packages **100** gemäß beispielhaften Ausgestaltungen.

[0056] Fig. 1 und Fig. 2 zeigen zwei Ausgestaltungen eines Packages **100** mit einer Halbbrückenkonfiguration, in der ein Chipträger **102** basierend auf einer Grundfläche einer PQFN-Package-Bauweise als Leiterraum verkörpert ist. Die Ausgestaltung von Fig. 1 bietet die Möglichkeit, eine große Die-Größe zu implementieren. Die Ausgestaltung von Fig. 2 bietet ein außerordentlich hohes Stromtragvermögen, da zwei Pins **146**, **148** zur Verfügung stehen, um Strom zu tragen.

[0057] Fig. 3 und Fig. 4 zeigen zwei Ausgestaltungen, die auf einer HSOF-Grundfläche oder -Packagebauweise basieren. Mit der hier bereitgestellten hohen Anzahl von Pins kann der Strom immer durch zwei Pins getragen werden.

[0058] Nun wird unter Bezugnahme auf Fig. 1 im Einzelnen ein Package **100**, das einen elektrisch leitenden Chipträger **102**, der hier als Leiterraum, der aus Kupfer besteht, verkörpert ist, aufweist, zeigt. Als Alternative zu Kupfer kann auch Eisen als Material für den leiterraumartigen Chipträger **102** verwendet werden.

[0059] Ein erster Feldeffekttransistorchip **104** (insbesondere ein MOSFET, d.h. ein Metalloxid-Halbleiter-Feldeffekttransistor, Chip) ist auf dem Chipträger **102** montiert und weist auf einer Oberseite einen Sourceanschluss **130**, auf einer Unterseite einen Drainanschluss **132** und auf der Oberseite einen Gateanschluss **134** auf. Ein separater zweiter Feldeffekttransistorchip **106** (hier ebenfalls als MOSFET verkörpert) ist ebenfalls auf dem Chipträger **102** montiert und weist auf einer Oberseite einen Sourceanschluss **140**, auf einer Unterseite einen Drainanschluss **142** und auf der Oberseite einen Gateanschluss **144** auf. Wie Fig. 1 zu entnehmen ist, sind der erste Transistorchip **104** und der zweite Transistorchip **106** auf zwei getrennten Inseln (siehe die Bezugszeichen **182**, **184**) auf dem Chipträger **102** angeordnet. Die Inseln sind gegenseitig voneinander elek-

trisch isoliert, sind nur durch den Chipträger **102** und einen von Clips **108** angeschlossen.

[0060] Der erste Feldeffekttransistorchip **104** und der zweite Feldeffekttransistorchip **106** sind elektrisch miteinander verbunden, um eine Halbbrückenschaltung zu bilden. In Bezug auf diese Halbbrückenordnung ist der erste Feldeffekttransistorchip **104** als Low-Side-Schalter ausgebildet und der zweite Feldeffekttransistorchip **106** ist als High-Side-Schalter ausgebildet.

[0061] Vorteilhafterweise ist der Drainanschluss **132** des ersten Feldeffekttransistorchips **104** durch oder über den Chipträger **102** und zusätzlich durch einen Clip **108** oder ein anderes elektrisches Verbindungselement elektrisch mit dem Sourceanschluss **140** des zweiten Feldeffekttransistorchips **106** gekoppelt. Die Kopplung über den Chipträger **102** wird durch einen Stababschnitt **180** des Chipträgers **102**, der sich zwischen einem äußeren Randgebiet des ersten Feldeffekttransistorchips **104** und einem äußeren Randgebiet des zweiten Feldeffekttransistorchips **106** erstreckt, erreicht. Da sich der Stababschnitt **180** entlang der äußeren Randgebiete und nicht zwischen den Chips **104**, **106** erstreckt, verbleibt eine nicht-überbrückte Lücke **192**, die den ersten Feldeffekttransistorchip **104** in Bezug auf den zweiten Feldeffekttransistorchip **106** lateral beabstandet. Im Ergebnis verbleibt die elektrisch isolierende Lücke **192** zwischen dem ersten Feldeffekttransistorchip **104** und dem zweiten Feldeffekttransistorchip **106**. Die Lücke **192** zwischen dem ersten Feldeffekttransistorchip **104** und dem zweiten Feldeffekttransistorchip **106** enthält keine Verbindungselemente wie beispielsweise Clips **108** und Bonddrähte **110**.

[0062] Wie **Fig. 1** zu entnehmen ist, entspricht der Drainanschluss **132** des ersten Feldeffekttransistorchips **104** einem ersten Pin **136** des Chipträgers **102**, der sich direkt benachbart (d.h. ohne einen anderen Pin dazwischen) zu einem zweiten Pin **138** des Chipträgers **102**, dem der Sourceanschluss **140** des zweiten Feldeffekttransistorchips **106** entspricht, befindet.

[0063] Sowohl der erste Feldeffekttransistorchip **104** als auch der zweite Feldeffekttransistorchip **106** sind für den Betrieb mit einem vertikalen Stromfluss, d.h. mit einer Stromausbreitungsrichtung senkrecht zur Papierebene von **Fig. 1**, ausgelegt. Sowohl der Drainanschluss **132** des ersten Feldeffekttransistorchips **104** als auch der Drainanschluss **142** des zweiten Feldeffekttransistorchips **106** sind elektrisch mit dem Chipträger **102** verbunden. Die Drainanschlüsse **132**, **142**, die einer unteren Oberfläche der Transistorchips **104**, **106** entsprechen, sind elektrisch leitend direkt auf einer oberen Hauptfläche des Chipträgers **102** (d.h. ohne weiteres Verbindungselement wie beispielsweise einem Clip, einem Bonddraht, etc. dazwischen) montiert (insbesondere elektrisch lei-

tend geklebt, gelötet oder gesintert). Im Gegensatz dazu sind der Sourceanschluss **130** des ersten Feldeffekttransistorchips **104**, der Gateanschluss **134** des ersten Feldeffekttransistorchips **104**, der Sourceanschluss **140** des zweiten Feldeffekttransistorchips **106** und der Gateanschluss **144** des zweiten Feldeffekttransistorchips **106** auf einer oberen Hauptfläche des betreffenden Transistorchips **104**, **106** angeordnet, und sie sind über elektrische Verbindungselemente **108**, **110** elektrisch mit dem Chipträger **102** verbunden. Die Gateanschlüsse **134**, **144** sind der Montageoberfläche des Chipträgers **102** abgewandt angeordnet. Auch die zwei Sourceanschlüsse **130**, **140** sind dem Chipträger **102** abgewandt angeordnet. Im Gegensatz dazu sind die zwei Drainanschlüsse **132**, **142** dem Chipträger **102** zugewandt angeordnet. Über die elektrischen Verbindungselemente **108**, **110** wird die vertikale Lücke zwischen der Ebene der Anschlüsse **130**, **134**, **140**, **144** einerseits und der oberen Hauptfläche des Chipträgers **102** überbrückt. Somit ist jedes der elektrischen Verbindungselemente **108**, **110** dazu ausgebildet, einen entsprechenden der Anschlüsse **130**, **134**, **140**, **144** an einer Oberseite eines der Transistorchips **104**, **106** elektrisch mit dem Chipträger **102** zu verbinden. In anderen Worten, die Sourceanschlüsse **130**, **140** und die Gateanschlüsse **134**, **144** befinden sich auf einer Oberfläche der Feldeffekttransistorchips **104**, **106**, die dem Chipträger **102** und den Drainanschlüssen **132**, **142** abgewandt ist. Letztere befinden sich auf einer Oberfläche der Feldeffekttransistorchips **104**, **106**, die dem Chipträger **102** zugewandt ist. Der Drainanschluss **132** des ersten Feldeffekttransistorchips **104** und der Sourceanschluss **140** des zweiten Feldeffekttransistorchips **106** befinden sich auf unterschiedlichen Höhenniveaus des Packages **100**.

[0064] Vorteilhafterweise sind der erste Feldeffekttransistorchip **104** und der zweite Feldeffekttransistorchip **106** in Bezug auf Größe und Form im Wesentlichen identische Halbleiterchips. Dies ermöglicht die Herstellung des Packages **100** mit geringem Aufwand. Gemäß **Fig. 1** können die Transistorchips **104**, **106** als identische Dies hergestellt sein und man erhält dadurch eine symmetrische Konfiguration. Indem die Transistorchips **104**, **106** mit derselben Chipflächengröße verkörpert werden, erhält man ein Komponenten-Package **100** mit einem hochsymmetrischen elektrischen Verhalten, das zusätzlich mit geringem Aufwand hergestellt werden kann.

[0065] Eine Verkapselung **112**, insbesondere eine Mold-Zusammensetzung, ist zum Verkapseln eines Teils des Chipträgers **102**, des gesamten ersten Feldeffekttransistorchips **104** und des gesamten zweiten Feldeffekttransistorchips **106** vorgesehen.

[0066] Bei der Ausgestaltung gemäß **Fig. 1** sind zusätzliche Pins des leiterrahmenartigen Chipträgers **102** gezeigt. Der Sourceanschluss **130**, der auf einer

Oberseite des ersten Feldeffekttransistorchips **104** angeordnet ist, ist über einen Clip **108** als Verbindungselement mit einem Source-Pin **170** des Chipträgers **102** verbunden. Der auf einer unteren Oberfläche des ersten Feldeffekttransistorchips **104** angeordnete Drainanschluss **132** ist direkt auf den leiterrahmenartigen Chipträger **102** montiert (zum Beispiel gelötet oder gesintert), und er ist deshalb elektrisch mit dem erwähnten ersten Pin **136** sowie mit einem weiteren Phasen-Pin **172** verbunden. Der Gateanschluss **134** des ersten Feldeffekttransistorchips **104** ist auf einer oberen Oberfläche hiervon angeordnet und er ist mit einem weiteren Verbindungselement, das hier als Bonddraht **110** verkörpert ist, mit einem Gate-Pin **176** verbunden. Pins **179**, die mit „BAT“ bezeichnet sind, zeigen eine Batterieverbinding an.

[0067] Der Sourceanschluss **140** des zweiten Feldeffekttransistorchips **106** ist auf einer oberen Oberfläche des zuletzt erwähnten Chips angeordnet und er ist über noch ein weiteres Verbindungselement, das hier ebenfalls als weiterer Clip **108** verkörpert ist, elektrisch mit dem zweiten Pin **138** verbunden. Der Drainanschluss **142** des zweiten Feldeffekttransistorchips **106** ist auf einer unteren Hauptoberfläche des zweiten Feldeffekttransistorchips **106** angeordnet und er ist durch eine Lot- oder Sinterverbindung direkt mit dem leiterrahmenartigen Chipträger **102** verbunden (engl.: „directly bonded on“). Der Gateanschluss **144** des zweiten Feldeffekttransistorchips **106** ist mittels noch eines anderen Verbindungselements, das hier als weiterer Bonddraht **110** verkörpert ist, mit einem weiteren Gate-Pin **178** des Chipträgers **102** verbunden. Somit sind einige der elektrischen Verbindungselemente **108**, **110** als Clips **108** verkörpert, andere der elektrischen Verbindungselemente **108**, **110** sind als Bonddrähte **110** verkörpert.

[0068] Bei der gezeigten Ausgestaltung weist der Chipträger **102** den oben erwähnten Stababschnitt **180**, der sich zwischen oder senkrecht zu dem ersten Pin **136** und dem zweiten Pin **138** erstreckt, um dabei den Drainanschluss **132** des ersten Transistorchips **104** mit dem Sourceanschluss **140** des zweiten Transistorchips **106** kurzzuschließen, auf. Äußerst vorteilhaft erstreckt sich der Stababschnitt **180** des Chipträgers **102** von einem Insel- oder Montageabschnitt **182** des Chipträgers **102**, der den ersten Feldeffekttransistorchip **104** trägt, hin zu dem Clip **108** oberhalb des anderen Insel- oder Montageabschnitts **184** des Chipträgers **102**, auf dem der zweite Feldeffekttransistorchip **106** montiert ist. Dies führt zu einer kompakten Bauweise und einem kurzen elektrischen Verbindungspfad (in **Fig. 1** anhand einer gepunkteten Linie **177** schematisch dargestellt). Wie **Fig. 1** zu entnehmen ist, kann eine Fläche mit hoher Chipunterbringung erzielt werden (vergleiche die Montageabschnitte **182**, **184**).

[0069] Bezug nehmend auf eine in **Fig. 2** gezeigte, bevorzugte Ausgestaltung ist der Sourceanschluss **130** zwei Pins **146**, **148** des Chipträgers **102** zugeordnet und ermöglicht es dadurch, ein hohes Stromtragvermögen zu erzielen. Genauer ausgedrückt ist der Clip **108**, der den Sourceanschluss **130** elektrisch mit dem Chipträger **102** verbindet, mit beiden Pins **146**, **148** des Chipträgers direkt verbunden. Um die Stromtragfähigkeit in diesem Gebiet weiter voranzutreiben und den Stromfluss homogen zu machen, ist der erwähnte Clip **108** an einem Clip-Ende, das den Pins **146**, **148** zugewandt ist, verbreitert. Somit unterscheidet sich die Ausgestaltung gemäß **Fig. 2** von der Ausgestaltung gemäß **Fig. 1** dadurch, dass die Ausgestaltung von **Fig. 2** zwei Source-Pins **146**, **148** anstelle von einem Source-Pin **170**, wie er gemäß **Fig. 1** verfügbar ist, aufweist. Deshalb kann mit der Ausgestaltung gemäß **Fig. 2** ein höherer Strom verarbeitet werden. Die Bereitstellung mehrerer Source-Pins **146**, **148** auf dem ersten Low-Side-Feldeffekttransistorchip **104** bietet daher den Vorteil einer höheren Stromtragfähigkeit des Packages **100** als Ganzes.

[0070] Beide Ausgestaltungen von **Fig. 1** und **Fig. 2** können zum Beispiel mit einer Abmessung von $5 \times 6 \text{ mm}^2$ hergestellt werden, zum Beispiel in einer PQFN-Package-Architektur.

[0071] Im Gegensatz dazu betreffen die Ausgestaltungen von **Fig. 3** und **Fig. 4** eine andere Package-Technologie, die als HSOF-Packaging-Konzept bezeichnet werden kann. Die Abmessung des Packages **100** gemäß **Fig. 3** und **Fig. 4** kann $7 \times 8 \text{ mm}^2$ betragen. Wie **Fig. 2** besitzen auch die Ausgestaltungen gemäß **Fig. 3** und **Fig. 4** als Folge der Bereitstellung von zwei Source-Pins **146**, **148** an dem Low-Side-Transistorchip ein hohes Stromtragvermögen. Darüber hinaus bewirkt der auslegerartige Stababschnitt **180** des Chipträgers **102**, der räumlich über und funktionell zwischen den zwei Feldeffekttransistorchips **104**, **106** angeordnet ist, wie in **Fig. 1** und **Fig. 2** einen kurzen und symmetrischen Strompfad des eng verbundenen Drainanschlusses **132** und Sourceanschlusses **140**.

[0072] Alternative Lösungen erfordern entweder eine ausgeklügelte Front-End-Technologie in Form einer Source-Down-Konfiguration für den High-Side-MOS, was einen beträchtlichen Aufwand für die Technologieentwicklung bedeutet. Oder sie erfordern einen Flip-Chip-Ansatz auf Package-Ebene, was die Komplexität der Herstellung und das Risiko erhöht. Da die beschriebenen Ausgestaltungen ohne diese Komplexitäten erhöhenden Maßnahmen erzeugt werden können, bieten beispielhafte Ausgestaltungen ein einfaches und effizientes Layout.

[0073] **Fig. 5** zeigt eine Querschnittsansicht einer elektronischen Einrichtung **150**, die mehrere Packa-

ges **100** aufweist, gemäß einer beispielhaften Ausgestaltung. Bei der gezeigten Ausgestaltung sind die Packages **100** elektrisch miteinander verbunden, um die Funktion einer Motorsteuerung bereitzustellen, und sie sind von dem in **Fig. 2** gezeigten Typ. Die elektronische Einrichtung **150** kann auch eine gemeinsame Montagebasis **152** (wie beispielsweise eine Leiterplatte (engl.: „printed circuit board“)) die die Packages **100** trägt, aufweisen. Die in **Fig. 5** gezeigte elektronische Einrichtung **150** implementiert drei halbbrückenartige Packages **100**, wie sie oben beschrieben sind. Es ist auch möglich, die Packages **100** in einem gemeinsamen Gehäuse unter zu bringen. Ein derartiges Gehäuse kann ein hohles Aufnahmevolumen aufweisen, oder es kann eine weitere Verkapselung wie beispielsweise eine Moldzusammensetzung sein. Die elektronische Einrichtung **150** vom Typ eines Systems in einem Package gemäß **Fig. 5** ermöglicht es deshalb, eine komplexe elektronische Funktion bereitzustellen und es kann durch einen Anwender wie eine einzelne Einrichtung und damit auf eine einfache Weise gehandhabt werden. Der Anwender muss zum Verbinden der elektronischen Einrichtung **150** gemäß **Fig. 5** mit einer elektronischen Peripherie nur äußere Anschlusspads **190** anschließen. **Fig. 5** stellt ein Layout-Beispiel für das Beispiel einer PQFN-Halbbrücke dar. Die kleinen Kreise in dem gezeigten Leiterplatten- (engl.: „printed circuit board“; PCB)-Layout sind Durchkontaktierungen **193**, die verwendet werden können, um verschiedene Metallebenen in der Platine zu verbinden oder um den thermischen Widerstand zu verbessern.

[0074] **Fig. 6** zeigt eine Querschnittsansicht einer elektronischen Einrichtung **150**, die mehrere Packages **100** aufweist, gemäß einer weiteren beispielhaften Ausgestaltung. Die gezeigte Ausgestaltung unterscheidet sich von der in **Fig. 5** gezeigten dadurch, dass die Packages **100** gemäß **Fig. 6** von dem in **Fig. 1** gezeigten Typ sind.

[0075] **Fig. 7** zeigt ein Schaltbild einer elektronischen Einrichtung **150**, die als Drei-Phasen Motorbrücke, die mehrere Packages **100** aufweist, ausgebildet ist, gemäß einer beispielhaften Ausgestaltung.

[0076] **Fig. 7** zeigt eine Schaltung einer Drei-Phasen Motorsteuerung. Für jede Phase eines Motors **212** ist ein Package **100** mit einer Halbbrücken-MOS-Konfiguration, die aus einem High-Side-MOS (siehe Bezugszeichen **106**) zwischen einer Versorgungsspannung und Phase und einem Low-Side-MOS (siehe Bezugszeichen **104**) zwischen Phase und Masse zusammen gesetzt ist, implementiert. **Fig. 7** zeigt damit eine Konfiguration einer Drei-Phasen Motorbrücke mit drei High-Side-MOSFET-Chips, die an eine Batterie angeschlossen sind, und drei Low-Side-MOSFET-Chips, die an Masse angeschlossen sind.

[0077] Gemäß **Fig. 7** kann den verschiedenen Halbbrücken, die in Form von drei Packages **100** realisiert sind, eine Versorgungsspannung (hier +12 V) von einer Batterie zugeführt werden. Die Packages **100** können zum Beispiel wie in **Fig. 1** bis **Fig. 4** gezeigt verkörpert sein. Darüber hinaus ist ein Treiberchip **200**, der von einem Mikrocontroller **204** über eine Verbindung **202** ein Pulsweitenmodulations-(PWM)-Signal empfangen kann, vorgesehen. Der Mikrocontroller **204** kann über eine Verbindung **206** von dem Treiberchip **200** ein Diagnosesignal empfangen. Des Weiteren können ein oder mehr Versorgungschips **208** ebenso wie beim Sendeempfänger **210** (zum Beispiel gemäß einer CAN/LIN-Kommunikationstechnologie verkörpert) vorhanden sein.

[0078] Die drei in **Fig. 7** gezeigten Packages **100** können auch als elektronische Einrichtung **150**, wie sie in **Fig. 5** oder **Fig. 6** gezeigt ist, verkörpert sein.

[0079] **Fig. 8** zeigt ein Schaltbild einer elektronischen Einrichtung **150**, die als kaskadierte Mehrfach-Motorsteuerung, die mehrere Packages **100** aufweist, ausgebildet ist, gemäß einer beispielhaften Ausgestaltung.

[0080] Somit zeigt **Fig. 8** eine Mehrfach-Motorsteuerung, die eine kaskadierte Brückentopologie verwendet, wie sie bei einer Automotive-Sitzverstellsteuerung werden kann oder bei einem Automotive-Heizungs-, Lüftungs- und Klimaanlage-(HVAC)-System zur Klappensteuerung verwendet werden kann, einsetzt. Jeder Motor **212** wird durch zwei Halbbrücken (die als H-Brücken-Konfiguration bezeichnet werden können) betrieben. Die Halbbrücke auf der linken Seite ist singular für sämtliche Motoren **212**, während es auf der rechten Seite für jeden Motor **212** eine separate Halbbrücke gibt. Für Elektromotoren **212** mit geringer bis mittlerer Leistung stellt die Schaltung von **Fig. 12** mit den Packages **100**, die wie in **Fig. 1** bis **Fig. 4** gezeigt verkörpert sind, eine sehr effiziente Lösung dar. **Fig. 8** zeigt damit ein Beispiel einer kaskadierten Mehrfach-Motorsteuerung, wobei die linke Halbbrücke für alle Motoren **212** zusammen verwendet wird, während jeder Motor **212** auf der rechten Seite seine eigene Halbbrücke besitzt.

[0081] Die Architektur mit der kaskadierten Mehrfach-Motorsteuerung gemäß **Fig. 8** implementiert vier Packages **100**, von denen jedes wie unter Bezugnahme auf **Fig. 1** bis **Fig. 4** gezeigt und beschrieben verkörpert sein kann. Drei Motoren **212** oder Maschinen können durch die Schaltungsarchitektur gemäß **Fig. 8** gesteuert werden.

[0082] **Fig. 9** zeigt eine Querschnittsansicht eines anschlussbefreien Packages **100** gemäß einer beispielhaften Ausgestaltung.

Patentansprüche

[0083] Bei der anschlussbefreien Konfiguration gemäß **Fig. 9** ragen im Wesentlichen keine Anschlüsse über die Verkapselung **112** hinaus. Es sind lediglich kleine Verbindungsstrukturen **212** vorgesehen, die das Package **100** mit einer Montagebasis **152** wie beispielsweise einer Leiterplatte (engl.: printed circuit board“; PCB) verbinden, vorhanden. Die Verbindungsstrukturen **220** können, zum Beispiel durch Löten oder Sintern, mit Pads der Montagebasis **152** verbunden sein. Die Feldeffekttransistorchips **104**, **106** sind in die Verkapselung **112** eingebettet und sie sind deshalb gemäß **Fig. 9** nicht sichtbar.

[0084] **Fig. 10** zeigt eine Querschnittsansicht eines Anschlussbeine aufweisenden Packages **100** gemäß einer weiteren beispielhaften Ausgestaltung.

[0085] Das Package **100** mit Anschlussbeinen gemäß **Fig. 10** unterscheidet sich von dem anschlussbefreien Package **100** gemäß **Fig. 9** dadurch, dass gemäß **Fig. 10** Anschlussbeine **240** des Chipträgers **102** aus der Verkapselung **112** hervorragen. Die Anschlussbeine **240** dienen zum elektrischen Kontaktieren des Packages **100** mit der Montagebasis **152**. Bei der gezeigten Ausgestaltung sind die freiliegenden Anschlussbeine **240** in einer Knickflügelkonfiguration, die, zum Beispiel im Fall thermischer Lasten, eine gewisse Elastizität, die eine federnde Gleichgewichtseinstellung ermöglicht, aufweist, ausgebildet.

[0086] **Fig. 11** zeigt schematisch ein Fahrzeug **160**, das ein Leistungspackage **100** gemäß einer beispielhaften Ausgestaltung aufweist. Genauer ausgedrückt kann das Leistungspackage **100** einen Teil eines Steuerblocks **162**, der den Betrieb eines Elektromotors/Batterieblocks **164** steuert, bilden. Somit kann ein Package **100** oder Leistungsmodul gemäß einer beispielhaften Ausgestaltung für eine Automotive-Anwendung verwendet werden.

[0087] Es wird angemerkt, dass der Ausdruck „aufweisend“ andere Elemente oder Merkmale nicht ausschließt und dass „ein“ oder „eine“ eine Mehrheit nicht ausschließt. Außerdem können Elemente, die in Verbindung mit verschiedenen Ausgestaltungen beschrieben sind, kombiniert werden. Es wird auch angemerkt, dass Bezugszeichen nicht als den Geltungsbereich der Ansprüche beschränkend ausgelegt werden sollen. Darüber hinaus ist nicht beabsichtigt, dass der Geltungsbereich der vorliegenden Anmeldung durch die jeweiligen Ausgestaltungen des Prozesses, der Maschine, der Herstellung, der Materialzusammensetzung, der Mittel, Verfahren und Schritte, die in der Beschreibung beschrieben sind, beschränkt wird. Entsprechend sind die beigefügten Ansprüche dazu gedacht, in ihrem Geltungsbereich derartige Prozesse, Maschinen, die Herstellung, Materialzusammensetzungen, Mittel, Verfahren oder Schritte zu umfassen.

1. Halbleiterpackage, das aufweist:
einen Leiterrahmen;
einen ersten Transistorchip, der in einer Drain-Down-Konfiguration mit einer ersten Insel des Leiterrahmens verbunden ist; und
einen zweiten Transistorchip, der in derselben Drain-Down-Konfiguration wie der erste Transistorchip mit einer zweiten Insel des Leiterrahmens verbunden ist; wobei die erste und die zweite Insel des Leiterrahmens gegenseitig elektrisch voneinander isoliert sind, wobei die erste Insel einen Fortsatz, der sich in einer Richtung hin zu der zweiten Insel über einen Umfang des ersten Transistorchips hinaus erstreckt und den zweiten Transistorchip überlappt, aufweist, wobei der erste Transistorchip und der zweite Transistorchip über den Fortsatz der ersten Insel und ein erstes elektrisches Verbindungselement, das den Fortsatz mit dem zweiten Transistorchip verbindet, elektrisch miteinander verbunden sind, um eine Halbbrückenschaltung zu bilden.

2. Halbleiterpackage gemäß Anspruch 1, wobei der erste Transistorchip einen Drainanschluss, der der ersten Insel des Leiterrahmens zugewandt und mit dieser verbunden ist, aufweist, wobei der zweite Transistorchip einen Drainanschluss, der der zweiten Insel des Leiterrahmens zugewandt und mit dieser verbunden ist, aufweist, wobei der zweite Transistorchip einen Sourceanschluss an einer der zweiten Insel abgewandeten Seite des zweiten Transistorchips aufweist, und wobei der Drainanschluss des ersten Transistorchips durch den Fortsatz der ersten Insel und das erste elektrische Verbindungselement elektrisch mit dem Sourceanschluss des zweiten Transistorchips gekoppelt ist.

3. Halbleiterpackage gemäß Anspruch 1 oder 2, wobei das erste elektrische Verbindungselement ein Metallclip, der an einem ersten Ende mit dem Fortsatz der ersten Insel und an einem zweiten Ende mit dem Sourceanschluss des zweiten Transistorchips verbunden ist, ist.

4. Halbleiterpackage gemäß einem der vorangehenden Ansprüche, wobei die erste Insel erste und zweite benachbarte Pins, von denen sich jeder von dem Fortsatz nach außen erstreckt, aufweist, wobei der erste Pin mit dem Drainanschluss des ersten Transistorchips korrespondiert, und wobei der zweite Pin mit dem Sourceanschluss des zweiten Transistorchips korrespondiert.

5. Halbleiterpackage gemäß Anspruch 4, wobei die erste Insel zumindest einen zusätzlichen Pin, der von dem Fortsatz nach außen ragt, aufweist.

6. Halbleiterpackage gemäß einem der Ansprüche 2 bis 5, wobei der Drainanschluss des ersten Transistorchips auf eine obere Hauptoberfläche der ersten Insel des Leiterrahmens elektrisch leitend geklebt, gelötet oder gesintert ist, und wobei der Drainanschluss des zweiten Transistorchips auf eine obere Hauptoberfläche der zweiten Insel des Leiterrahmens elektrisch leitend geklebt, gelötet oder gesintert ist.

7. Halbleiterpackage gemäß einem der Ansprüche 2 bis 6, wobei der erste Transistorchip an einer der ersten Insel abgewandten Seite des ersten Transistorchips einen Sourceanschluss aufweist, und wobei der zweite Transistorchip an der der zweiten Insel abgewandten Seite des zweiten Transistorchips einen Steueranschluss aufweist.

8. Halbleiterpackage gemäß Anspruch 7, das weiterhin aufweist:
ein zweites elektrisches Verbindungselement, das den Sourceanschluss des ersten Transistorchips mit zumindest einem ersten Source-Pin des Leiterrahmens verbindet;
ein drittes elektrisches Verbindungselement, das den Steueranschluss des ersten Transistorchips mit einem ersten Gate-Pin des Leiterrahmens verbindet; und
ein viertes elektrisches Verbindungselement, das den Steueranschluss des zweiten Transistorchips mit einem zweiten Gate-Pin des Leiterrahmens verbindet.

9. Halbleiterpackage gemäß Anspruch 8, wobei das zweite elektrische Verbindungselement den Sourceanschluss des ersten Transistorchips mit mehreren der ersten Source-Pins des Leiterrahmens verbindet.

10. Halbleiterpackage gemäß Anspruch 8 oder 9, wobei das zweite elektrische Verbindungselement ein Metallclip ist.

11. Halbleiterpackage gemäß Anspruch 10, wobei sich der Metallclip an einem Clipende, das den mehreren der ersten Source-Pins des Leiterrahmens zugewandt ist, verbreitet.

12. Halbleiterpackage gemäß einem der Ansprüche 9 bis 11, wobei der erste Gate-Pin und der zweite Gate-Pin von derselben Seite des Leiterrahmens in derselben Richtung vorstehen.

13. Halbleiterpackage gemäß Anspruch 12, wobei sich der Fortsatz der ersten Insel zwischen dem ersten Gate-Pin und dem zweiten Gate-Pin befindet.

14. Halbleiterpackage gemäß einem der Ansprüche 9 bis 11, wobei der erste Gate-Pin und der zweite Gate-Pin in entgegengesetzten Richtungen und von entgegengesetzten Seiten des Leiterrahmens vorstehen.

15. Halbleiterpackage gemäß einem der vorangehenden Ansprüche, wobei der Fortsatz der ersten Insel des Leiterrahmens mehrere Pins, die sich an einer ersten Seite des Halbleiterpackages von dem Fortsatz heraus erstrecken, aufweist, und wobei die zweite Insel des Leiterrahmens mehrere Pins, die von einer der ersten Seite entgegen gesetzten zweiten Seite des Leiterrahmens vorstehen, aufweist.

16. Halbleiterpackage gemäß einem der vorangehenden Ansprüche, wobei der Fortsatz von der ersten Insel ausragt.

17. Halbleiterpackage gemäß einem der vorangehenden Ansprüche, wobei der erste Transistorchip einen Steueranschluss, der sich an einer der ersten Insel abgewandten Seite des ersten Transistorchips befindet und elektrisch mit einem ersten Gate-Pin des Leiterrahmens verbunden ist, aufweist, und wobei der zweite Transistorchip einen Steueranschluss, der sich an einer der zweiten Insel abgewandten Seite des zweiten Transistorchips befindet und elektrisch mit einem zweiten Gate-Pin des Leiterrahmens verbunden ist, aufweist.

18. Halbleiterpackage gemäß einem der vorangehenden Ansprüche, wobei der erste Transistorchip und der zweite Transistorchip im Hinblick auf Größe und Gestalt im Wesentlichen identische Halbleiterchips sind.

19. Halbleiterpackage gemäß einem der vorangehenden Ansprüche, wobei der erste Transistorchip in einer ersten Ausrichtung mit der ersten Insel des Leiterrahmens verbunden ist und wobei der zweite Transistorchip in einer zweiten Ausrichtung, die relativ zu der ersten Ausrichtung um 90 Grad oder 180 Grad gedreht ist, mit der zweiten Insel verbunden ist.

20. Halbleiterpackage gemäß einem der vorangehenden Ansprüche, wobei das Halbleiterpackage eine PQFN- oder HSOF-Package-Architektur aufweist.

Es folgen 7 Seiten Zeichnungen

Anhängende Zeichnungen

FIG 1

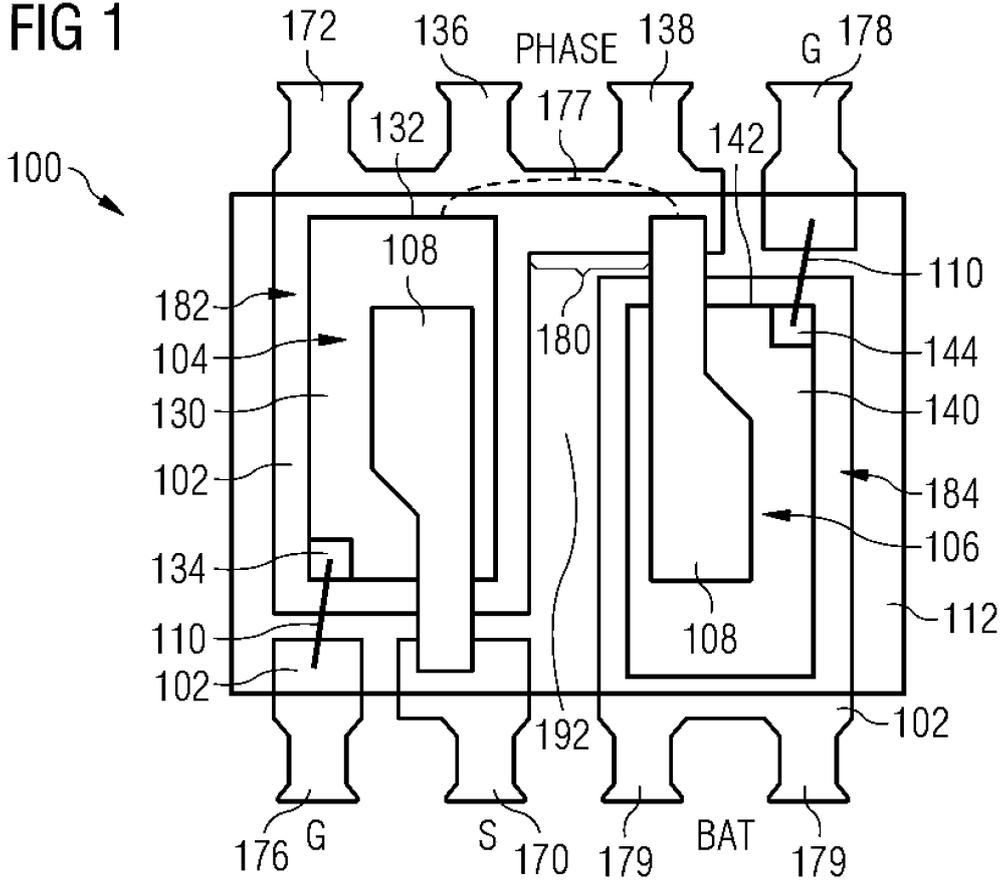


FIG 2

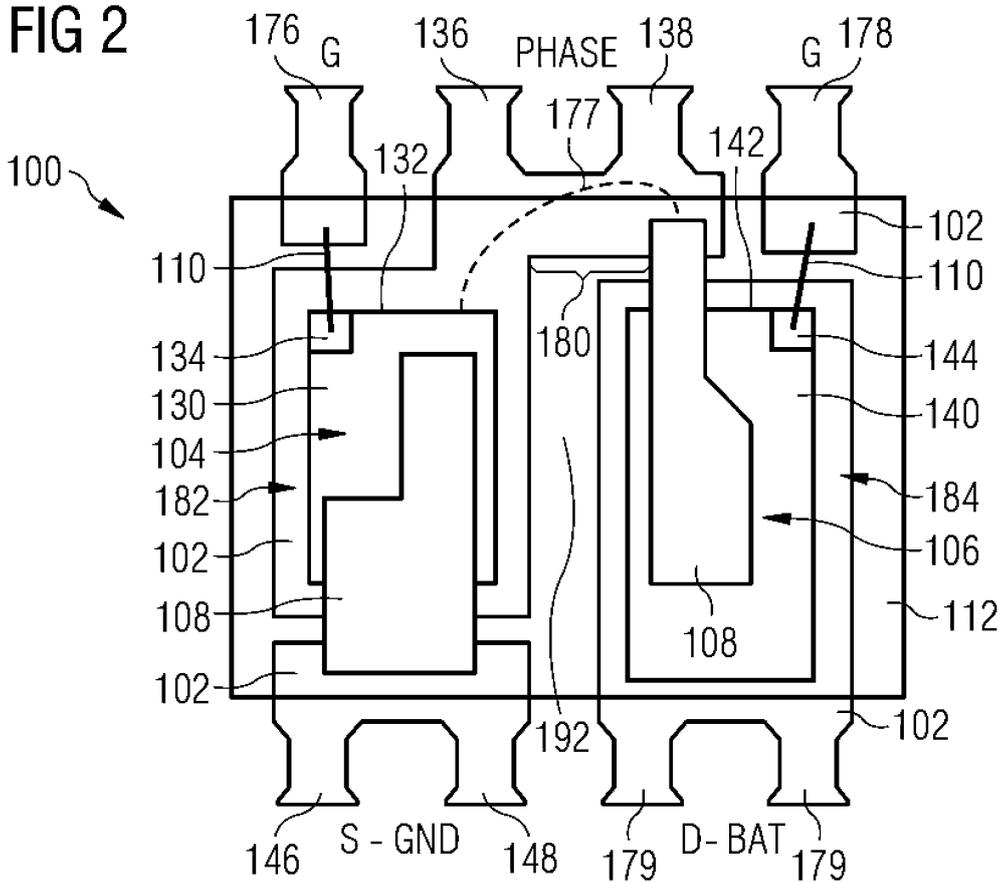


FIG 3

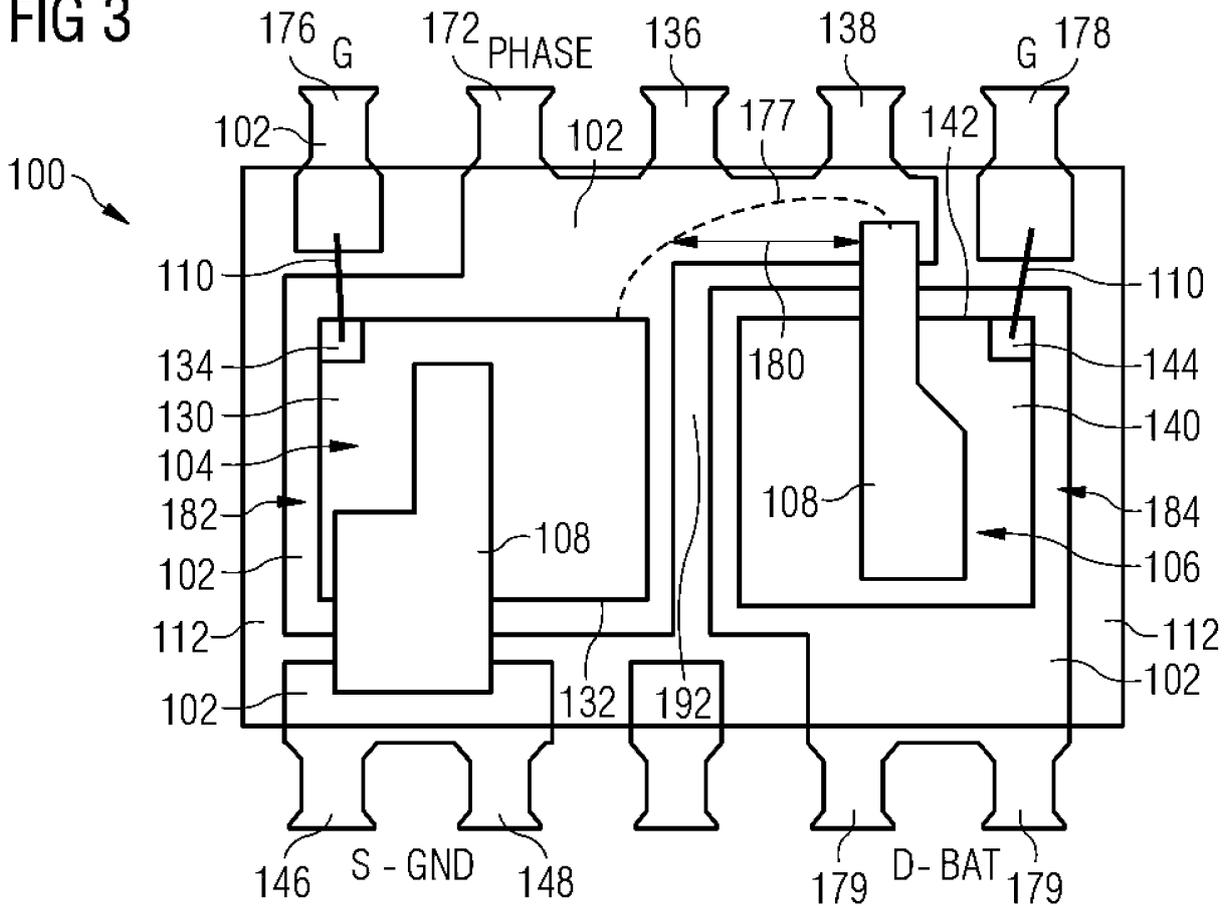


FIG 4

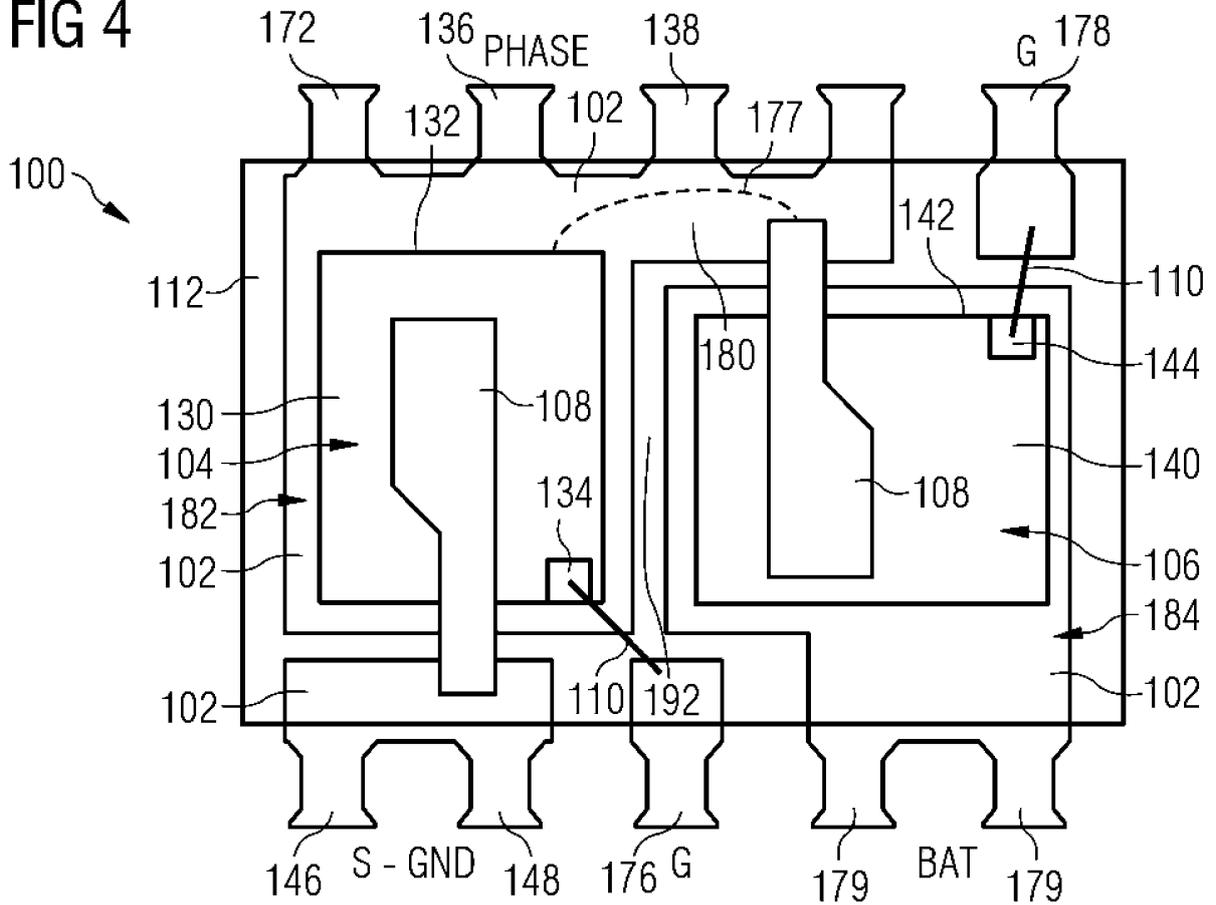


FIG 5

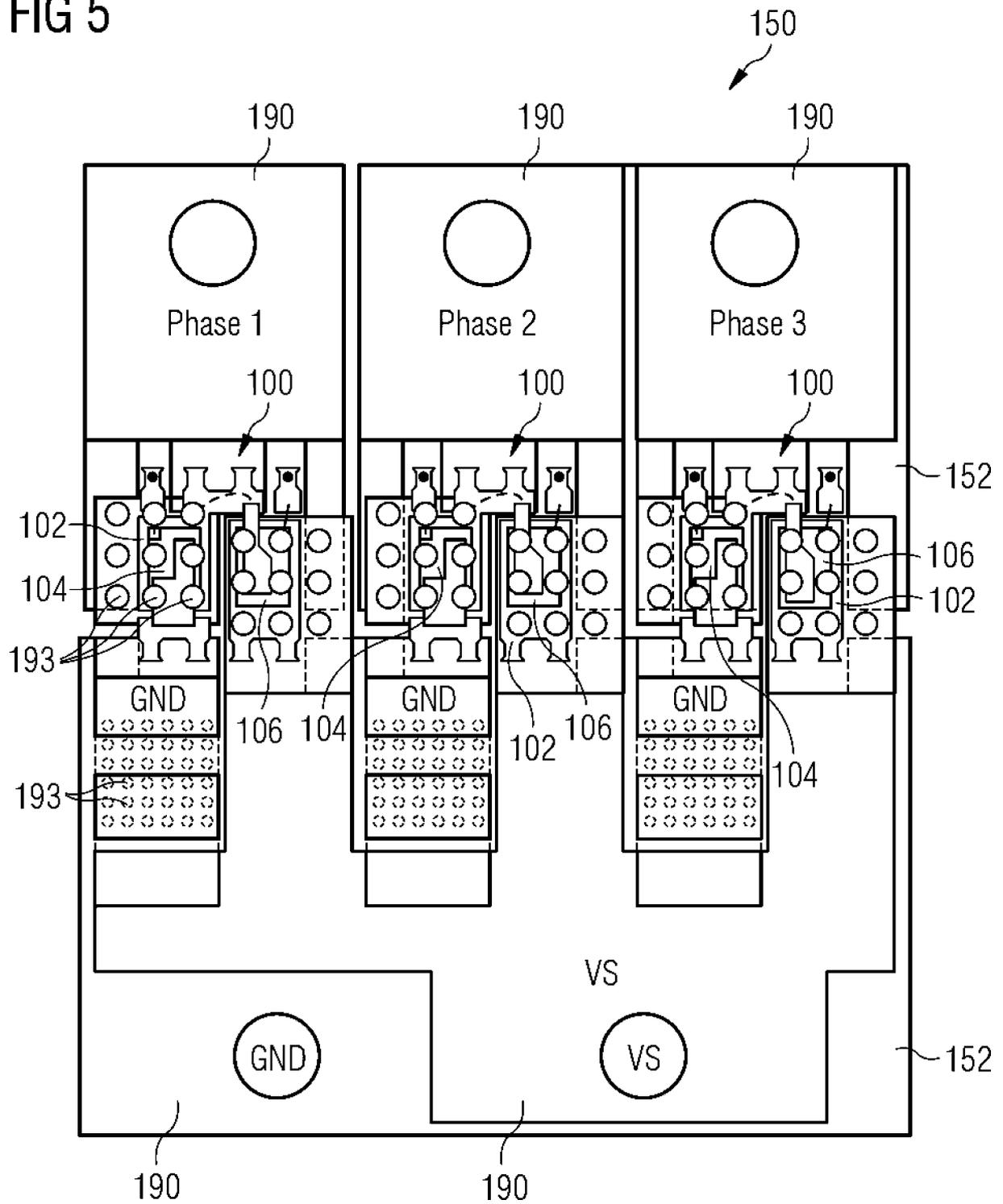


FIG 6

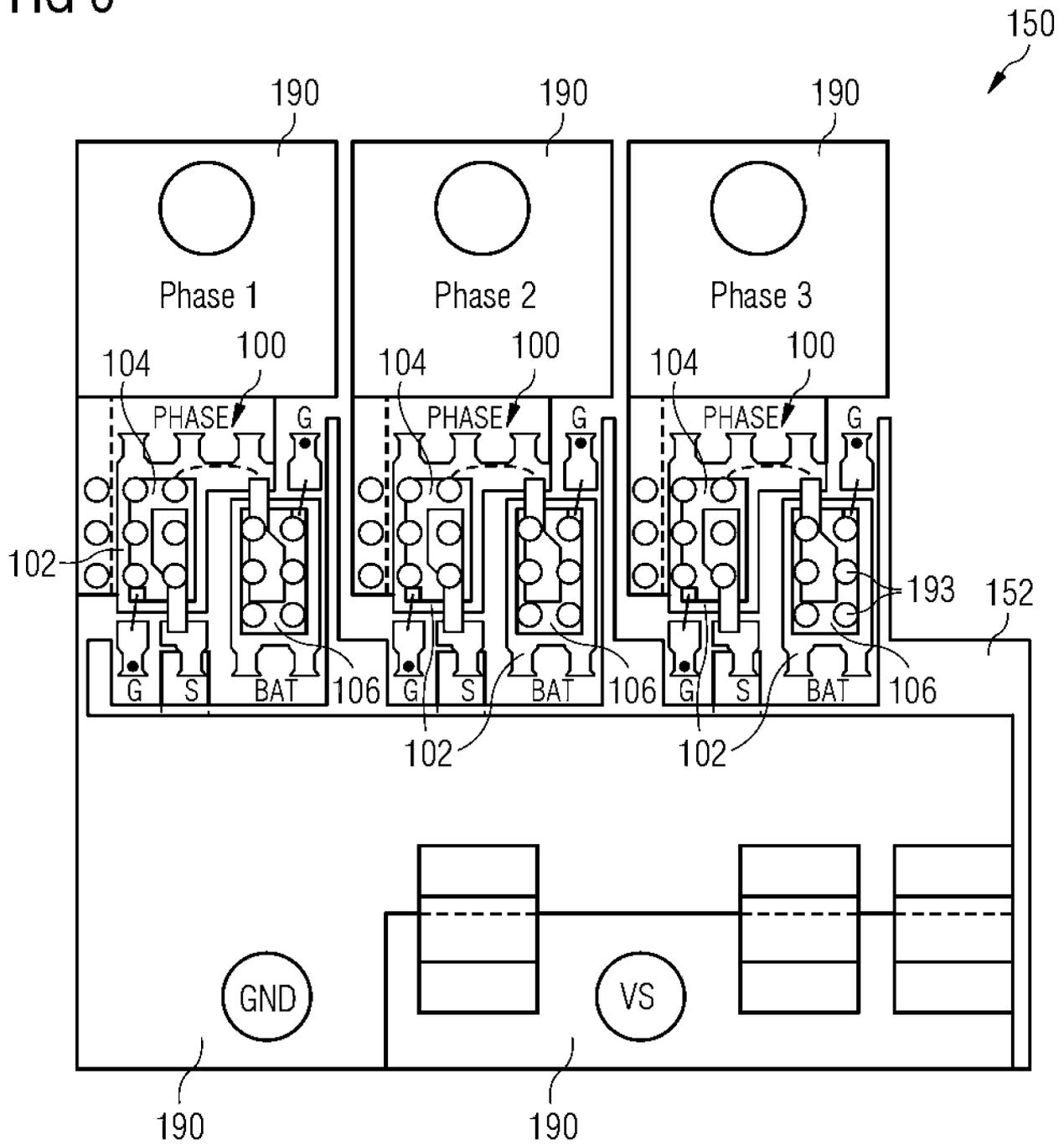
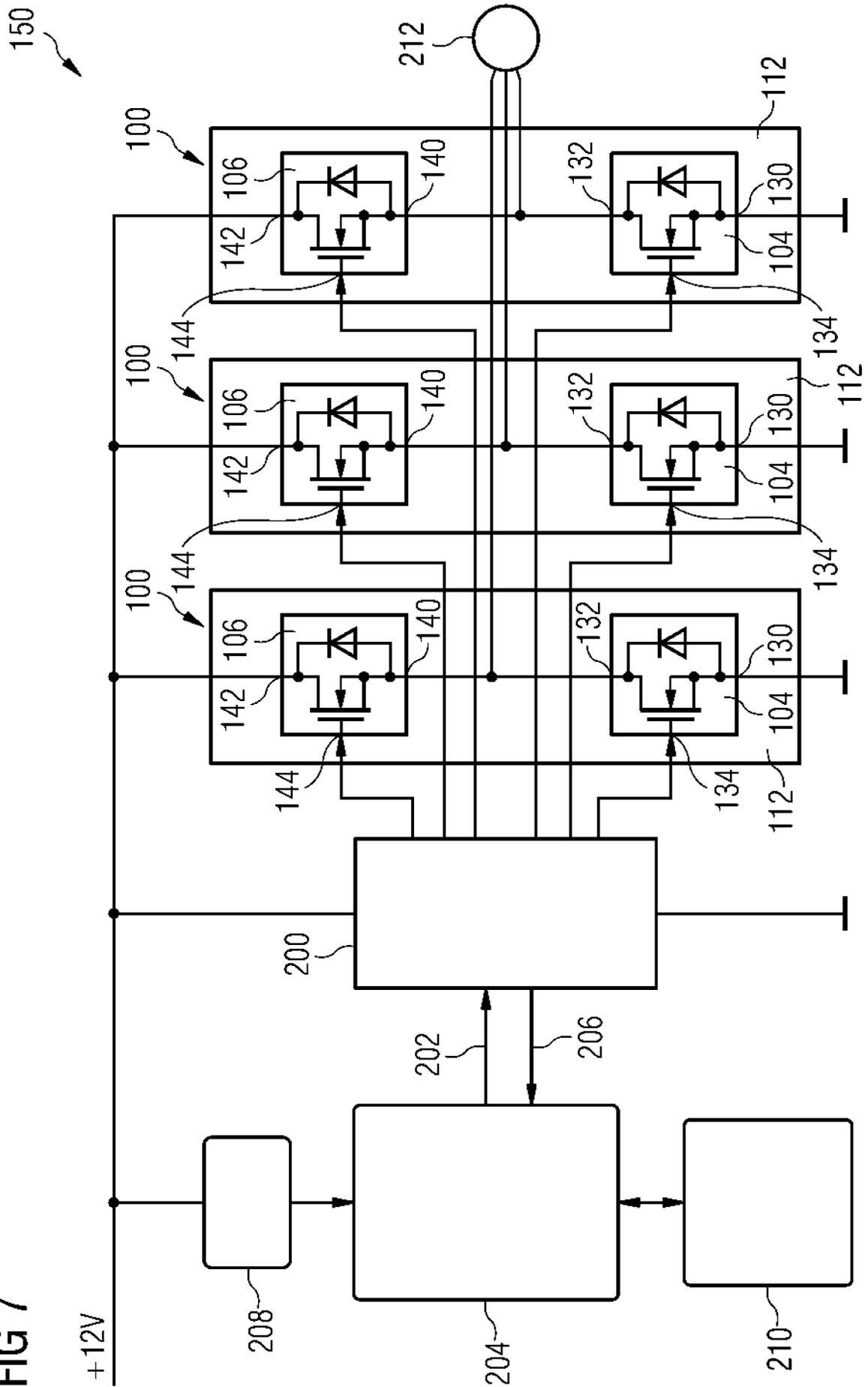


FIG 7



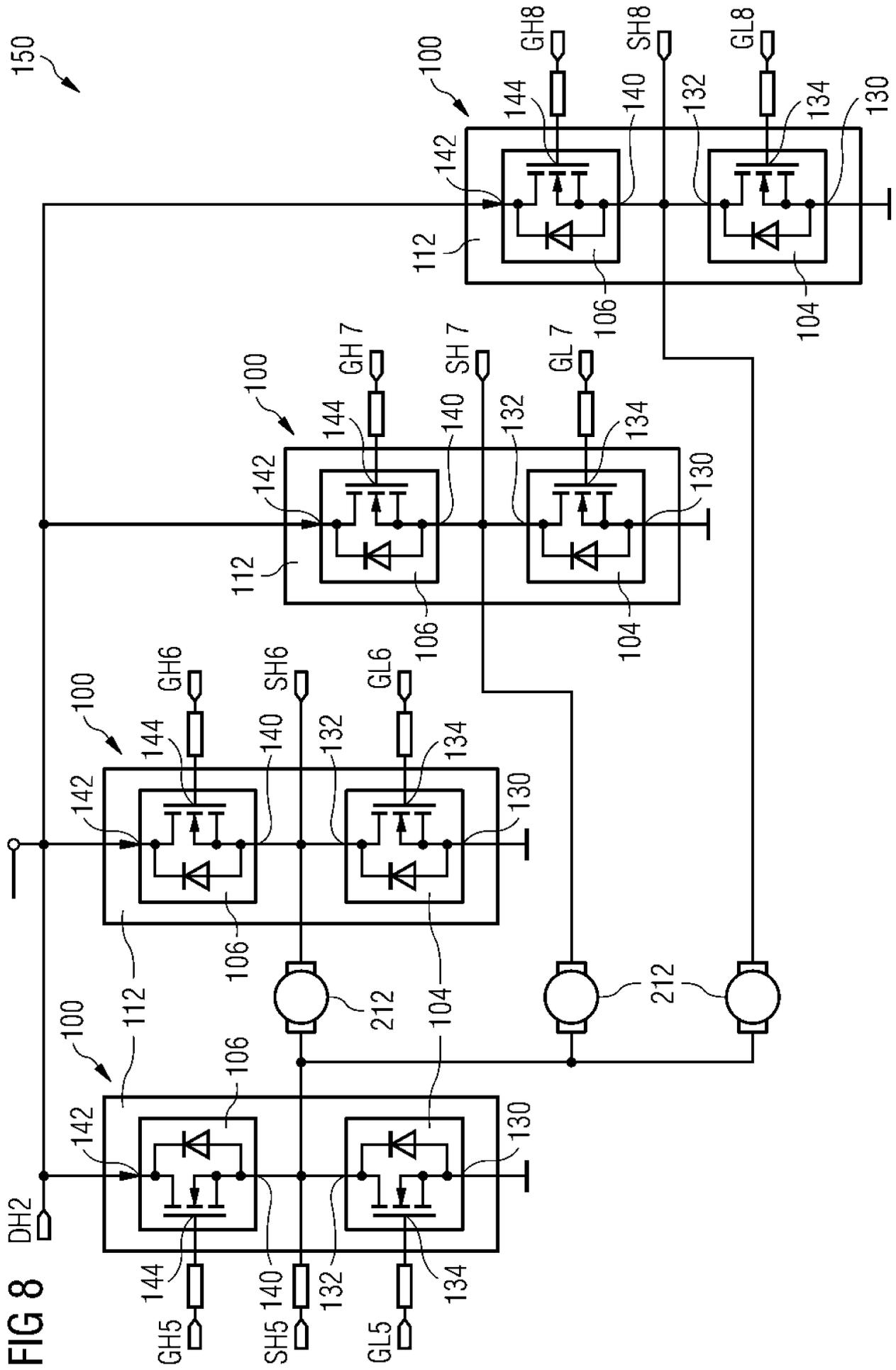


FIG 8

FIG 9

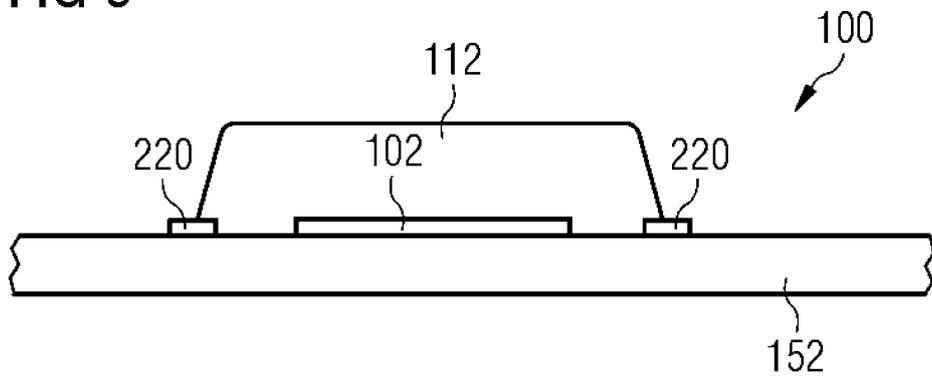


FIG 10

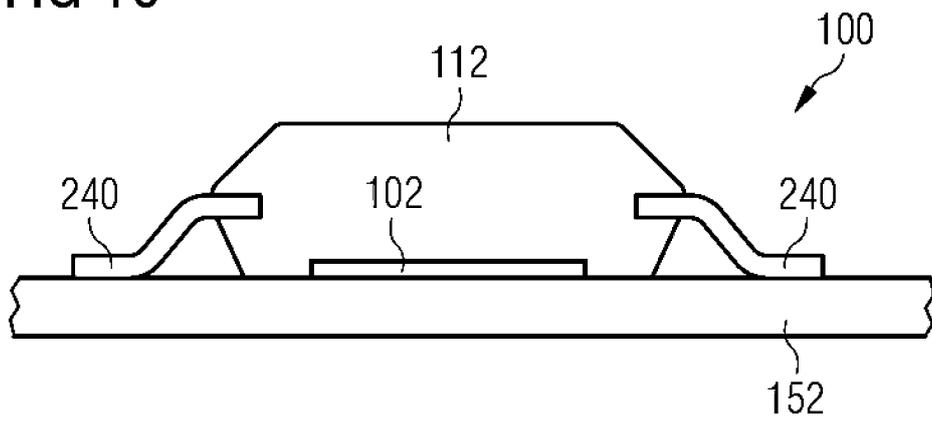


FIG 11

