

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4051531号
(P4051531)

(45) 発行日 平成20年2月27日(2008.2.27)

(24) 登録日 平成19年12月14日(2007.12.14)

(51) Int. Cl.		F I	
HO 1 L 23/52	(2006.01)	HO 1 L 23/52	C
HO 1 L 25/10	(2006.01)	HO 1 L 25/10	Z
HO 1 L 25/18	(2006.01)		

請求項の数 19 (全 19 頁)

(21) 出願番号	特願2001-512637 (P2001-512637)	(73) 特許権者	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(86) (22) 出願日	平成12年7月21日(2000.7.21)	(74) 代理人	100090387 弁理士 布施 行夫
(86) 国際出願番号	PCT/JP2000/004886	(74) 代理人	100090398 弁理士 大淵 美千栄
(87) 国際公開番号	W02001/008223	(72) 発明者	橋元 伸晃 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(87) 国際公開日	平成13年2月1日(2001.2.1)		
審査請求日	平成15年10月24日(2003.10.24)	審査官	今井 拓也
(31) 優先権主張番号	特願平11-207905	(56) 参考文献	特開平02-198148 (JP, A) 特開昭62-117391 (JP, A) 最終頁に続く
(32) 優先日	平成11年7月22日(1999.7.22)		
(33) 優先権主張国	日本国(JP)		

(54) 【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

(57) 【特許請求の範囲】

【請求項1】

配線パターンが形成されており、重なるように配置された複数の基板と、
少なくともいずれか1つの前記基板に搭載された半導体チップと、
を有し、

2つの前記基板のうち第1の前記基板に形成された第1の前記配線パターンは、前記第1の基板の表面から突出する屈曲部を有し、

前記屈曲部は、前記2つの基板のうち第2の前記基板に形成された第2の前記配線パターンの平坦部に電氣的に接続され、

前記第1の基板には、貫通穴が形成されてなり、

前記屈曲部は、前記貫通穴上で、前記第1の基板における前記第1の配線パターンが形成された面から突出してなる半導体装置。

【請求項2】

配線パターンが形成されており、重なるように配置された複数の基板と、
少なくともいずれか1つの前記基板に搭載された半導体チップと、
を有し、

2つの前記基板のうち第1の前記基板に形成された第1の前記配線パターンは、前記第1の基板の表面から突出する屈曲部を有し、

前記屈曲部は、前記2つの基板のうち第2の前記基板に形成された第2の前記配線パターンの平坦部に電氣的に接続され、

10

20

前記第 1 の基板には、貫通穴が形成されてなり、

前記屈曲部は、前記貫通穴に入り込み、前記第 1 の基板における前記第 1 の配線パターンが形成された面とは反対側の面から突出し、

前記貫通穴の内側に、複数の前記屈曲部が形成されてなる半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、

前記貫通穴の内側に、複数の前記屈曲部が形成されてなる半導体装置。

【請求項 4】

配線パターンが形成されており、重なるように配置された複数の基板と、

少なくともいずれか 1 つの前記基板に搭載された半導体チップと、

を有し、

2 つの前記基板のうち第 1 の前記基板に形成された第 1 の前記配線パターンは、前記第 1 の基板の表面から突出する屈曲部を有し、

前記屈曲部は、前記 2 つの基板のうち第 2 の前記基板に形成された第 2 の前記配線パターンの平坦部に電氣的に接続され、

前記第 1 の基板には、貫通穴が形成されてなり、

前記屈曲部は、前記貫通穴に入り込み、前記第 1 の基板における前記第 1 の配線パターンが形成された面とは反対側の面から突出し、

前記第 1 の基板には、複数の前記貫通穴が形成され、

前記第 1 の配線パターンには、複数の前記屈曲部が形成され、

1 つの前記貫通穴と重なるように、1 つの前記屈曲部が形成されてなる半導体装置。

【請求項 5】

請求項 1 記載の半導体装置において、

前記第 1 の基板には、複数の前記貫通穴が形成され、

前記第 1 の配線パターンには、複数の前記屈曲部が形成され、

1 つの前記貫通穴と重なるように、1 つの前記屈曲部が形成されてなる半導体装置。

【請求項 6】

請求項 1 から請求項 5 のいずれかに記載の半導体装置において、

前記第 2 の配線パターンは、前記第 2 の基板における前記第 1 の基板側の面に形成されてなる半導体装置。

【請求項 7】

配線パターンが形成されており、重なるように配置された複数の基板と、

少なくともいずれか 1 つの前記基板に搭載された半導体チップと、

を有し、

2 つの前記基板のうち第 1 の前記基板に形成された第 1 の前記配線パターンは、前記第 1 の基板の表面から突出する屈曲部を有し、

前記屈曲部は、前記 2 つの基板のうち第 2 の前記基板に形成された第 2 の前記配線パターンの平坦部に電氣的に接続され、

前記第 2 の配線パターンは、前記第 2 の基板における前記第 1 の基板とは反対側の面に形成され、

前記第 2 の基板に形成された貫通穴を介して、前記屈曲部と前記第 2 の配線パターンとが電氣的に接続されてなる半導体装置。

【請求項 8】

配線パターンが形成されており、重なるように配置された複数の基板と、

少なくともいずれか 1 つの前記基板に搭載された半導体チップと、

を有し、

2 つの前記基板のうち第 1 の前記基板に形成された第 1 の前記配線パターンは、前記第 1 の基板の表面から突出する屈曲部を有し、

前記屈曲部は、前記 2 つの基板のうち第 2 の前記基板に形成された第 2 の前記配線パターンの平坦部に電氣的に接続され、

10

20

30

40

50

前記第 1 及び第 2 の基板の間に、前記半導体チップが配置され、
前記屈曲部は、前記半導体チップの側に突出し、かつ、前記半導体チップよりも高く形成されてなる半導体装置。

【請求項 9】

請求項 1 から請求項 5 のいずれかに記載の半導体装置において、
前記第 1 及び第 2 の基板のそれぞれに、前記半導体チップが配置されてなる半導体装置

【請求項 10】

請求項 1 から請求項 5 のいずれかに記載の半導体装置において、
前記第 1 及び第 2 の基板のいずれか一方のみに、前記半導体チップが配置されてなる半導体装置。 10

【請求項 11】

配線パターンが形成されており、重なるように配置された複数の基板と、
少なくともいずれか 1 つの前記基板に搭載された半導体チップと、
を有し、
2 つの前記基板のうち第 1 の前記基板に形成された第 1 の前記配線パターンは、前記第 1 の基板の表面から突出する屈曲部を有し、
前記屈曲部は、前記 2 つの基板のうち第 2 の前記基板に形成された第 2 の前記配線パターンの平坦部に電氣的に接続され、
前記基板は、3 つ以上重なるように配置され、 20
3 つの前記基板のうち、中央の基板は、前記第 1 の基板であって、両面のそれぞれから突出して前記屈曲部が形成され、
3 つの前記基板のうち、両側の基板が前記第 2 の基板である半導体装置。

【請求項 12】

配線パターンが形成されており、重なるように配置された複数の基板と、
少なくともいずれか 1 つの前記基板に搭載された半導体チップと、
を有し、
2 つの前記基板のうち第 1 の前記基板に形成された第 1 の前記配線パターンは、前記第 1 の基板の表面から突出する屈曲部を有し、
前記屈曲部は、前記 2 つの基板のうち第 2 の前記基板に形成された第 2 の前記配線パターンの平坦部に電氣的に接続され、 30
前記基板は、3 つ以上重なるように配置され、
3 つの前記基板のうち、中央の基板が前記第 2 の基板であり、両側の基板が前記第 1 の基板である半導体装置。

【請求項 13】

配線パターンが形成されており、重なるように配置された複数の基板と、
少なくともいずれか 1 つの前記基板に搭載された半導体チップと、
を有し、
2 つの前記基板のうち第 1 の前記基板に形成された第 1 の前記配線パターンは、前記第 1 の基板の表面から突出する屈曲部を有し、 40
前記屈曲部は、前記 2 つの基板のうち第 2 の前記基板に形成された第 2 の前記配線パターンの平坦部に電氣的に接続され、
前記基板は、3 つ以上重なるように配置され、
外側に位置する 2 つの基板の一方は、前記第 1 の基板であり、他方は、前記第 2 の基板であり、
内側に位置する少なくとも 1 つの前記基板は、前記屈曲部及び前記平坦部を有して、両隣の前記基板のうち一方の前記基板に対して前記第 1 の基板であり、両隣の前記基板のうち他方の前記基板に対して前記第 2 の基板である半導体装置。

【請求項 14】

請求項 1 から請求項 5 のいずれかに記載の半導体装置が実装された回路基板。 50

【請求項 15】

請求項 1 から請求項 5 のいずれかに記載の半導体装置を有する電子機器。

【請求項 16】

配線パターンが形成された複数の基板のうち、少なくとも 1 つの前記基板に半導体チップを搭載し、前記複数の基板を重ねるように配置し、2 つの前記基板を電氣的に接続することを含み、

前記 2 つの基板のうち第 1 の前記基板に形成された第 1 の前記配線パターンは、前記第 1 の基板の表面から突出する屈曲部を有し、

前記屈曲部を、前記 2 つの基板のうち第 2 の前記基板に形成された第 2 の前記配線パターンの平坦部に電氣的に接続し、

前記複数の基板を、それぞれの前記基板の外形を基準として、位置合わせする半導体装置の製造方法。

10

【請求項 17】

配線パターンが形成された複数の基板のうち、少なくとも 1 つの前記基板に半導体チップを搭載し、前記複数の基板を重ねるように配置し、2 つの前記基板を電氣的に接続することを含み、

前記 2 つの基板のうち第 1 の前記基板に形成された第 1 の前記配線パターンは、前記第 1 の基板の表面から突出する屈曲部を有し、

前記屈曲部を、前記 2 つの基板のうち第 2 の前記基板に形成された第 2 の前記配線パターンの平坦部に電氣的に接続し、

前記複数の基板を、それぞれの前記基板に形成された穴を基準として、位置合わせする半導体装置の製造方法。

20

【請求項 18】

請求項 16 又は 17 に記載の半導体装置の製造方法において、

前記屈曲部に対して押圧力及び熱のうち少なくとも一方を加えて、前記屈曲部と前記平坦部とを電氣的に接続する半導体装置の製造方法。

【請求項 19】

配線パターンが形成された複数の基板のうち、少なくとも 1 つの前記基板に半導体チップを搭載し、前記複数の基板を重ねるように配置し、2 つの前記基板を電氣的に接続することを含み、

前記 2 つの基板のうち第 1 の前記基板に形成された第 1 の前記配線パターンは、前記第 1 の基板の表面から突出する屈曲部を有し、

前記屈曲部を、前記 2 つの基板のうち第 2 の前記基板に形成された第 2 の前記配線パターンの平坦部に電氣的に接続し、

前記屈曲部に対して押圧力及び熱のうち少なくとも一方を加えて、前記屈曲部と前記平坦部とを電氣的に接続し、

2 つ以上の前記基板に形成された前記配線パターンに前記屈曲部が形成され、

前記 2 つ以上の前記基板に形成された前記屈曲部と前記平坦部とを一括して電氣的に接続する半導体装置の製造方法。

30

【発明の詳細な説明】

40

[技術分野]

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

[背景技術]

従来、半導体装置として、配線パターンが形成された基板（インターポーザ）を有し、インターポーザに半導体チップが搭載されたものが知られている。半導体装置の小型化及び多ピン化にともなって、配線パターンの微細化が要求されるが、1枚のインターポーザに形成された配線パターンの微細化には限界がある。また、多層基板は高価である。

そこで、複数のインターポーザを使用することで、多ピン化に対応することがある。例えば、片面又は両面に半導体チップが実装された複数のインターポーザが貼り合わされた構造を有するスタック型の半導体装置が開発されている。

50

公知の例として、特許第2870530号公報には、バンプによって、上下のインターポーザに形成された配線パターン同士を電氣的に接続することが記載されている。しかし、これによれば、バンプの形成に時間とコストがかかるという問題がある。

本発明は、上記課題を解決するためになされたもので、簡単な構造で基板間が電氣的に接続される半導体装置及びその製造方法、回路基板並びに電子機器を提供することを目的としている。

[発明の開示]

(1) 本発明に係る半導体装置は、配線パターンが形成されており、重なるように配置された複数の基板と、

少なくともいずれか1つの前記基板に搭載された半導体チップと、

を有し、

2つの前記基板のうち第1の前記基板に形成された第1の前記配線パターンは、前記第1の基板の表面から突出する屈曲部を有し、

前記屈曲部は、前記2つの基板のうち第2の前記基板に形成された第2の前記配線パターンの平坦部に電氣的に接続されてなる。

本発明によれば、屈曲部は、第1の配線パターンの一部が第1の基板の表面から突出して形成されたものであって、簡単な構造である。屈曲部によって2つの基板間の電氣的な接続が図られているので、バンプを形成する必要がない。

(2) この半導体装置において、

前記第1の基板には、貫通穴が形成されてなり、

前記屈曲部は、前記貫通穴に入り込み、前記第1の基板における前記第1の配線パターンが形成された面とは反対側の面から突出していてもよい。

これによれば、第1の配線パターンは、第1の基板における屈曲部が突出する側の面とは反対側の面に形成されている。したがって、第1及び第2の配線パターンの間に、第1の基板が介在するので、両者のショートを防止することができる。

(3) この半導体装置において、

前記第1の基板には、貫通穴が形成されてなり、

前記屈曲部は、前記貫通穴上で、前記第1の基板における前記第1の配線パターンが形成された面から突出していてもよい。

これによれば、第1の基板における第1の配線パターンが形成された側で屈曲部が突出するので、屈曲部を第1の基板の表面から高く形成することができる。

(4) この半導体装置において、

前記貫通穴の内側に、複数の前記屈曲部が形成されていてもよい。

これによれば、複数の屈曲部に対して1つの貫通穴を形成すればよい。

(5) この半導体装置において、

前記第1の基板には、複数の前記貫通穴が形成され、

前記第1の配線パターンには、複数の前記屈曲部が形成され、

1つの前記貫通穴と重なるように、1つの前記屈曲部が形成されていてもよい。

これによれば、隣同士の屈曲部間には、第1の基板の材料が存在するので、屈曲部間のショートを防止することができる。

(6) この半導体装置において、

前記第2の配線パターンは、前記第2の基板における前記第1の基板側の面に形成されていてもよい。

これによれば、第2の配線パターンが第1の基板に近いので、低い屈曲部であっても、平坦部との電氣的な接続が可能である。

(7) この半導体装置において、

前記第2の配線パターンは、前記第2の基板における前記第1の基板とは反対側の面に形成され、

前記第2の基板に形成された貫通穴を介して、前記屈曲部と前記第2の配線パターンとが電氣的に接続されていてもよい。

10

20

30

40

50

これによれば、第1及び第2の配線パターンの中に第2の基板が介在するので、両者のショートが防止される。

(8) この半導体装置において、前記第1及び第2の基板の間に、前記半導体チップが配置され、前記屈曲部は、前記半導体チップの側に突出し、かつ、前記半導体チップよりも高く形成されていてもよい。

これによれば、半導体チップの存在に阻害されることなく、第1及び第2の基板間の電氣的導通を確保することができる。また、屈曲部によって、第1及び第2の基板間に半導体チップの高さよりも大きな間隔を設けることができ、間隔保持のためのスペーサを別途設ける必要がない。

10

(9) この半導体装置において、前記第1及び第2の基板のそれぞれに、前記半導体チップが配置されていてもよい。これは、複数の半導体チップが積み重ねられたスタック型の半導体装置である。

(10) この半導体装置において、前記第1及び第2の基板のいずれか一方のみに、前記半導体チップが配置されていてもよい。

これによれば、第1及び第2の配線パターンによって、多層配線を構成することができる。

(11) この半導体装置において、前記基板は、3つ以上重なるように配置され、3つの前記基板のうち、中央の基板は、前記第1の基板であって、両面のそれぞれから突出して前記屈曲部が形成され、3つの前記基板のうち、両側の基板が前記第2の基板であってもよい。これによれば、中央部の基板に形成された配線パターンの屈曲部が、両側の基板に形成された配線パターンの平坦部に電氣的に接続される。

20

(12) この半導体装置において、前記基板は、3つ以上重なるように配置され、3つの前記基板のうち、中央の基板が前記第2の基板であり、両側の基板が前記第1の基板であってもよい。

これによれば、中央部の基板に形成された配線パターンの平坦部に、両側の基板に形成された配線パターンの屈曲部が電氣的に接続される。

30

(13) この半導体装置において、前記基板は、3つ以上重なるように配置され、外側に位置する2つの基板の一方は、前記第1の基板であり、他方は、前記第2の基板であり、内側に位置する少なくとも1つの前記基板は、前記屈曲部及び前記平坦部を有して、両隣の前記基板のうち一方の前記基板に対して前記第1の基板であり、両隣の前記基板のうち他方の前記基板に対して前記第2の基板であってもよい。

これによれば、内側に位置する基板は、第1及び第2の基板としての機能を兼ねる構成になっている。

40

(14) 本発明に係る回路基板は、上記半導体装置が実装されたものである。

(15) 本発明に係る電子機器は、半導体装置を有する。

(16) 本発明に係る半導体装置の製造方法は、配線パターンが形成された複数の基板のうち、少なくとも1つの前記基板に半導体チップを搭載し、前記複数の基板を重ねるように配置し、2つの前記基板を電氣的に接続することを含み、前記2つの基板のうち第1の前記基板に形成された第1の前記配線パターンは、前記第1の基板の表面から突出する屈曲部を有し、前記屈曲部を、前記2つの基板のうち第2の前記基板に形成された第2の前記配線パターンの平坦部に電氣的に接続する。

本発明によれば、屈曲部は、第1の配線パターンの一部が第1の基板の表面から突出して

50

形成されたものであって、簡単な構造である。屈曲部によって2つの基板間の電気的な接続を図るので、バンプを形成する必要がない。

(17) この半導体装置の製造方法において、

前記複数の基板を、それぞれの前記基板の外形を基準として、位置合わせしてもよい。

(18) この半導体装置の製造方法において、

前記複数の基板を、それぞれの前記基板に形成された穴を基準として、位置合わせしてもよい。

(19) この半導体装置の製造方法において、

前記屈曲部に対して押圧力及び熱のうち少なくとも一方を加えて、前記屈曲部と前記平坦部とを電気的に接続してもよい。

10

(20) この半導体装置の製造方法において、

2つ以上の前記基板に形成された前記配線パターンに前記屈曲部が形成され、前記2つ以上の前記基板に形成された前記屈曲部と前記平坦部とを一括して電気的に接続してもよい。

これによれば、複数の屈曲部と複数の平坦部との電気的な接続を一括して行うので工程を短縮することができる。

[発明を実施するための最良の形態]

以下、本発明の実施の形態を、添付図面を参照して詳細に説明する。

(第1の実施の形態)

図1は、本発明を適用した第1の実施の形態に係る半導体装置を示す図である。半導体装置は、第1及び第2の基板10、20を有する。なお、3つ以上の基板を有する半導体装置においては、任意の2つの基板が、第1及び第2の基板10、20である。あるいは、第1及び第2の基板10、20は、間を飛ばさずに並んだ隣同士の2つの基板であってもよい。

20

第1及び第2の基板10、20のそれぞれには、配線パターン(本実施の形態では第1又は第2の配線パターン12、22)が形成されている。第1又は第2の配線パターン12、22が形成された状態で、第1又は第2の基板10、20を、配線基板と称することができる。

第1又は第2の基板10、20の材質は、有機系材料、無機系材料のいずれでも良い。有機系材料として、ポリイミド、ポリエステル、ポリサルフォン系樹脂などがあり、無機系材料として、シリコン、ガラス、セラミック、金属などがあり、有機系及び無機系の材料を組み合わせて使用してもよい。

30

第1又は第2の基板10、20として、ポリイミド樹脂からなるフレキシブル基板(例えばTABテープ(Tape Automated Bonding Tape)、セラミック基板、ガラス基板、ガラスエポキシ基板などが挙げられる。

本実施の形態では、第1又は第2の基板10、20には、少なくとも1つの(1つ又は複数の)貫通穴(あるいはビア又は開口部)14、24が形成されている。図2は、第1の基板10を示す平面図である。貫通穴14は、半導体チップ30の搭載領域を避けて形成されている。1つの貫通穴14は、図2に示すように複数の屈曲部16が重なるような長穴であってもよいし、1つの屈曲部16のみが重なる大きさであってもよい。

40

第2の基板20に形成される貫通穴24も、半導体チップ30の搭載領域を避けて形成されている。また、1つの貫通穴24が、複数の屈曲部16の先端が入る長穴であってもよいし、1つの屈曲部16の先端のみが入る大きさであってもよい。

第1又は第2の配線パターン12、22は、第1又は第2の基板10、20の一方の面に形成してもよいし、両面に形成してもよい。第1又は第2の配線パターン12、22は、半導体チップ30の電極(パッド)や外部端子40との接続のためにランドが形成されていてもよい。また、第1及び第2の配線パターン12、22は、電気的に接続する部分(例えばランド、屈曲部16、平坦部26)を除き、ソルダーレジストなどの保護膜で覆われていることが好ましい。

第1又は第2の配線パターン12、22は、接着剤(図示せず)を介して第1又は第2の

50

基板 10、20 に貼り付けられて、3層基板を構成してもよい。この場合、第1又は第2の配線パターン12、22は、銅箔等の金属箔又は導電箔をエッチングして形成することが多い。銅箔等の金属箔又は導電箔は、予め第1又は第2の基板10、20に接着剤(図示しない)を介して接着される。

第1又は第2の配線パターン12、22を、複数層で構成してもよい。例えば、銅(Cu)、クロム(Cr)、チタン(Ti)、ニッケル(Ni)、チタンタングステン(Ti-W)のうち、いずれかの膜を積層した後、これをエッチングして第1又は第2の配線パターン12、22を形成してもよい。エッチングにはフォトリソグラフィを適用してもよい。

あるいは、第1又は第2の配線パターン12、22を、接着剤なしで第1又は第2の基板10に形成して2層基板を構成してもよい。2層基板では、スパッタリングなどで薄い膜を形成し、メッキを施して、第1又は第2の配線パターン12、22を形成する。アディティブ法で第1又は第2の配線パターン12、22を形成してもよい。2層基板であっても、第1又は第2の配線パターン12、22は、塑性加工が可能な程度の厚みを有する。第1又は第2の配線パターン12、22が形成された第1又は第2の基板10、20(配線基板)として、絶縁樹脂と配線パターンが積層して構成されるビルドアップ配線板や、複数の基板が積層されてなる多層基板や、両面基板などを用いてもよい。

配線パターン12には、少なくとも1つの(1つ又は複数の)屈曲部16が形成されている。配線パターン12におけるライン状の部分(配線)が屈曲して、屈曲部16が形成されている。屈曲部16は、第1の基板10の表面から突出している。屈曲部16の先端部は、図1に示すように丸く屈曲している。屈曲部16は、第1の配線パターン12の一部を塑性変形して形成されてなる。第1の配線パターン12が可撓性を有していれば、屈曲部16も可撓性を有する。

変形例として、図3に示す屈曲部56は、ほぼ平坦な頂部を有する。屈曲部56によれば、平坦な頂部によって、他の配線パターン(具体的には第2の配線パターン22)との接触面積が大きくなり、電氣的導通をより確実に確保することができる。本実施の形態で説明する内容は、この変形例にも適用できる。

図1に示す屈曲部16の凸面、つまり第2の配線パターン22と接続される面には、電氣的導通の確保をより確実にするためにメッキが施されていることが好ましい。例えば、スズやハンダのメッキを適用してもよく、酸化されにくい金メッキを適用してもよい。

屈曲部16は、貫通穴14と重なるように形成されている。また、1つの貫通穴14と重なるように、複数の屈曲部16が形成されている。本実施の形態では、屈曲部16は、貫通穴14に入り込まない。詳しくは、屈曲部16は、貫通穴14上で、第1の基板10における第1の配線パターン12が形成された面から突出する。

変形例として、図4に示す屈曲部66は、第1の基板60に形成された貫通穴64に入り込んでいる。詳しくは、屈曲部66は、第1の基板60における第1の配線パターン62が形成された面とは反対側の面から突出する。また、1つの屈曲部66と1つの貫通穴64とが重なるように形成されている。屈曲部66は、ドーム状をなしている。屈曲部66は、第1の配線パターン62における貫通穴64を塞ぐ部分(貫通穴64よりも大きい部分)を塑性変形させて形成する。形成工程において、電氣的な導通を妨げない範囲であれば、屈曲部66に破断(亀裂)が生じてもよい。本実施の形態で説明する内容は、この変形例にも適用できる。

なお、第1の基板60と第1の配線パターン62との間に接着剤が介在している場合、屈曲部66を形成するとき、貫通穴64と屈曲部66との間に接着剤が介在する場合がある。これによれば、屈曲部66に加えられた熱ストレスを、接着剤が吸収することができる。

図1に示すように、屈曲部16が突出する側に半導体チップ30が配置される場合には、屈曲部16を、半導体チップよりも高く形成する。詳しくは、屈曲部16を、その先端が、半導体チップ30における第1の基板10とは反対側の面を超えて、第2の配線パターン22に接触するように形成する。

10

20

30

40

50

第2の配線パターン22は、少なくとも1つの(1つ又は複数の)平坦部26を有する。言い換えると、第2の配線パターン22は、平坦部26以外の部分において、屈曲部(上述した屈曲部16と同じ内容)が形成されていてもよい。平坦部26は、貫通穴24と重なるように形成されている。したがって、貫通穴24を介して、平坦部26に対する電気的な接続が可能になっている。

ここで、平坦部26は、屈曲部16の先端面は接触するが側面が接触しないように平坦な面を有していればよい。したがって、平坦部26は、屈曲部16に対向する方向に屈曲していてもよい。あるいは、平坦部26は、メッキやハーフエッチング等によって、第2の配線パターン22に形成されたバンプ(突起部)であってもよい。平坦部26が屈曲部16の方向に突出していれば、屈曲部16の屈曲量を減らし、その形成時にクラックの発生を防止することができる。この場合、第1及び第2の配線パターン12、22を電気的に接続する部分は、バンプ(平坦部26)を含むが、屈曲部16も含んでいる。したがって、この例であっても、バンプのみで電気的に接続する従来技術とは異なる。

第1及び第2の基板10、20は、重なるように配置されている。第1及び第2の基板10、20は、少なくとも一部において重なっていればよい。第1及び第2の基板10、20は、同じ大きさ及び形状であれば、全体的に重なっていてもよい。

本実施の形態では、第2の配線パターン22が、第2の基板20における第1の基板10とは反対側の面に位置する。貫通穴24を介して、第1の配線パターン12に形成された屈曲部16が、第2の配線パターン22の平坦部26に電気的に接続されている。

電気的接続のために、屈曲部16及び平坦部26の表面に形成された金属(例えばメッキによって形成される)を接合してもよい。具体的には、Au-Au、Au-Sn、ハンダなどによる金属接合がある。金属接合は、シングルポイントボンディングを適用してもよく、超音波、熱又は圧力を加えて材料を拡散させて行ってもよい。さらに、カシメなどによる機械的な圧接を適用してもよい。

または、ハンダ付け等の口ウ付けによって、あるいは、導電ペースト(銀ペーストを含有する樹脂など)又は導電性接着剤等を使用して、屈曲部16と平坦部26とを電気的に接続してもよい。

あるいは、屈曲部16と平坦部26との電気的な接続に、異方性導電接着材料を使用してもよい。異方性導電接着材料は、圧力がかかった方向にのみ導電性を発揮する接着材料であり、接着剤としての樹脂中にAlなどの金属粒子あるいは金属コートを施した樹脂粒子を拡散混合したものである。シート状に形成されて接着箇所貼り付けて使用する異方性導電膜(ACF)と、ペースト状をなして接着箇所に塗りつけて使用する異方性導電接着剤(ACP)とがある。

あるいは、導電粒子を混合していない接着剤を用いてもよい。例えば、絶縁樹脂の収縮力によって、屈曲部16と平坦部26とを接合してもよい。この場合、導電粒子を混合していない接着剤の方がより安価なので、半導体装置製造の低コスト化を図ることができる。屈曲部16と平坦部26との電気的接続に使用される材料は、半導体チップと配線パターンとの電気的な接続に用いられるものと同じものでもよい。

本実施の形態によれば、第1及び第2の配線パターン12、22を電気的に接続することが可能となる。屈曲部16が撓みやすい場合には、屈曲部16が応力を吸収し、電気的な接続部分に破断が生じることを抑制することができる。

本実施の形態では、第1及び第2の基板10、20のそれぞれに半導体チップ30が搭載されている。第1の基板10には、第2の基板20側の面に第1の配線パターン12が形成されており、この面に半導体チップ30が搭載されている。すなわち、半導体チップ30は、第1及び第2の基板10、20の間に配置されている。第2の基板20には、第1の基板10とは反対側の面に第2の配線パターン22が形成されており、この面に半導体チップ30が搭載されている。

あるいは、第1又は第2の基板10、20における第1又は第2の配線パターン12、22が形成された面とは反対側の面に半導体チップ30を搭載してもよい。その場合、第1又は第2の基板10、20の両面間の電気的接続部(スルーホール又はビアホール等)を

10

20

30

40

50

介して、半導体チップ30と第1又は第2の配線パターン12、22との電気的な接続を図る。

なお、本発明に係る半導体装置は、複数の基板を有し、いずれか1つの基板に半導体チップが搭載されている。したがって、第1及び第2の基板のうち一方のみに半導体チップが搭載されていてもよいし、第1及び第2の基板以外の基板に半導体チップが搭載されていてもよい。

本実施の形態では、実装の方式としてフェースダウン実装方式が適用されている。フェースダウン実装方式において、半導体チップ30のバンプと、配線パターン(例えば第1又は第2の配線パターン12、22)との電気的な接続には、上述した屈曲部16と平坦部26との電気的な接続方法を適用することができる。

半導体チップ30と基板(例えば第1又は第2の基板10、20)の間には樹脂(アンダーフィル)が設けられてもよい。異方性導電材料が使用された場合には、異方性導電材料が封止樹脂を兼ねる。

また、フェースダウン実装の他に、ワイヤーボンディングを用いたフェースアップ型の実装や、フィンガー(インナーリード)を用いたTAB実装方式を適用してもよい。また、1つの基板(例えば第1又は第2の基板10、20)に、複数の半導体チップ30を搭載してもよい。

第1及び第2の基板10、20に搭載された半導体チップ30は、同じものであってもよい。屈曲部16と平坦部26とが電気的に接続されているので、2つの半導体チップ30における同じ位置の電極(パッド)と、1つの外部端子とを電気的に接続することができる。そして、半導体チップ30がメモリであるときに、1つの外部端子から、それぞれのメモリの同じアドレスのメモリセルに、情報の読み出し又は書き込みを行うことができる。なお、2つの半導体チップ30のそれぞれのチップセレクト端子を、異なる外部端子に電気的に接続しておくことで、チップセレクトがなされる。あるいは、2つの半導体チップ30における同じ位置の電極(パッド)を、異なる外部端子40に電気的に接続してもよい。この場合、屈曲部16が、第1の基板10に搭載された半導体チップ30に電気的に接続されないように、第1の配線パターン12が形成される。異なる外部端子40から信号を入力することで、チップセレクトがなされる。

本実施の形態に係る半導体装置は、複数の外部端子40を有する。外部端子40は、複数の基板のうち外側に位置する基板、例えば第1及び第2の基板10、20の少なくともいずれか一方(両方であってもよい)に設けられている。

本実施の形態では、第1の基板10に外部端子40が設けられている。外部端子40は、第1の配線パターン12に電気的に接続されている。詳しくは、第1の基板10に貫通穴が形成され、貫通穴を介して第1の配線パターン12上に外部端子40が設けられている。外部端子40は、ハンダ等で形成される。貫通穴に充填されたハンダを溶融させて表面張力でボールを形成してもよいし、貫通穴に設けられた導電材料にハンダボールを載せてもよい。貫通穴の内面をメッキしてスルーホールを形成してもよい。変形例として、スルーホールなどで第1の基板10の両面を電気的に接続し、第1の基板10における第1の配線パターン12とは反対側の面に、配線を形成し、その配線上に外部端子を設けてもよい。

あるいは、半導体装置をマザーボードに実装するとき、マザーボード側に塗布されるハンダクリームを利用し、その溶融時の表面張力で第1の配線パターン12(例えばそのランド)に外部端子を形成してもよい。この半導体装置は、いわゆるランドグリッドアレイ型の半導体装置である。

あるいは、第1の基板10の一部を第2の基板20から延出させて、延出した部分に外部端子を形成してもよい。その場合、第1の配線パターン12の一部が外部端子であってもよい。あるいは、外部端子となるコネクタを第1の基板10上に実装してもよい。

本実施の形態によれば、屈曲部16は、第1の配線パターン12の一部が第1の基板10の表面から突出して形成されたものであって、簡単な構造である。屈曲部16によって、第1及び第2の基板10、20間の電気的な接続が図られているので、バンプを形成する

10

20

30

40

50

必要がない。

本実施の形態に係る半導体装置は、上述したように構成されており、以下その製造方法について説明する。

本実施の形態では、複数の基板（例えば第1又は第2の配線パターン12、22が形成された第1及び第2の基板10、20）を用意する。少なくとも1つの基板（例えば第1及び第2の基板10、20）に半導体チップ30を搭載する。また、第1及び第2の基板10、20を重なるように配置し、隣同士の第1及び第2の基板10、20を電氣的に接続する。なお、半導体チップ30を搭載する工程は、第1及び第2の基板10、20を電氣的に接続する工程の前に行ってもよいし、その後に行ってもよいし、それと同時に進行してもよい。

10

第1及び第2の基板10、20の電氣的接続は、すなわち、それぞれに形成された第1及び第2の配線パターン12、22の電氣的接続である。第1の配線パターン12に形成された屈曲部16は、第2の配線パターン22の平坦部26に電氣的に接続される。

屈曲部16の形成方法について、図5を参照して説明する。屈曲部16は、第1の配線パターン12を塑性変形させることにより形成する。例えば、第1の基板10を、屈曲部16の凹面の反転形状をなす凸部51を有する型（例えば金型）50と、屈曲部16の凸面の反転形状をなす凹部53を有する型（例えば金型）52との間に位置させる。なお、凸部51は、貫通穴14を貫通する大きさに形成されている。次に、型50、52によって、第1の配線パターン12をプレスして、屈曲部16を形成する。

屈曲部16は、第1の基板10を形成する段階（実装工程より前の段階）で形成されてもよいし、第1及び第2の配線パターン12、22を接続するとき、同時に形成してもよい。この場合、屈曲部16を形成しながら、最終的に屈曲部16と平坦部26とが接合される。

20

図6は、複数の基板を重なるように配置する工程を説明する図である。本実施の形態では、複数の基板を重なるように配置するので基板の位置合わせが必要である。そこで、複数の基板（例えば第1及び第2の基板10、20）を、その外形を基準として位置合わせしてもよい。

例えば、図6に示すように、凹部が形成された容器70を使用する。容器70に形成された凹部は、第1及び第2の基板10、20の外形に対応している。詳しくは、第1及び第2の基板10、20が、同じ外形で形成されており、全体的に重なるように配置される場合には、凹部の内側面は直立した面になっている。したがって、凹部内に第1及び第2の基板10、20を投入すれば、これらの外形を基準として相互の位置決めがなされる。そして、屈曲部16及び平坦部26も、第1及び第2の基板10、20の外形に対して正確な位置に形成されていれば正確に位置決めされる。なお、第1及び第2の基板10、20の外形の一部を基準として位置決めしてもよい。例えば、第1及び第2の基板10、20の4つの角部を基準として、その位置決めをしてもよい。

30

変形例として、図7に示すように、第1及び第2の基板80、90に貫通穴84を形成し、貫通穴84を基準として、その位置決めをしてもよい。例えば、貫通穴84にピン86を挿入してもよい。

図6に示すように、屈曲部16と平坦部26との接合には、ツール72を使用してもよい。例えば、ツール72によって屈曲部16に対して押圧力及び熱のうち少なくとも一方を加える。複数の屈曲部16と複数の平坦部26とを同時に接合してもよい。また、重ねられる3つ以上の基板のうち、2つ以上の基板に形成された配線パターンが屈曲部を有する場合、これらの平坦部に対する接合を同時に行ってもよい。こうして、屈曲部16と平坦部26とを接合する。

40

屈曲部16と平坦部26とを接合するには、上述した材料（例えば接着剤など）を、予め、屈曲部16及び平坦部26の少なくとも一方に設けておいてもよい。熱硬化性の接着剤を使用したときには、加熱することで、接着剤の接着能が発揮される。半導体チップ30のボンディングにおいて接着剤等を設ける工程と、屈曲部16と平坦部26との接合のために接着剤等を設ける工程と、同時に行えば工程を簡略化することができる。

50

屈曲部 1 6 と平坦部 2 6 との接合は、(1) ハンダを含むろう材による接合、(2) 超音波振動の印加及び加熱による洗浄表面同士の固体拡散接合(金属接合)、(3) 機械的なカシメによる接合、(4) 導電性ペーストなどによる接着導電接合などであってもよい。どの方式であっても、屈曲部 1 6 と平坦部 2 6 とを 1 つずつ接合してもよいし、複数ずつ接合してもよいし、全て同時に接合しても良い。半導体チップ 3 0 と配線パターンとの電氣的接続と同一の手法を用いれば、それらの準備工程は簡略化される。

本実施の形態によれば、屈曲部 1 6 は、第 1 の配線パターン 1 6 の一部を屈曲させて形成するので、簡単に形成可能である。屈曲部 1 6 によって第 1 及び第 2 の基板 1 0、2 0 間の電氣的な接続を図るので、パンプを形成する必要がない。

(第 2 の実施の形態)

図 8 は、本発明を適用した第 2 の実施の形態に係る半導体装置を説明する図である。

本実施の形態では、屈曲部 1 1 6 は、第 1 の基板 1 1 0 における第 1 の配線パターン 1 1 2 が形成された面とは反対側の面から突出する。また、屈曲部 1 1 6 は、第 1 の基板 1 1 0 に形成された貫通穴 1 1 4 に入り込んでいる。

屈曲部 1 1 6 の凹部側には、樹脂 1 1 8 を付着させて設けてもよい。樹脂 1 1 8 によって、屈曲部 1 1 6 を補強し、応力によって屈曲部 1 1 6 が過剰に撓んで変形することを防止し、屈曲部 1 1 6 に加えられた応力を吸収することができる。樹脂 1 1 8 によって、屈曲部 1 1 6 に亀裂が生じていても、屈曲部 1 1 6 の破壊を防止することができる。樹脂 1 1 8 は、屈曲部 1 1 6 の凹部側の全体に充填されていることが好ましい。

樹脂 1 1 8 は、応力を吸収する程度に変形するが、一定の形状を維持できる性質であることが好ましい。また、樹脂 1 1 8 は、柔軟性に富み、耐熱性にも富むことが好ましい。柔軟性に富む樹脂を使用すると、外部からの応力や熱応力などを樹脂に吸収する上で有利である。

樹脂 1 1 8 として、例えば、ポリイミド樹脂等を使用してもよく、中でもヤング率が低いもの(例えばオレフィン系のポリイミド樹脂や、ポリイミド樹脂以外としてはダウケミカル社製の B C B 等) を用いることが好ましい。特にヤング率が 300 kg/mm^2 以下程度であることが好ましい。あるいは、樹脂 1 1 8 として、例えばシリコン変性ポリイミド樹脂、エポキシ樹脂やシリコン変性エポキシ樹脂等を用いてもよい。

本実施の形態でも、第 1 及び第 2 の基板 1 1 0、1 2 0 が重なるように配置されている。第 1 の配線パターン 1 1 2 は、第 1 の基板 1 1 0 における第 2 の基板 1 2 0 とは反対側の面に位置する。第 2 の配線パターン 1 2 2 は、第 2 の基板 1 2 0 における第 1 の基板 1 1 0 側の面に位置する。第 1 の基板 1 1 0 に形成された貫通穴 1 1 4 を介して突出する屈曲部 1 1 6 が、平坦部 1 2 6 に電氣的に接続されている。

本実施の形態では、第 1 及び第 2 の基板 1 1 0、1 2 0 のそれぞれに半導体チップ 3 0 が搭載されている。第 1 の基板 1 1 0 には、第 2 の基板 1 2 0 とは反対側の面に第 1 の配線パターン 1 1 2 が形成されており、この面に半導体チップ 3 0 が搭載されている。第 2 の基板 1 2 0 には、第 1 の基板 1 1 0 側の面に第 2 の配線パターン 1 2 2 が形成されており、この面に半導体チップ 3 0 が搭載されている。すなわち、半導体チップ 3 0 は、第 1 及び第 2 の基板 1 1 0、1 2 0 の間に配置されている。

外部端子 4 0 は、第 2 の基板 1 2 0 に設けられている。詳しくは、第 1 の実施の形態で説明した外部端子 4 0 と同じ内容を、本実施の形態にも適用できる。

本実施の形態には、上記第 1 の実施の形態及びその変形例で説明した内容を適用することができる。本実施の形態でも、第 1 の実施の形態で説明した効果を達成することができる。

(第 3 の実施の形態)

図 9 は、本発明を適用した第 3 の実施の形態に係る半導体装置を説明する図である。本実施の形態は、以下の点で第 2 の実施の形態と異なる。

第 1 及び第 2 の基板 1 3 0、1 4 0 には、大きさの異なる半導体チップ 1 5 0、1 5 2 が実装されている。また、外部端子 1 6 0 が、配線パターンを屈曲させて形成されている。

例えば、第 2 の配線パターン 1 4 2 を屈曲させて外部端子 1 6 0 が形成されている。外部

10

20

30

40

50

端子 160 には、第 1 の実施の形態で説明した屈曲部 16 の内容を適用することができる。

その他の点で、本実施の形態には、第 1 の実施の形態及びその変形例並びに第 2 の実施の形態で説明した内容を適用することができる。本実施の形態でも、第 1 の実施の形態で説明した効果を達成することができる。

(第 4 の実施の形態)

図 10 は、本発明を適用した第 4 の実施の形態に係る半導体装置を説明する図である。本実施の形態は、外部端子について第 1 の実施の形態と異なる。

すなわち、本実施の形態では、第 2 の基板 170 に外部端子 180 が設けられている。外部端子 180 は、第 2 の配線パターン 172 を屈曲させて形成されている。外部端子 180 には、第 1 の実施の形態で説明した屈曲部 16 の内容を適用することができる。これ以外の点については、図 10 では、図 1 に示す半導体装置を上下逆に示してある。

その他の点で、本実施の形態には、第 1 の実施の形態及びその変形例で説明した内容を適用することができる。本実施の形態でも、第 1 の実施の形態で説明した効果を達成することができる。

(第 5 の実施の形態)

図 11 は、本発明を適用した第 5 の実施の形態に係る半導体装置を説明する図である。本実施の形態に係る半導体装置は、第 1 及び第 2 の基板 10、20 のうちの一方(図 11 では第 1 の基板 10)に半導体チップ 30 が実装されていない点で、第 1 の実施の形態で説明した半導体装置と異なる。

この場合、第 1 の基板 10 に形成された第 1 の配線パターン 12 (あるいは変形例として第 2 の基板 20 に形成された第 2 の配線パターン 22)によって、多層配線と同様の構造が得られる。これにより、高価なジャンパー構造を有する多層基板や、ビルドアップ基板を使用する必要がなくなる。本実施の形態の内容は、他の実施の形態にも適用することができる。本実施の形態でも、第 1 の実施の形態で説明した効果を達成することができる。

(第 6 の実施の形態)

図 12 は、本発明を適用した第 6 の実施の形態に係る半導体装置を説明する図である。

本実施の形態では、第 1 の基板 210 は、間隔をあけて略同一平面上に配置された複数の基板 202、204 と、第 1 の配線パターン 212 とを有する。第 1 の配線パターン 212 のうち、基板 202、204 の間に掛け渡された部分(配線リード)の一部が変形して屈曲部 216 が形成されている。

第 2 の基板 220 は、間隔をあけて略同一平面上に配置された複数の基板 206、208 と、第 2 の配線パターン 222 とを有する。第 2 の配線パターン 222 の一部、例えば基板 206、208 の間に掛け渡された部分(配線リード)の少なくとも一部が平坦部 226 である。そして、屈曲部 216 と平坦部 226 とが接合されている。本実施の形態によれば、基板 202、204 又は基板 206、208 を接続する配線リードを、積層された第 1 及び第 2 の基板 210、220 間の電気的な接続に利用することができる。

その他の点で、本実施の形態には、上述した実施の形態及びその変形例で説明した内容を適用することができる。本実施の形態でも、第 1 の実施の形態で説明した効果を達成することができる。

(第 7 の実施の形態)

図 13 は、本発明を適用した第 7 の実施の形態に係る半導体装置を説明する図である。

本実施の形態では、ポリイミド樹脂など柔軟な材料で形成された第 1 及び第 2 の基板 230、240 が屈曲して配置されている。第 1 の基板 230 に形成された貫通穴 234 から第 1 の配線パターン 232 の一部が貫通して屈曲部 236 が形成されている。屈曲部 236 は、第 2 の配線パターン 242 における貫通穴 244 から露出する部分(平坦部 246)に接合されている。

その他の点で、本実施の形態には、上述した実施の形態及びその変形例で説明した内容を適用することができる。本実施の形態でも、第 1 の実施の形態で説明した効果を達成することができる。

10

20

30

40

50

(第8の実施の形態)

図14は、本発明を適用した第8の実施の形態に係る半導体装置を説明する図である。本実施の形態に係る半導体装置は、3つの基板250、260、270を有しているが、3つを超える基板を有していてもよい。3つを超える基板を有する場合、3つの基板とは、3つを超える基板のうち任意の3つの基板をいうが、間を飛ばさずに並んだ3つの基板であってもよい。

3つの基板250、260、270のうち、中央の基板260は、第1の基板であって、両面のそれぞれから突出して屈曲部266が形成されている。基板260及び屈曲部266については、上述した実施の形態及びその変形例で説明した第1の基板及び屈曲部の内容が該当する。

3つの基板250、260、270のうち、両側の基板250、270は、第2の基板であって、平坦部256、276が形成されている。基板250、270及び平坦部256、276については、上述した実施の形態及びその変形例で説明した第2の基板及び平坦部の内容が該当する。

その他の点で、本実施の形態には、上述した実施の形態及びその変形例で説明した内容を適用することができる。本実施の形態でも、第1の実施の形態で説明した効果を達成することができる。

なお、本実施の形態に係る半導体装置の製造方法では、3つ以上の基板250、260、270を全て重ねてから、全ての屈曲部266と全ての平坦部256、276とを同時に接合してもよい。こうすることで、工程を短縮することができる。

(第9の実施の形態)

図15は、本発明を適用した第9の実施の形態に係る半導体装置を説明する図である。本実施の形態に係る半導体装置は、3つの基板310、320、330を有しているが、3つを超える基板を有していてもよい。3つを超える基板を有する場合、3つの基板とは、3つを超える基板のうち任意の3つの基板をいうが、間を飛ばさずに並んだ3つの基板であってもよい。

3つの基板310、320、330のうち、両側の基板310、330は、第1の基板であって屈曲部316、336が形成されている。基板310、330及び屈曲部316、336については、上述した実施の形態及びその変形例で説明した第1の基板及び屈曲部の内容が該当する。

3つの基板310、320、330のうち、中央の基板320は、第2の基板であって、複数の平坦部326が形成されている。それぞれの平坦部326は、屈曲部316、336のいずれかが接合される。基板320及び平坦部326については、上述した実施の形態及びその変形例で説明した第2の基板及び平坦部の内容が該当する。

その他の点で、本実施の形態には、上述した実施の形態及びその変形例で説明した内容を適用することができる。本実施の形態でも、第1の実施の形態で説明した効果を達成することができる。

なお、本実施の形態に係る半導体装置の製造方法では、3つ以上の基板310、320、330を全て重ねてから、全ての屈曲部316、336と全ての平坦部326とを同時に接合してもよい。

これによれば、2つの以上の基板310、330に形成された屈曲部316、336と、平坦部326とを一括して接合することができ、工程を短縮することができる。

(第10の実施の形態)

図16は、本発明を適用した第10の実施の形態に係る半導体装置を説明する図である。本実施の形態に係る半導体装置は、3つの基板340、350、360を有しているが、3つを超える基板を有していてもよい。

外側に位置する2つの基板340、360の一方(図16の例では基板360)は、第1の基板であって、屈曲部366が形成されている。外側に位置する2つの基板340、360の他方(図16の例では基板340)は、第2の基板であって、平坦部346が形成されている。

内側に位置する少なくとも1つの基板(図16の例では基板350)は、屈曲部356及び平坦部357を有する。基板350は、両隣の基板340、360のうち一方の基板(図16の例では基板340)に対して第1の基板である。基板350は、両隣の基板340、360のうち他方の基板(図16の例では基板360)に対して第2の基板である。これによれば、基板350は、第1及び第2の基板としての機能を兼ねる構成になっている。

なお、基板340、350、360、屈曲部356、366、平坦部346、357については、上述した実施の形態及びその変形例で説明した第1及び第2の基板、屈曲部並びに平坦部の内容が該当する。

その他の点で、本実施の形態には、上述した実施の形態及びその変形例で説明した内容を適用することができる。本実施の形態でも、第1の実施の形態で説明した効果を達成することができる。

なお、本実施の形態に係る半導体装置の製造方法では、3つ以上の基板340、350、360を全て重ねてから、全ての屈曲部356、366と全ての平坦部346、357とを同時に接合してもよい。

これによれば、2つの以上の基板350、360に形成された屈曲部356、366と、平坦部346、357とを一括して接合することができ、工程を短縮することができる。

(その他の実施の形態)

図17には、上述した実施の形態に係る方法によって製造された半導体装置1を実装した回路基板1000が示されている。回路基板1000には、例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板1000には、例えば銅からなる配線パターンが所望の回路となるように形成されている。そして、配線パターンと半導体装置1の外部端子とを機械的に接続することでそれらの電氣的導通が図られる。そして、半導体装置1又は回路基板1000を備える電子機器として、図18にはノート型パーソナルコンピュータ2000が示され、図19には携帯電話3000が示されている。

なお、本実施の形態で使用した半導体チップの代わりに電子素子(能動素子か受動素子かを問わない)を、第1又は第2の基板に実装して電子部品を製造することができる。このような電子素子を使用して製造される電子部品として、例えば、光素子、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ポリウム又はヒューズなどがある。

さらに、半導体チップに加えて、上述した電子素子を第1又は第2の基板に混載実装して、実装モジュールを構成してもよい。

【図面の簡単な説明】

図1は、本発明を適用した第1の実施の形態に係る半導体装置を示す図であり、

図2は、本発明を適用した第1の実施の形態に係る半導体装置の第1の基板を示す図であり、

図3は、第1の実施の形態の変形例を示す図であり、

図4は、第1の実施の形態の変形例を示す図であり、

図5は、本発明を適用した第1の実施の形態に係る半導体装置の製造方法を示す図であり、

図6は、本発明を適用した第1の実施の形態に係る半導体装置の製造方法を示す図であり、

図7は、第1の実施の形態の変形例に係る半導体装置の製造方法を示す図であり、

図8は、本発明を適用した第2の実施の形態に係る半導体装置を示す図であり、

図9は、本発明を適用した第3の実施の形態に係る半導体装置を示す図であり、

図10は、本発明を適用した第4の実施の形態に係る半導体装置を示す図であり、

図11は、本発明を適用した第5の実施の形態に係る半導体装置を示す図であり、

図12は、本発明を適用した第6の実施の形態に係る半導体装置を示す図であり、

図13は、本発明を適用した第7の実施の形態に係る半導体装置を示す図であり、

図14は、本発明を適用した第8の実施の形態に係る半導体装置を示す図であり、

10

20

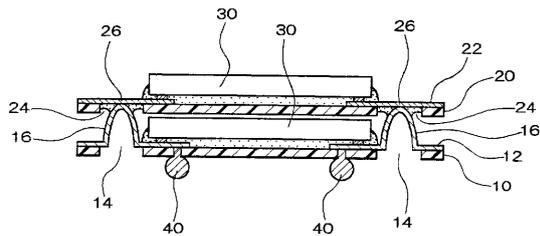
30

40

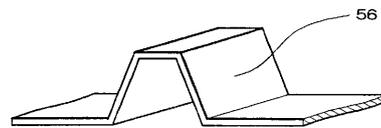
50

図 1 5 は、本発明を適用した第 9 の実施の形態に係る半導体装置を示す図であり、
図 1 6 は、本発明を適用した第 1 0 の実施の形態に係る半導体装置を示す図であり、
図 1 7 は、本発明を適用した実施の形態に係る回路基板を示す図であり、
図 1 8 は、本発明を適用した実施の形態に係る電子機器を示す図であり、
図 1 9 は、本発明を適用した実施の形態に係る電子機器を示す図である。

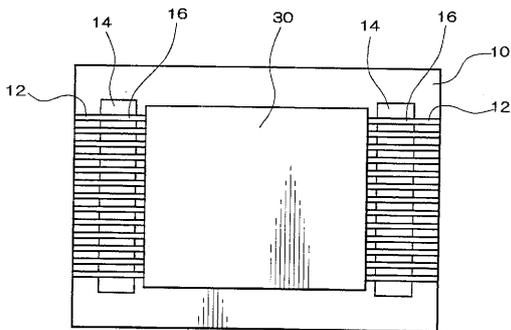
【 図 1 】
FIG. 1



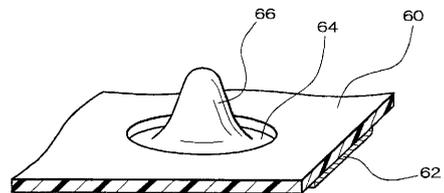
【 図 3 】
FIG. 3



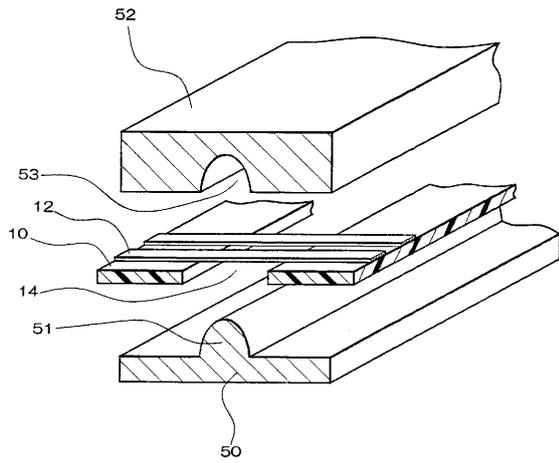
【 図 2 】
FIG. 2



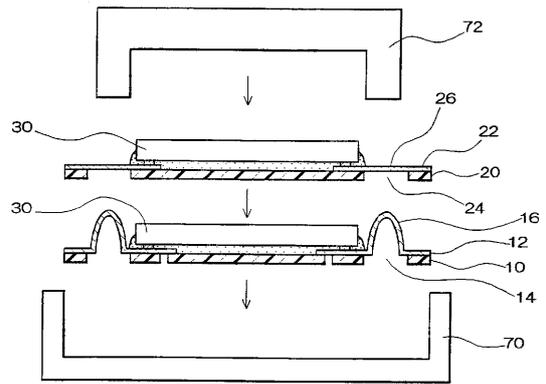
【 図 4 】
FIG. 4



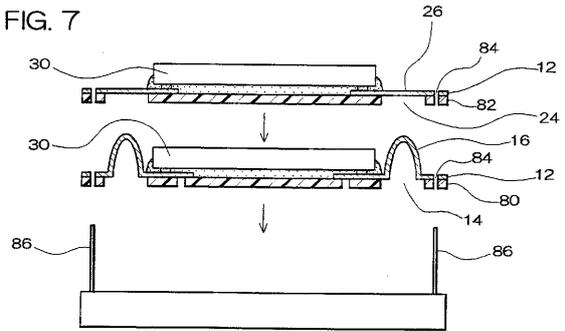
【 図 5 】
FIG. 5



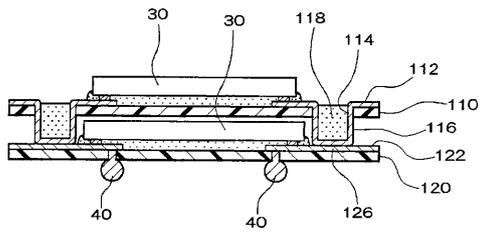
【 図 6 】
FIG. 6



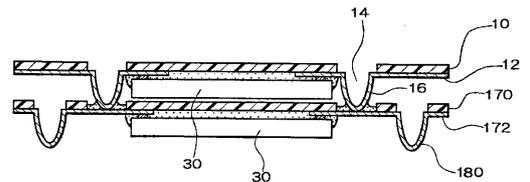
【 図 7 】
FIG. 7



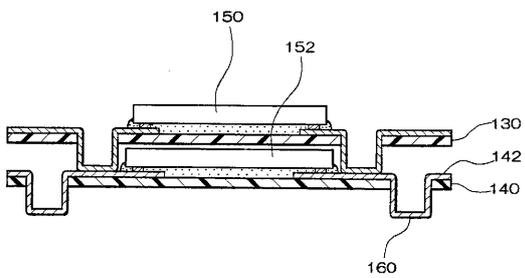
【 図 8 】
FIG. 8



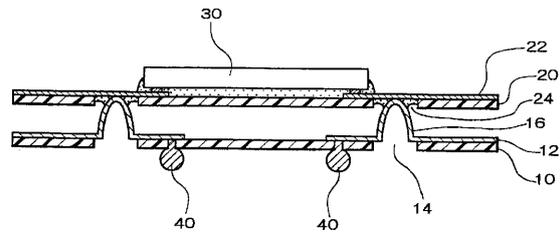
【 図 10 】
FIG. 10



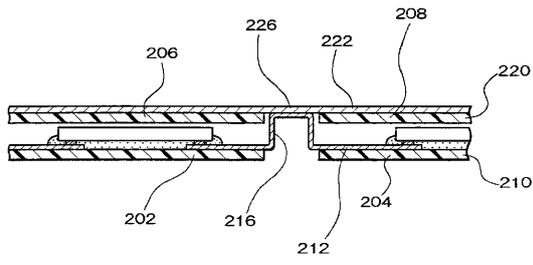
【 図 9 】
FIG. 9



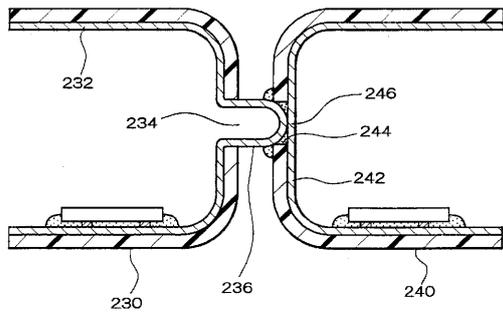
【 図 11 】
FIG. 11



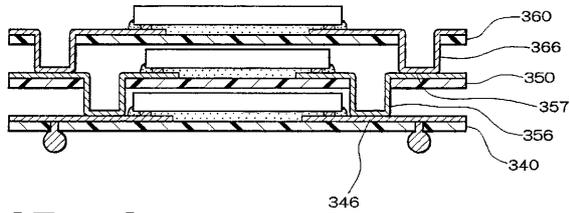
【 1 2 】
FIG. 12



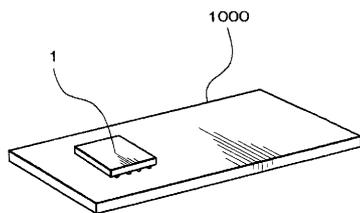
【 1 3 】
FIG. 13



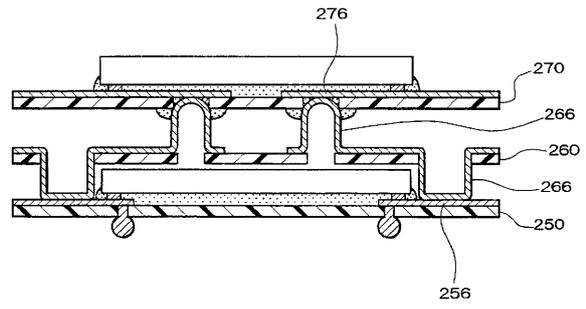
【 1 6 】
FIG. 16



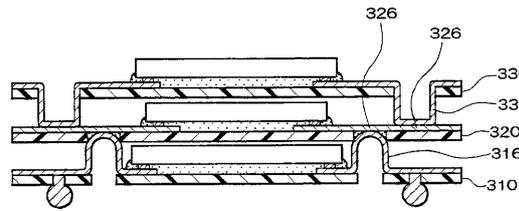
【 1 7 】
FIG. 17



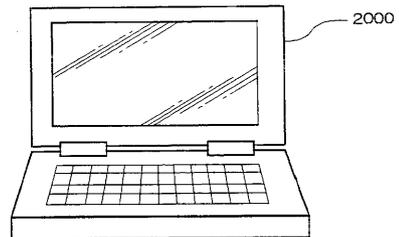
【 1 4 】
FIG. 14



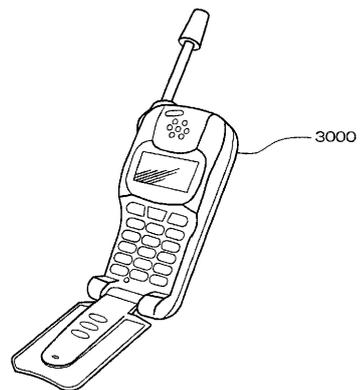
【 1 5 】
FIG. 15



【 1 8 】
FIG. 18



【 1 9 】
FIG. 19



フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

H01L 23/52

H01L 25/10

H01L 25/18