



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년08월31일
(11) 등록번호 10-2439023
(24) 등록일자 2022년08월29일

- (51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) G02F 1/1333 (2006.01)
G02F 1/1335 (2019.01) G02F 1/1339 (2019.01)
G02F 1/1362 (2006.01) G02F 1/1368 (2006.01)
H01L 27/12 (2006.01) H01L 51/00 (2006.01)
- (52) CPC특허분류
H01L 51/5253 (2013.01)
G02F 1/133345 (2013.01)
- (21) 출원번호 10-2017-7013837
- (22) 출원일자(국제) 2015년10월15일
심사청구일자 2020년10월15일
- (85) 번역문제출일자 2017년05월22일
- (65) 공개번호 10-2017-0074950
- (43) 공개일자 2017년06월30일
- (86) 국제출원번호 PCT/IB2015/057902
- (87) 국제공개번호 WO 2016/067144
국제공개일자 2016년05월06일
- (30) 우선권주장
JP-P-2014-219635 2014년10월28일 일본(JP)
- (56) 선행기술조사문헌
US04357557 A
US04640583 A
US20020024096 A1
US20080203904 A1

- (73) 특허권자
가부시킴가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
야마자키 슌페이
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시킴가이샤 한도오따이 에네루기 켄큐쇼 내
히라카타 요시하루
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시킴가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
- (74) 대리인
황의만

전체 청구항 수 : 총 18 항

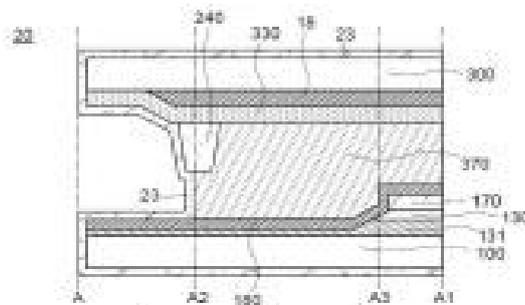
심사관 : 이석형

(54) 발명의 명칭 표시 장치, 표시 장치의 제작 방법, 및 전자 기기

(57) 요약

본 발명은 주변 회로부가 높은 동작 안정성을 갖는 표시 장치를 제공한다. 표시 장치는 제 1 기판과 제 2 기판을 포함한다. 제 1 절연층은 제 1 기판의 제 1 표면 위에 제공된다. 제 2 절연층은 제 2 기판의 제 1 표면 위에 제공된다. 제 1 기판의 제 1 표면 및 제 2 기판의 제 1 표면은 서로 대향한다. 접착층은 제 1 절연층과 제 2 절연층 사이에 제공된다. 제 1 기판, 제 1 절연층, 접착층, 제 2 절연층, 및 제 2 기판에 접촉되는 보호막은 제 1 기판과 제 2 기판의 주연부 근방에 형성된다.

대표도



(52) CPC특허분류

G02F 1/133512 (2013.01)
G02F 1/1339 (2019.01)
G02F 1/136213 (2013.01)
G02F 1/1368 (2013.01)
H01L 27/1255 (2013.01)
H01L 27/1262 (2013.01)
H01L 51/0024 (2013.01)
H01L 51/5246 (2013.01)
H01L 51/525 (2013.01)

(72) 발명자

하마다 타카시

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

요코야마 코헤이

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

진보 야스히로

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

이시타니 테츠지

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

쿠보타 다이ске

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

표시 장치에 있어서,
 제 1 기관; 및
 제 2 기관을 포함하고,
 상기 제 1 기관의 제 1 표면에 제 1 절연층이 제공되고,
 상기 제 2 기관의 제 1 표면에 제 2 절연층이 제공되고,
 상기 제 1 기관의 상기 제 1 표면 및 상기 제 2 기관의 상기 제 1 표면은 서로 대향하고,
 상기 제 1 기관은 상기 제 1 표면의 반대의 제 2 표면을 갖고,
 상기 제 2 기관은 상기 제 1 표면의 반대의 제 2 표면을 갖고,
 접착층이 상기 제 1 절연층과 상기 제 2 절연층 사이에 배치되고,
 상기 제 1 기관과 상기 제 2 기관의 주연부 근방에서, 보호막이 상기 제 1 기관의 상기 제 1 표면, 측면, 및 상기 제 2 표면, 상기 접착층의 측면, 및 상기 제 2 기관의 상기 제 1 표면을 덮고, 상기 제 2 기관의 측면을 덮지 않는, 표시 장치.

청구항 2

표시 장치에 있어서,
 제 1 기관; 및
 제 2 기관을 포함하고,
 상기 제 1 기관의 제 1 표면 및 상기 제 2 기관의 제 1 표면은 서로 대향하고,
 상기 제 1 기관은 상기 제 1 표면의 반대의 제 2 표면을 갖고,
 상기 제 2 기관은 상기 제 1 표면의 반대의 제 2 표면을 갖고,
 접착층이 상기 제 1 기관과 상기 제 2 기관을 접착하고,
 상기 제 1 기관과 상기 제 2 기관의 주연부 근방에서, 보호막이 상기 제 1 기관의 상기 제 1 표면, 측면, 및 상기 제 2 표면, 상기 접착층의 측면, 및 상기 제 2 기관의 상기 제 1 표면을 덮고, 상기 제 2 기관의 측면을 덮지 않는, 표시 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,
 상기 보호막은 상기 제 1 기관의 상기 측면과 접촉되고 상기 제 2 기관의 상기 측면과 접촉되지 않는, 표시 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,
 트랜지스터, 용량 소자, 표시 소자, 차광층, 착색층, 및 스페이서는 상기 제 1 기관의 상기 제 1 표면과 상기 제 2 기관의 상기 제 1 표면 사이에 있는, 표시 장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 보호막은 산소, 질소, 및 금속 중 어느 하나를 포함하는, 표시 장치.

청구항 6

제 5 항에 있어서,

상기 보호막은 산화 알루미늄, 산화 하프늄, 산화 지르코늄, 산화 타이타늄, 산화 이연, 산화 인듐, 산화 주석, 산화 주석 인듐, 산화 탄탈럼, 산화 실리콘, 산화 망가니즈, 산화 니켈, 산화 어븀, 산화 코발트, 산화 텔루륨, 타이타늄산 바륨, 질화 타이타늄, 질화 탄탈럼, 질화 알루미늄, 질화 텅스텐, 질화 코발트, 질화 망가니즈, 질화 하프늄, 루테튬, 백금, 니켈, 코발트, 망가니즈, 및 구리로 이루어진 그룹에서 선택된 하나를 포함하는, 표시 장치.

청구항 7

제 2 항에 있어서,

상기 보호막은 상기 제 2 기관의 상기 제 2 표면에 접촉되지 않는, 표시 장치.

청구항 8

제 4 항에 있어서,

상기 표시 소자는 액정 소자인, 표시 장치.

청구항 9

제 4 항에 있어서,

상기 표시 소자는 유기 EL 소자인, 표시 장치.

청구항 10

전자 기기에 있어서,

제 1 항 또는 제 2 항에 따른 표시 장치; 및

마이크로폰 또는 스피커를 포함하는, 전자 기기.

청구항 11

표시 장치의 제작 방법에 있어서,

제 1 기관의 제 1 표면 위에 트랜지스터, 용량 소자, 화소 전극, 및 제 1 절연층을 형성하는 단계;

제 2 기관의 제 1 표면 위에 차광층, 착색층, 절연층, 스페이서, 및 제 2 절연층을 형성하는 단계;

접착층으로 상기 제 1 기관과 상기 제 2 기관을 접착하여 상기 트랜지스터, 상기 용량 소자, 및 액정을 밀봉하는 단계;

상기 제 1 기관과 상기 제 2 기관을 접착한 후에 상기 제 2 기관에 제 1 절단 처리를 수행함으로써 홈부를 형성하는 단계; 및

상기 홈부를 형성한 후에 상기 제 1 기관과 상기 제 2 기관의 주연부 근방에 보호막을 형성하는 단계를 포함하고, 상기 보호막은 상기 홈부의 근방에서 상기 제 1 기관, 상기 제 1 절연층, 상기 접착층, 상기 제 2 절연층, 및 상기 제 2 기관에 접촉되는, 표시 장치의 제작 방법.

청구항 12

표시 장치의 제작 방법에 있어서,

제 1 기관의 제 1 표면 위에 트랜지스터 및 제 1 절연층을 형성하는 단계;

상기 제 1 기관의 상기 제 1 표면과 제 2 기관의 제 1 표면이 서로 대향하는 식으로, 접착층으로 상기 제 1 기

판과 상기 제 2 기판을 접착하는 단계;

상기 제 1 기판과 상기 제 2 기판을 접착한 후에 상기 제 2 기판에 제 1 절단 처리를 수행함으로써 홈부를 형성하는 단계; 및

상기 홈부를 형성한 후에 상기 제 1 기판과 상기 제 2 기판의 주연부 근방에 보호막을 형성하는 단계를 포함하고, 상기 보호막은 상기 홈부의 근방에서 상기 제 1 기판, 상기 접착층 및 상기 제 2 기판에 접촉되는, 표시 장치의 제작 방법.

청구항 13

표시 장치의 제작 방법에 있어서,

제 1 기판의 제 1 표면 위에 트랜지스터, 용량 소자, 화소 전극, 및 제 1 절연층을 형성하는 단계;

제 2 기판의 제 1 표면 위에 차광층, 착색층, 절연층, 스페이서, 및 제 2 절연층을 형성하는 단계;

접착층으로 상기 제 1 기판과 상기 제 2 기판을 접착하여 상기 트랜지스터, 상기 용량 소자, 및 표시 소자를 밀봉하는 단계;

상기 제 2 기판에 제 1 절단 처리를 수행함으로써 홈부를 형성하는 단계;

상기 홈부, 상기 제 1 기판, 및 상기 제 2 기판의 주연부 근방에, 상기 제 1 기판, 상기 제 1 절연층, 상기 접착층, 상기 제 2 절연층, 및 상기 제 2 기판에 접촉되는 보호막을 형성하는 단계; 및

상기 제 1 기판에 제 2 절단 처리를 수행함으로써 복수의 표시 장치를 제작하는 단계를 포함하는, 표시 장치의 제작 방법.

청구항 14

표시 장치의 제작 방법에 있어서,

제 1 기판의 제 1 표면 위에 트랜지스터를 형성하는 단계;

상기 제 1 기판의 상기 제 1 표면과 제 2 기판의 제 1 표면이 서로 대향하도록, 접착층으로 상기 제 1 기판과 상기 제 2 기판을 접착하여 상기 트랜지스터를 밀봉하는 단계;

상기 제 2 기판에 제 1 절단 처리를 수행함으로써 홈부를 형성하는 단계;

상기 홈부에서 상기 제 2 기판, 상기 접착층, 및 상기 제 1 기판의 상기 제 1 표면에 접촉되는 보호막을 형성하는 단계; 및

상기 제 1 기판에 제 2 절단 처리를 수행함으로써 복수의 표시 장치를 제작하는 단계를 포함하는, 표시 장치의 제작 방법.

청구항 15

제 11 항 내지 제 14 항 중 어느 한 항에 있어서,

상기 보호막은 상기 제 1 기판의 상기 제 1 표면 및 상기 제 1 기판의 제 2 표면에 접촉되고,

상기 제 1 기판의 상기 제 2 표면은 상기 제 1 기판의 상기 제 1 표면의 반대의 표면인, 표시 장치의 제작 방법.

청구항 16

제 11 항 내지 제 14 항 중 어느 한 항에 있어서,

상기 보호막은 ALD법으로 형성되는, 표시 장치의 제작 방법.

청구항 17

제 11 항 내지 제 14 항 중 어느 한 항에 있어서,

상기 보호막은 산화 알루미늄, 산화 하프늄, 산화 지르코늄, 산화 타이타늄, 산화 아연, 산화 인듐, 산화 주석,

산화 주석 인듐, 산화 탄탈럼, 산화 실리콘, 산화 망가니즈, 산화 니켈, 산화 어븀, 산화 코발트, 산화 텔루륨, 타이타늄산 바륨, 질화 타이타늄, 질화 탄탈럼, 질화 알루미늄, 질화 텅스텐, 질화 코발트, 질화 망가니즈, 질화 하프늄, 루테튬, 백금, 니켈, 코발트, 망가니즈, 및 구리로 이루어진 그룹에서 선택된 하나를 포함하는, 표시 장치의 제작 방법.

청구항 18

제 11 항 내지 제 14 항 중 어느 한 항에 있어서,
 상기 보호막은 상기 제 2 기관의 제 2 표면에 접촉되고,
 상기 제 2 기관의 상기 제 2 표면은 상기 제 2 기관의 상기 제 1 표면의 반대의 표면인, 표시 장치의 제작 방법.

청구항 19

삭제

발명의 설명

기술 분야

- [0001] 본 발명의 일 형태는 표시 장치 및 표시 장치의 제작 방법에 관한 것이다.
- [0002] 또한, 본 발명의 일 형태는 상술한 기술 분야에 한정되지 않는다. 본 명세서 등에 기재된 발명의 기술 분야는 물건, 방법, 또는 제작 방법에 관한 것이다. 또는, 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 구체적으로, 본 명세서에 기재된 본 발명의 일 형태의 기술분야의 예로서 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 입력 장치, 입출력 장치, 이들 중 어느 것의 구동 방법, 및 이들 중 어느 것의 제조 방법을 포함한다.
- [0003] 본 명세서 등에서, 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치를 일반적으로 뜻한다. 트랜지스터 등의 반도체 소자, 반도체 회로, 연산 장치, 및 기억 장치는 각각 반도체 장치의 일 형태이다. 촬상 장치, 표시 장치, 액정 표시 장치, 발광 장치, 전기 광학 장치, 발전 장치(박막 태양 전지 및 유기 박막 태양 전지 등을 포함함), 및 전자 기기는 각각 반도체 장치를 포함할 수 있다.

배경 기술

- [0004] 박막 트랜지스터를 포함하는 디스플레이는 널리 보급되면서 생활에 필수적이 되고 있다. 또한, 이들 디스플레이는 휴대용으로서의 중요성이 아주 높으며 휴대용 단말로서 필수적인 것이 되고 있다.
- [0005] 또한, 동일 기관 내에 표시 영역(화소부)과 주변 회로(구동부)가 제공된 표시 장치가 널리 사용되고 있다. 예를 들어, 특허문헌 1에는 표시 영역 및 주변 회로에서 산화물 반도체 트랜지스터를 사용한 기술에 대하여 기재되어 있다. 표시 영역과 주변 회로를 동시에 형성함으로써, 제조 비용을 줄일 수 있다.

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 일본 공개 특허 출원 제2007-123861호

발명의 내용

해결하려는 과제

- [0007] 표시 장치는 시인자가 보는 측(표시면 측)에 가능한 한 큰 표시 영역을 갖는 것이 요구된다.
- [0008] 또한, 표시면 측에서, 프레임 부분을 좁게 하는 것이 크게 요구된다.
- [0009] 그러나, 표시 영역이 커지고 프레임 부분이 좁아지는 경우, 표시 영역 외측에 제공되는 구동 회로가 표

시 영역의 더 외측에 위치함으로써, 주변 회로의 트랜지스터 특성의 신뢰성이 저감되고 회로 동작이 불안정하게 될 수 있다.

- [0010] 본 발명의 일 형태의 목적은 주변 회로부가 높은 동작 안정성을 갖는 표시 장치를 제공하는 것이다.
- [0011] 본 발명의 일 형태의 또 다른 목적은 프레임이 좁은 표시 장치를 제공하는 것이다.
- [0012] 본 발명의 일 형태의 또 다른 목적은 경량의 표시 장치를 제공하는 것이다.
- [0013] 본 발명의 일 형태의 또 다른 목적은 고화질의 표시 장치를 제공하는 것이다.
- [0014] 본 발명의 일 형태의 또 다른 목적은 신뢰성이 높은 표시 장치를 제공하는 것이다.
- [0015] 본 발명의 일 형태의 또 다른 목적은 면적이 큰 표시 장치를 제공하는 것이다.
- [0016] 본 발명의 일 형태의 또 다른 목적은 저소비전력의 표시 장치를 제공하는 것이다.
- [0017] 본 발명의 일 형태의 또 다른 목적은 신규 표시 장치 등을 제공하는 것이다.
- [0018] 본 발명의 일 형태의 또 다른 목적은 표시 장치를 제작하는 방법을 제공하는 것이다.
- [0019] 또한, 이들 목적의 기제는 다른 목적의 존재를 방해하지 않는다. 본 발명의 일 형태에서는, 이들 목적 모두를 반드시 달성할 필요는 없다. 다른 목적은 명세서, 도면, 및 청구항 등의 기재로부터 명백해질 것이고, 명세서, 도면, 및 청구항 등의 기재로부터 추출될 수 있다.

과제의 해결 수단

- [0020] 본 발명의 일 형태는 제 1 기판과 제 2 기판을 포함하는 표시 장치이다. 제 1 절연층은 제 1 기판의 제 1 표면 위에 제공된다. 제 2 절연층은 제 2 기판의 제 1 표면 위에 제공된다. 제 1 기판의 제 1 표면 및 제 2 기판의 제 1 표면은 서로 대향한다. 접착층은 제 1 절연층과 제 2 절연층 사이에 제공된다. 제 1 기판, 제 1 절연층, 접착층, 제 2 절연층, 및 제 2 기판에 접촉되는 보호막은 제 1 기판과 제 2 기판의 주연부(周緣部) 근방에 형성된다.
- [0021] 또한, 트랜지스터, 용량 소자, 표시 소자, 차광층, 착색층, 및 스페이서가 제 1 기판의 제 1 표면과 제 2 기판의 제 1 표면 사이에 제공될 수 있다.
- [0022] 또한, 보호막은 산화물, 질화물, 또는 금속을 포함할 수 있다.
- [0023] 또한, 보호막에는, 산화 알루미늄, 산화 하프늄, 산화 지르코늄, 산화 타이타늄, 산화 아연, 산화 인듐, 산화 주석, 산화 주석 인듐, 산화 탄탈륨, 산화 실리콘, 산화 망가니즈, 산화 니켈, 산화 어븀, 산화 코발트, 산화 텔루륨, 타이타늄산 바륨, 질화 타이타늄, 질화 탄탈륨, 질화 알루미늄, 질화 텅스텐, 질화 코발트, 질화 망가니즈, 질화 하프늄, 루테튬, 백금, 니켈, 코발트, 망가니즈, 또는 구리를 사용할 수 있다.
- [0024] 표시 장치에 있어서, 액정 소자를 포함할 수 있다.
- [0025] 표시 장치에 있어서, 유기 EL 소자를 포함할 수 있다.
- [0026] 또한, 표시 장치, 마이크론, 및 스피커가 포함되는 구조를 채용할 수 있다.
- [0027] 본 발명의 일 형태는 제 1 기판의 제 1 표면 위에 트랜지스터, 용량 소자, 화소 전극, 및 제 1 절연층을 형성하는 단계, 제 2 기판의 제 1 표면 위에 차광층, 착색층, 절연층, 스페이서, 및 제 2 절연층을 형성하는 단계, 트랜지스터, 용량 소자, 및 액정을 밀봉하도록 접착층으로 제 1 기판과 제 2 기판을 접착하는 단계, 및 제 1 기판과 제 2 기판의 주연부 근방에 제 1 기판, 제 1 절연층, 접착층, 제 2 절연층, 및 제 2 기판에 접촉되는 보호막을 제공하는 단계를 포함하는 표시 장치의 제작 방법이다.
- [0028] 본 발명의 일 형태는 제 1 기판의 제 1 표면 위에 트랜지스터, 용량 소자, 화소 전극, 및 제 1 절연층을 형성하는 단계, 제 2 기판의 제 1 표면 위에 차광층, 착색층, 절연층, 스페이서, 및 제 2 절연층을 형성하는 단계, 트랜지스터, 용량 소자, 및 표시 소자를 밀봉하도록 접착층으로 제 1 기판과 제 2 기판을 접착하는 단계, 제 2 기판에 제 1 절단 처리를 수행함으로써 홈부를 형성하는 단계, 홈부, 제 1 기판, 및 제 2 기판의 주연부 근방에 제 1 기판, 제 1 절연층, 접착층, 제 2 절연층, 및 제 2 기판에 접촉되는 보호막을 형성하는 단계, 및 제 1 기판에 제 2 절단 처리를 수행함으로써 복수의 표시 장치를 제작하는 단계를 포함하는 표시 장치의 제작 방법이다.

[0029] 보호막은 ALD법으로 형성될 수 있다.

[0030] 또한, ALD법으로, 보호막은 산화 알루미늄, 산화 hafnium, 산화 zirconium, 산화 titanium, 산화 아연, 산화 indium, 산화 zinc, 산화 zinc indium, 산화 tantalum, 산화 silicon, 산화 magnesium, 산화 nickel, 산화 erbium, 산화 cobalt, 산화 tellurium, titanium 산화물, 질화 titanium, 질화 tantalum, 질화 aluminum, 질화 tungsten, 질화 cobalt, 질화 magnesium, 질화 hafnium, ruthenium, 백금, nickel, cobalt, magnesium, 또는 구리를 사용하여 형성될 수 있다.

[0031] 또한, 본 발명의 다른 일 형태는 이하에서 실시형태 및 도면의 기재에 나타내어진다.

발명의 효과

[0032] 본 발명의 일 형태는 주변 회로부의 동작 안정성이 높은 표시 장치를 제공할 수 있다.

[0033] 본 발명의 또 다른 일 형태는 프레임이 좁은 표시 장치를 제공할 수 있다.

[0034] 본 발명의 또 다른 일 형태는 경량의 표시 장치를 제공할 수 있다.

[0035] 본 발명의 또 다른 일 형태는 고화질의 표시 장치를 제공할 수 있다.

[0036] 본 발명의 또 다른 일 형태는 신뢰성이 높은 표시 장치를 제공할 수 있다.

[0037] 본 발명의 또 다른 일 형태는 면적이 큰 표시 장치를 제공할 수 있다.

[0038] 본 발명의 또 다른 일 형태는 소비전력이 낮은 표시 장치를 제공할 수 있다.

[0039] 본 발명의 또 다른 일 형태는 신규 표시 장치 등을 제공할 수 있다.

[0040] 또는, 표시 장치의 제작 방법을 제공할 수 있다.

[0041] 또한, 이들 효과의 기재는 다른 효과의 존재를 방해하지 않는다. 본 발명의 일 형태는 상술한 모든 효과를 반드시 달성할 필요는 없다. 다른 효과는 명세서, 도면, 및 청구항 등의 기재로부터 명백해질 것이고, 명세서, 도면, 및 청구항 등의 기재로부터 추출될 수 있다.

도면의 간단한 설명

[0042] 첨부 도면에 있어서:

도 1의 (A) 내지 (C)는 본 발명의 일 형태의 표시 장치를 도시한 상면도 및 단면도.

도 2의 (A) 및 (B)는 각각 본 발명의 일 형태의 표시 장치를 도시한 단면도.

도 3의 (A) 내지 (C)는 본 발명의 일 형태의 표시 장치의 제작 방법을 도시한 단면도.

도 4의 (A) 내지 (D)는 본 발명의 일 형태의 표시 장치의 제작 방법을 도시한 단면도.

도 5의 (A) 내지 (D)는 막 형성 원칙을 도시한 단면 모식도.

도 6의 (A) 및 (B)는 퇴적 장치의 단면 모식도 및 퇴적 장치에 상당하는 하나의 체임버를 포함하는 제조 장치의 상면 모식도.

도 7의 (A) 및 (B)는 퇴적 장치의 단면 모식도.

도 8의 (A) 및 (B)는 본 발명의 일 형태의 표시 장치를 도시한 상면도 및 단면도.

도 9는 본 발명의 일 형태의 표시 장치를 도시한 단면도.

도 10은 본 발명의 일 형태의 표시 장치를 도시한 단면도.

도 11은 본 발명의 일 형태의 표시 장치를 도시한 단면도.

도 12는 본 발명의 일 형태의 표시 장치를 도시한 단면도.

도 13은 본 발명의 일 형태의 표시 장치를 도시한 단면도.

도 14는 본 발명의 일 형태의 표시 장치를 도시한 단면도.

- 도 15는 본 발명의 일 형태의 표시 장치를 도시한 단면도.
- 도 16의 (A) 내지 (D)는 본 발명의 일 형태의 입력 장치를 도시한 상면도.
- 도 17의 (A) 내지 (D)는 본 발명의 일 형태의 입력 장치를 도시한 상면도.
- 도 18의 (A) 내지 (C)는 본 발명의 일 형태의 입력 장치를 도시한 상면도.
- 도 19의 (A) 내지 (F)는 본 발명의 일 형태의 입력 장치를 도시한 상면도.
- 도 20의 (A) 및 (B)는 본 발명의 일 형태의 입력 장치를 도시한 회로도.
- 도 21의 (A) 및 (B)는 본 발명의 일 형태의 입력 장치를 도시한 회로도.
- 도 22는 본 발명의 일 형태의 표시 장치를 도시한 단면도.
- 도 23은 본 발명의 일 형태의 표시 장치를 도시한 단면도.
- 도 24는 본 발명의 일 형태의 표시 장치를 도시한 단면도.
- 도 25는 본 발명의 일 형태의 표시 장치를 도시한 상면도.
- 도 26의 (A) 및 (B)는 각각 본 발명의 일 형태의 트랜지스터를 도시한 단면도.
- 도 27의 (A) 및 (B)는 각각 본 발명의 일 형태의 트랜지스터를 도시한 단면도.
- 도 28의 (A) 내지 (C)는 본 발명의 일 형태의 트랜지스터를 도시한 상면도 및 단면도.
- 도 29의 (A) 내지 (C)는 본 발명의 일 형태의 표시 장치를 도시한 상면도 및 회로도.
- 도 30의 (A) 내지 (C)는 CAAC-OS의 단면의 Cs 보정 고분해능 TEM 이미지이고 도 30의 (D)는 CAAC-OS의 단면 모식도.
- 도 31의 (A) 내지 (D)는 CAAC-OS의 평면의 Cs 보정 고분해능 TEM 이미지.
- 도 32의 (A) 내지 (C)는 XRD에 의한 CAAC-OS 및 단결정 산화물 반도체의 구조 분석을 나타낸 것.
- 도 33의 (A) 및 (B)는 각각 CAAC-OS의 전자 회절 패턴을 나타낸 것.
- 도 34는 전자 조사에 의하여 초래된 In-Ga-Zn의 결정부의 변화를 나타낸 것.
- 도 35의 (A) 및 (B)는 CAAC-OS 및 nc-OS의 퇴적 모델을 나타낸 모식도.
- 도 36의 (A) 내지 (C)는 InGaZnO₄ 결정 및 펄릿을 나타낸 것.
- 도 37의 (A) 내지 (D)는 CAAC-OS의 퇴적 모델을 나타낸 모식도.
- 도 38의 (A) 내지 (F)는 본 발명의 일 형태의 전자 기기를 도시한 것.
- 도 39의 (A) 내지 (D)는 본 발명의 일 형태의 전자 기기를 도시한 것.

발명을 실시하기 위한 구체적인 내용

- [0043] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 또한, 본 발명은 아래의 기재에 한정되지 않고, 본 발명의 취지 및 범위에서 벗어남이 없이 다양한 변경 및 수정이 가능하다는 것은 당업자에 의하여 쉽게 이해된다. 따라서, 본 발명은 이하 실시형태의 내용에 한정하여 해석되지 말아야 한다. 또한, 아래에 기재된 발명의 구조에서는, 동일한 부분 또는 비슷한 기능을 갖는 부분을 다른 도면 간에서 동일한 부호로 나타내고, 이러한 부분에 대한 설명은 반복하지 않는다.
- [0044] <도면의 설명에 관한 부기>
- [0045] 본 명세서에 있어서, "위" 및 "아래" 등 배치를 나타내는 말은 구성 요소들의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용되고 있다. 또한, 구성 요소들의 위치 관계는 각 구성 요소를 기재하는 방향에 따라 적절히 달라진다. 따라서, 본 명세서에서 사용된 말에 한정되지 않고, 상황에 따라서 적절히 설명할 수 있다.
- [0046] 또한, "위" 또는 "아래"라는 말은 구성 요소가 다른 구성 요소 바로 위 또는 바로 아래에 위치하며 다

른 구성 요소에 직접 접촉되는 것을 반드시 뜻하는 것은 아니다. 예를 들어, "절연층 A 위의 전극 B"라는 표현은, 전극 B가 절연층 A 위에 있고 절연층 A에 직접 접촉되는 것을 반드시 뜻할 필요는 없고 절연층 A와 전극 B 사이에 다른 구성 요소를 제공하는 경우를 뜻할 수 있다.

[0047] 본 명세서에서 "평행"이란 말은, 2개의 직선 간에서 형성된 각도가 -10° 이상 10° 이하이고, 또한 그 각도가 -5° 이상 5° 이하인 경우도 포함된다. "실질적으로 평행"이란 말은, 2개의 직선 간에서 형성된 각도가 -30° 이상 30° 이하인 것을 나타낸다. "수직"이란 말은, 2개의 직선 간에서 형성된 각도가 80° 이상 100° 이하를 나타내고, 따라서 그 각도가 85° 이상 95° 이하의 경우도 포함된다. "실질적으로 수직"이란 말은 2개의 직선 간에서 형성된 각도가 60° 이상 120° 이하인 것을 나타낸다.

[0048] 본 명세서에 있어서, 삼방정계 및 능면체정(rhombohedral crystal)계는 육방정계에 포함된다.

[0049] 도면에 있어서, 크기, 층의 두께, 또는 영역은 설명의 편의상 임의로 결정된다. 따라서, 크기, 층의 두께, 또는 영역은 도시한 범위에 한정되지 않는다. 또한, 도면은 명확성을 위하여 모식적으로 나타내어지고, 본 발명의 일 형태는 도면에 나타내어진 형상 또는 값에 한정되지 않는다.

[0050] 평면도(레이아웃 도면이라고도 함) 및 사시도 등의 도면에 있어서, 도면의 명확성을 위하여 일부의 구성 요소를 도시하지 않는 경우가 있다.

[0051] <바뀌 말할 수 있는 표현에 관한 부기>

[0052] 본 명세서 등에 있어서 트랜지스터의 접속을 설명함에 있어서, 소스 및 드레인 중 한쪽을 "소스 및 드레인 중 한쪽"(또는 제 1 전극 또는 제 1 단자)이라고 하고, 소스 및 드레인 중 다른 쪽을 "소스 및 드레인 중 다른 쪽"(또는 제 2 전극 또는 제 2 단자)이라고 한다. 이것은, 트랜지스터의 소스와 드레인이 트랜지스터의 구조 또는 동작 조건 등에 따라 바뀌기 때문이다. 또한, 트랜지스터의 소스 또는 드레인은 소스(또는 드레인) 단자 또는 소스(또는 드레인) 전극 등, 상황에 따라 적절히 말할 수도 있다.

[0053] 또한, 본 명세서 등에 있어서 "전극" 또는 "배선" 등의 말은 이들 구성 요소의 기능을 한정하지 않는다. 예를 들어, "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그 반대로 마찬가지이다. 또한, "전극" 또는 "배선"이라는 말은 일체로 형성된 복수의 "전극" 및 "배선"의 조합도 뜻한다.

[0054] 본 명세서 등에서 트랜지스터는 게이트, 드레인, 및 소스의 적어도 3개의 단자를 갖는 소자이다. 트랜지스터는 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널 영역을 갖고, 드레인, 채널 영역, 및 소스를 통하여 전류를 흘릴 수 있다.

[0055] 트랜지스터의 소스와 드레인은 트랜지스터의 구조 및 동작 조건 등에 따라 바뀌기 때문에 어느 쪽이 소스 또는 드레인을 정의하는 것이 어렵다. 따라서, 소스로서 기능하는 부분 또는 부분을 소스 또는 드레인이라고 하지 않는 경우가 있다. 이 경우, 소스 및 드레인 중 한쪽을 제 1 전극이라고 하고 소스 및 드레인 중 다른 쪽을 제 2 전극이라고 한다.

[0056] 본 명세서에서, 제 1, 제 2, 및 제 3 등의 서수는 구성 요소의 혼동을 피하기 위하여 사용되고, 구성 요소의 수를 한정하지 않는다.

[0057] 본 명세서 등에서는 표시 패널의 기관에 FPC(flexible printed circuit) 또는 TCP(tape carrier package) 등이 접착된 구조, 또는 기관에 COG(chip on glass) 방법에 의하여 IC(집적 회로)가 직접 실장된 구조를 표시 장치라고 하는 경우가 있다.

[0058] 또한, "막" 및 "층"은 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어, "도전층"이라는 말은 "도전막"이라는 말로 바꿀 수 있는 경우가 있다. 또한, "절연막"이라는 말을 "절연층"이라는 말로 바꿀 수 있는 경우가 있다.

[0059] <말의 정의에 관한 부기>

[0060] 이하에서는, 상술한 실시형태에서 언급하지 않는 말의 정의에 대하여 설명한다.

[0061] <<접속>>

[0062] 본 명세서에서 "A와 B가 서로 접속된다"라고 설명할 때 A와 B가 서로 직접 접속되는 경우에 더하여, A와 B가 서로 전기적으로 접속되는 경우도 포함된다. 여기서, "A와 B가 전기적으로 접속"이란 표현은 A와 B 사이에 어떠한 전기적 작용을 갖는 대상물이 존재할 때 A와 B 사이의 전기 신호의 수수(授受)가 가능한 경우를 뜻

한다.

- [0063] 또한, 이들 표현은 일레이며, 이들 표현에 한정은 없다. 여기서, X, Y, Z1, 및 Z2는 각각 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 및 층)을 나타낸다.
- [0064] 또한, 하나의 실시형태에서 설명하는 내용(또는 일부의 내용이라도 좋음)은 그 실시형태에서 설명하는 다른 내용(또는 일부의 다른 내용이라도 좋음) 및/또는 하나 또는 복수의 다른 실시형태에서 설명하는 내용(또는 일부의 내용이라도 좋음)에 대하여 적용, 조합, 또는 치환을 할 수 있다.
- [0065] 또한 각 실시형태에서, 실시형태에서 설명하는 내용은 다양한 도면을 사용하여 설명하는 내용 또는 본 명세서에 기재되는 문장이 기재된 내용이다.
- [0066] 또한, 실시형태에서 설명하는 도면(또는 그 도면의 일부라도 좋음)은 그 도면의 다른 일부, 그 실시형태에 도시된 다른 도면(또는 그 다른 도면의 일부라도 좋음), 및/또는 하나 또는 복수의 다른 실시형태에 도시된 도면(또는 도면의 일부라도 좋음)과 조합됨으로써, 더 많은 도면을 구성시킬 수 있다.
- [0067] (실시형태 1)
- [0068] 본 실시형태에서, 표시 패널의 구조예에 대하여 설명한다.
- [0069] <<보호막에 의한 기판 표면부 및 측면부의 보호>>
- [0070] 도 1의 (A)는 표시 장치의 상면도이다. 도 1의 (A)에서, 표시 장치(10)는 표시 영역(21), 주변 회로(22)가 제공된 표시 패널(20), 및 FPC(42)를 사용하여 형성될 수 있다. 본 발명의 일 형태에서, 보호막(23)은 표시 패널(20)에 균일하게 형성될 수 있다. 보호막(23)은 예를 들어 ALD(atomic layer deposition)법에 의하여 바람직하게 형성될 수 있다. 또한, 보호막(23) 등의 보호막은 예를 들어 표시 소자 및 트랜지스터를 보호하는 기능을 갖는다. 보호막(23) 등의 보호막은 예를 들어 다른 기능을 가져도 좋다. 따라서, 보호막(23) 등의 보호막은 단순히 막이라고 할 수 있다. 예를 들어, 보호막(23) 등의 보호막은 제 1 막 또는 제 2 막 등이라고 할 수 있다.
- [0071] 도 1의 (B)는 표시 패널(20)의 단부의 단면도이다. 표시 패널(20)은 트랜지스터, 용량 소자, 및 표시 소자 등이 제공되고, 단부에서 기판(100), 기판(300), 절연층(130), 절연층(131), 절연층(170), 절연층(180), 차광층(18), 절연층(330), 및 스페이서(240)를 포함하고, 보호막(23)으로 덮인다.
- [0072] <<ALD법에 의하여 표시 패널에 보호막을 퇴적하는 방법>>
- [0073] 도 3의 (A) 내지 (C)는 ALD법에 의하여 표시 패널(20)에 보호막을 퇴적하는 방법을 도시한 것이다.
- [0074] 트랜지스터, 용량 소자, 및 표시 소자의 일부 등을 기판(100) 위에 형성하여, 영역(11)을 형성한다. 또한, 차광층(18), 절연층(330), 및 착색층 및 표시 소자의 일부 등을 기판(300) 위에 형성하여, 영역(12)을 형성한다(도 3의 (A) 참조).
- [0075] 다음에, 기판(100)의 영역(11) 및 기판(300)의 영역(12)이 서로 대향하도록 하고, 기판(100) 및 기판(300)을 접촉층(370)으로 서로 접촉함으로써, 표시 패널(20)을 제작할 수 있다(도 3의 (B) 참조).
- [0076] 이때, ALD법으로 표시 패널(20)에 보호막(23)을 퇴적할 수 있다(도 3의 (C) 참조). 또한, FPC(42)가 접속되는 부분을 마스크하여 이 부분에 보호막(23)이 퇴적되는 것을 방지한다.
- [0077] ALD법에 의하여, 보호막이 퇴적되는 표면에 보호막을 극히 균일하게 퇴적할 수 있다. ALD법을 이용함으로써, 예를 들어 산화 알루미늄, 산화 하프늄, 산화 지르코늄, 산화 타이타늄, 산화 아연, 산화 인듐, 산화 주석, 산화 주석 인듐(ITO: indium tin oxide), 산화 탄탈럼, 산화 실리콘, 산화 망가니즈, 산화 니켈, 산화 어븀, 산화 코발트, 산화 텔루륨, 타이타늄산 바륨, 질화 타이타늄, 질화 탄탈럼, 질화 알루미늄, 질화 텅스텐, 질화 코발트, 질화 망가니즈, 및 질화 하프늄 등을 보호막으로서 퇴적할 수 있다. 또한, 보호막은 절연막에 한정되지 않고 도전막을 퇴적할 수도 있다. 예를 들어, 루테튬, 백금, 니켈, 코발트, 망가니즈, 및 구리 등을 퇴적할 수 있다.
- [0078] 또한, FPC(42) 등에 전기적으로 접속되는 부분은 보호막이 그 부분에 퇴적되지 않도록 마스크되는 것이 바람직하다. 마스크에는, 유기막, 무기막, 또는 금속 등을 사용할 수 있다. 예를 들어, 산화 실리콘, 산화 질화 실리콘, 산화 갈륨, 산화질화 갈륨, 산화 이트륨, 산화질화 이트륨, 산화 하프늄, 또는 산화질화 하프늄 등의 산화물 절연막, 질화 실리콘 또는 질화 알루미늄 등의 질화물 절연막, 또는 포토레지스트, 폴리이미드 수

지, 아크릴 수지, 폴리이미드아마이드 수지, 벤조사이클로뷰테인 수지, 폴리아마이드 수지, 또는 에폭시 수지 등의 유기 재료를 사용할 수 있다. 이들 막 중 어느 것을 마스크로서 사용하는 경우, 상기 보호막을 퇴적한 후에 마스크를 제거하는 것이 바람직하다.

[0079] 또한, ALD법에 있어서 보호막이 퇴적되는 영역은 메탈 마스크를 사용하여 마스크링될 수 있다. 메탈 마스크는 철, 크로뮴, 니켈, 코발트, 텅스텐, 몰리브덴, 알루미늄, 구리, 탄탈럼, 및 타이타늄에서 선택된 금속 원소, 상술한 금속 원소 중 어느 것을 포함하는 합금, 또는 상술한 금속 원소 중 어느 것을 조합하여 포함하는 합금 등을 사용하여 형성할 수 있다. 메탈 마스크는 표시 패널과 근접하거나 또는 접촉하여 배치될 수 있다.

[0080] ALD법에 의하여 형성된 막은 극히 균일하고 치밀하다. ALD법에 의하여 표시 패널의 측면부에 보호막(23)을 퇴적할 때, 수분 등의 외부 성분의 침입을 억제할 수 있다. 결과적으로, 트랜지스터 특성의 변화를 억제할 수 있고 주변 회로의 동작을 안정화시킬 수 있다. 또한, 프레임 크기를 줄일 수 있고 화소 영역을 확대시킬 수 있으며 표시 장치의 선명도를 향상시킬 수 있다.

[0081] 보호막(23)으로, 주변 회로(22)의 단부와 표시 패널(20)의 단부 사이의 거리 A-A3을 좁게 하더라도, 보호막(23)의 배리어 특성이 높으므로 안정화된 트랜지스터 특성을 얻고, 즉, 주변 회로를 안정하게 동작시켜, 표시 패널의 프레임을 좁게 할 수 있다. 예를 들어, 주변 회로(22)와 표시 패널(20)의 단부(패널이 가공될 때의 절단부) 사이의 거리는 300 μm 이하, 바람직하게는 200 μm 이하일 수 있다. 또는, 표시 패널(20)의 단부는 도 1의 (C)에 도시된 바와 같이 요철 없는 구조를 가질 수 있다.

[0082] <<보호막 형성의 다른 구조예>>

[0083] 도 2의 (A) 및 (B)는 도 1의 (B)의 다른 예를 나타낸 것이다. 보호막(23)이 퇴적되는 영역은 마스크링으로써 제어될 수 있다. 이 경우, 보호막(23)은 도 2의 (A)에 도시된 바와 같이 이면 측(영역(13))에 약간 퇴적시킬 수 있고, 또는 도 2의 (B)에 도시된 바와 같이 이면 측(영역(14))의 보호막(23)의 퇴적을 방지할 수 있다.

[0084] 또한, 본 실시형태에서 제시한 구조 및 방법 등은 다른 실시형태에 제시된 구조 및 방법 등 중 어느 것과 적절히 조합하여 사용될 수 있다.

[0085] (실시형태 2)

[0086] 본 실시형태에서, 실시형태 1에서 설명한 복수의 표시 패널의 제작 방법에 대하여 설명한다.

[0087] 도 4의 (A) 내지 (D)는 표시 패널(20)의 제작 방법을 도시한 것이다. 도 4의 (A) 내지 (D)에서 액정 소자(80) 및 접착층(370)은 표시 소자로서 도시되고, 화소, 트랜지스터, 및 용량 소자 등이 기관(100)에 제공되는 소자 기관과 차광층 및 착색층 등이 기관(300)에 제공되는 대향 기관을 액정이 밀봉되도록 접착함으로써 표시 패널을 형성할 수 있다. 또한, 도 3의 (A) 내지 (C)의 제작 방법과 같은 부분은 생략한다.

[0088] 복수의 표시 패널(20)을 포함하는 구조에서(도 4의 (A)), 홈부(30)를 형성하기 위하여 기관(300)(상측)은 절단된다(도 4의 (B)). 홈부(30)를 형성한 후에, ALD법에 의하여 상측으로부터 보호막(23)을 형성하고(도 4의 (C)), 기관(100)을 절단하여, 최종적으로 복수의 표시 패널을 제작할 수 있다(도 4의 (D)). 또한, 이 경우, 기관(100)의 이면(액정 소자(80)가 제공되지 않은 면)에 보호막(23)을 형성하는 것을 억제할 수 있다.

[0089] 또한, 본 실시형태에서 제시한 구조 및 방법 등은 다른 실시형태에서 제시한 구조 및 방법 등 중 어느 것과 적절히 조합하여 사용될 수 있다.

[0090] (실시형태 3)

[0091] <<퇴적 방법>>

[0092] 이하에서는 본 발명의 일 형태에 사용될 수 있는 반도체층, 절연층, 및 도전층 등의 형성에 사용될 수 있는 퇴적 장치에 대하여 설명한다.

[0093] <<CVD 및 ALD>>

[0094] 종래의 CVD법을 이용한 퇴적 장치에서, 퇴적 시 반응을 위한 원료 가스(프리커서)가 체임버에 동시에 공급된다. ALD법을 이용한 퇴적 장치에서는, 반응을 위한 프리커서가 체임버에 순차적으로 도입되고, 그리고는 그 가스 도입 순서가 반복된다. 예를 들어, 각 스위칭 밸브(고속 밸브라고도 함)를 전환하여 2종류 이상의 프리커서를 순차적으로 체임버에 공급한다. 예를 들어, 제 1 프리커서가 도입되고, 복수종의 프리커서가 섞이지

않도록 불활성 가스(예를 들어 아르곤 또는 질소) 등이 제 1 프리커서의 도입 후에 도입되고 나서, 제 2 프리커서가 도입된다. 또는, 불활성 가스 도입 대신에 진공 배기에 의하여 제 1 프리커서를 배출한 후, 제 2 프리커서를 도입하여도 좋다. 도 5의 (A) 내지 (D)는 ALD법의 퇴적 공정을 도시한 것이다. 제 1 프리커서(601)가 기관의 표면에 흡착되고(도 5의 (A) 참조), 제 1 단일층을 퇴적하고(도 5의 (B) 참조), 나중에 도입되는 제 2 프리커서와 제 1 단일층이 반응하고(도 5의 (C) 참조), 제 2 단일층을 제 1 단일층 위에 적층하여 박막이 형성된다(도 5의 (D) 참조). 이 가스 도입 순서를 원하는 두께가 얻어질 때까지 복수회 반복함으로써, 단차 피복성이 뛰어난 박막을 형성할 수 있다. 박막의 두께는 가스 도입 순서를 반복하는 횟수에 의하여 조절할 수 있기 때문에, ALD법으로 두께를 정밀하게 조절할 수 있다.

[0095] ALD법은 열을 이용한 ALD법(열 ALD법) 및 플라즈마를 이용한 ALD법(플라즈마 ALD법)을 포함한다. 열 ALD법에서는 열 에너지를 이용하여 프리커서들이 서로 반응하고, 플라즈마 ALD법에서는 프리커서들이 라디칼 상태에서 서로 반응한다.

[0096] ALD법을 이용하면, 매우 얇은 막을 정밀도 높게 형성할 수 있다. 또한, 그 막에 의한 요철면의 피복성 및 그 막의 밀도가 높다.

[0097] 또한, 열 ALD법을 이용할 때 플라즈마 대미지가 발생되지 않는다.

[0098] <<플라즈마 ALD>>

[0099] 또는, 플라즈마 ALD법을 이용하면, 열 ALD법이 이용될 때보다 낮은 온도에서 막을 형성할 수 있다. 플라즈마 ALD법을 이용하여, 예를 들어, 100℃ 이하에서도 퇴적 속도를 저하시키지 않고 막을 형성할 수 있다. 또한, 플라즈마 ALD법에서, 플라즈마로 질소 라디칼을 형성할 수 있으므로, 산화물막뿐만 아니라 질화물막을 형성할 수 있다.

[0100] 또한, 표시 소자로서 발광 소자(유기 EL 소자 등)를 사용하는 경우, 처리 온도가 높으면, 발광 소자의 열화가 가속될 수 있다. 여기서, 플라즈마 ALD법으로, 처리 온도를 저하시킬 수 있으므로, 발광 소자의 열화를 억제할 수 있다.

[0101] 또한, 플라즈마 ALD법을 이용하는 경우, ICP(inductively coupled plasma)를 사용함으로써 라디칼종을 발생시킨다. 따라서, 기관에서 이격되어 플라즈마를 발생시킬 수 있어, 플라즈마 대미지를 억제할 수 있다.

[0102] 상술한 바와 같이, 플라즈마 ALD법을 이용하여, 다른 퇴적 방법과 비교하여 처리 온도를 저하시킬 수 있고 표면의 피복성을 증가시킬 수 있고, 표시 패널이 제작된 후에 기관의 측면부에 보호막을 퇴적시킬 수 있다. 따라서, 외부로부터의 물의 침입을 억제할 수 있다. 따라서, 패널 단부에서의 주변 회로의 구동 동작의 신뢰성이 향상되어(트랜지스터 특성이 향상되어), 좁은 프레임을 사용하는 경우에도 안정된 동작을 달성할 수 있다.

[0103] <<ALD 장치>>

[0104] 도 6의 (A)는 ALD법을 이용하는 퇴적 장치의 예를 도시한 것이다. ALD법을 이용하는 퇴적 장치는 퇴적실(체임버(1701)), 원료 공급부(1711a) 및 원료 공급부(1711b), 유량 제어기인 고속 밸브(1712a) 및 고속 밸브(1712b), 원료 도입구(1713a) 및 원료 도입구(1713b), 원료 배출구(1714), 및 배기 유닛(1715)을 포함한다. 체임버(1701)에 제공되는 원료 도입구(1713a) 및 원료 도입구(1713b)는 각각 공급관 및 밸브를 통하여 원료 공급부(1711a) 및 원료 공급부(1711b)와 접속된다. 원료 배출구(1714)는 배출관, 밸브, 및 압력 제어기를 통하여 배기 유닛(1715)과 접속된다.

[0105] 히터를 갖는 기관 홀더(1716)가 체임버에 제공되고, 기관 홀더 위에는 막이 형성되는 기관(1700)을 제공한다.

[0106] 원료 공급부(1711a) 및 원료 공급부(1711b)에서는 기화기 또는 가열 수단 등에 의하여 고체 원료 또는 액체 원료로 프리커서를 형성한다. 또는, 원료 공급부(1711a) 및 원료 공급부(1711b)는 프리커서를 공급하여도 좋다.

[0107] 예로서 원료 공급부(1711a) 및 원료 공급부(1711b)를 2개 제공하지만, 이에 한정되지 않고, 3개 이상의 원료 공급부를 제공하여도 좋다. 고속 밸브(1712a) 및 고속 밸브(1712b)는 시간으로 정밀하게 제어될 수 있고, 프리커서와 불활성 가스가 고속 밸브(1712a) 및 고속 밸브(1712b)의 의하여 공급된다. 고속 밸브(1712a) 및 고속 밸브(1712b)는 프리커서의 유량 제어기이고, 불활성 가스의 유량 제어기라고 할 수도 있다.

- [0108] 도 6의 (A)에 도시된 퇴적 장치에서, 다음과 같이 기관(1700)의 표면 위에 박막을 형성한다: 기관(1700)을 기관 홀더(1716)에 옮겨 놓고, 체임버(1701)를 밀봉하고, 기관 홀더(1716)를 히터로 가열하여 기관(1700)을 원하는 온도(예를 들어, 100°C 이상 또는 150°C 이상)에서 가열하고, 프리커서의 공급, 배기 유닛(1715)에 의한 배기, 불활성 가스의 공급, 및 배기 유닛(1715)에 의한 배기를 반복한다.
- [0109] 도 6의 (A)에 도시된 퇴적 장치에서, 원료 공급부(1711a) 및 원료 공급부(1711b)에서 사용되는 원료(예를 들어 휘발성 유기 금속 화합물)를 적절히 선택함으로써, 하프늄, 알루미늄, 탄탈럼, 및 지르코늄 등으로부터 선택된 하나 이상의 원소를 포함하는 산화물(복합 산화물을 포함함)을 사용하여 형성되는 절연층을 형성할 수 있다. 구체적으로는 산화 하프늄을 사용하여 형성되는 절연층, 산화 알루미늄을 사용하여 형성되는 절연층, 하프늄 실리케이트를 사용하여 형성되는 절연층, 또는 알루미늄 실리케이트를 사용하여 형성되는 절연층을 사용할 수 있다. 또는, 원료 공급부(1711a) 및 원료 공급부(1711b)에서 사용되는 원료(예를 들어 휘발성 유기 금속 화합물)를 적절히 선택함으로써, 박막(예를 들어, 텅스텐층 또는 타이타늄층 등의 금속층, 또는 질화 타이타늄층 등의 질화물층)을 형성할 수 있다.
- [0110] 예를 들어, ALD법을 이용하는 퇴적 장치에 의하여 산화 하프늄층을 형성하는 경우에는, 2종류의 가스, 즉, 용매와 하프늄 전구체 화합물을 포함하는 액체(하프늄 알콕사이드 또는 테트라키스(다이메틸아마이드)하프늄(TDMAH) 등의 하프늄 아마이드)를 기화시켜 얻어진 프리커서 및 산화제로서 오존(O₃)을 사용한다. 이 경우, 원료 공급부(1711a)로부터 공급되는 제 1 프리커서가 TDMAH이고, 원료 공급부(1711b)로부터 공급되는 제 2 프리커서가 오존이다. 또한, 테트라키스(다이메틸아마이드)하프늄의 화학식은 Hf[N(CH₃)₂]₄이다. 다른 재료의 예로서는 테트라키스(에틸메틸아마이드)하프늄이 포함된다. 또한, 질소는 전하 포획 상태를 없애는 기능을 갖는다. 따라서, 프리커서가 질소를 포함하면, 전하 포획 상태 밀도가 낮은 산화 하프늄막을 형성할 수 있다.
- [0111] 예를 들어, ALD법을 이용하는 퇴적 장치에 의하여 산화 알루미늄층을 형성하는 경우, 2종류의 가스, 즉, 용매와 알루미늄 전구체 화합물을 포함하는 액체(예를 들어 TMA(trimethylaluminum))를 기화시켜 얻어지는 프리커서 및 산화제로서 H₂O를 사용한다. 이 경우, 원료 공급부(1711a)로부터 공급되는 제 1 프리커서는 TMA이고, 원료 공급부(1711b)로부터 공급되는 제 2 프리커서는 H₂O이다. 또한, 트라이메틸알루미늄의 화학식은 Al(CH₃)₃이다. 다른 재료의 예로서는 트리스(다이메틸아마이드)알루미늄, 트라이아이소부틸알루미늄, 및 알루미늄트리스(2,2,6,6-테트라메틸-3,5-헵테인다이오네이트)가 포함된다.
- [0112] <<멀티 체임버 제조 장치>>
- [0113] 도 6의 (B)는 도 6의 (A)에 도시된 퇴적 장치를 적어도 하나 포함하는 멀티 체임버 제조 장치의 예를 도시한 것이다.
- [0114] 도 6의 (B)에 도시된 제조 장치에서, 대기에 노출되지 않고 적층막을 연속하여 형성할 수 있고, 불순물의 침입을 방지하고 스루풋이 향상된다.
- [0115] 도 6의 (B)에 도시된 제조 장치는 로드실(1702), 반송실(1720), 전처리실(1703), 퇴적실인 체임버(1701), 및 언로드실(1706)을 적어도 포함한다. 또한, 수분이 부착되는 것을 방지하기 위하여, 제조 장치의 체임버(로드실, 처리실, 반송실, 퇴적실, 및 언로드실 등을 포함함)는 이슬점이 제어된 불활성 가스(질소 가스 등)로 채워지는 것이 바람직하고, 더 바람직하게는 감압을 유지시킨다.
- [0116] 체임버(1704) 및 체임버(1705)는 체임버(1701)와 같은 ALD법을 이용하는 퇴적 장치, 플라즈마 CVD법을 이용하는 퇴적 장치, 스퍼터링법을 이용하는 퇴적 장치, 또는 MOCVD(metal organic chemical vapor deposition)법을 이용하는 퇴적 장치이어도 좋다.
- [0117] 예를 들어, 체임버(1704)가 플라즈마 CVD법을 이용한 퇴적 장치이고 체임버(1705)가 MOCVD법을 이용한 퇴적 장치인 조건하에서 적층막을 형성하는 예를 이하에 나타낸다.
- [0118] 도 6의 (B)는 반송실(1720)의 상면도가 6각형인 예를 도시한 것이지만, 적층 수에 따라 상면 형상을 6개 이상의 모서리를 갖는 다각형으로 하고 더 많은 체임버를 연결시킨 제조 장치를 사용하여도 좋다. 도 6의 (B)에서 기관의 상면 형상이 직사각형이지만, 기관의 상면 형상에 특별히 한정은 없다. 도 6의 (B)는 매업식의 예를 도시한 것이지만, 복수의 기관이 동시에 형성되는 배치식(batch-type) 퇴적 장치를 사용하여도 좋다.
- [0119] <<대면적 ALD 장치>>

- [0120] 또한, 플라즈마 ALD법으로, 대형 기관에 막을 퇴적시킬 수 있다. 도 7의 (A) 및 (B)는 ALD 장치의 다른 예의 모식도이다. 플라즈마화된 가스(프리커서)를 도입구(810)로부터 체임버(820)에 도입하고 기관(800)에 ALD법으로 위 및 아래로부터 막을 퇴적시킬 수 있다. 퇴적 방법으로서, 도 7의 (A)에 도시된 바와 같이 체임버에 고정된 기관에 막을 퇴적시킬 수 있고, 또는 도 7의 (B)에 도시된 바와 같이 동일선법(in-line method)으로 기관을 운반시키면서 막을 퇴적시킬 수 있다. 플라즈마 ALD법을 이용함으로써, 스루풋을 높게 그리고 대면적에 막을 퇴적시킬 수 있다.
- [0121] (실시형태 4)
- [0122] 본 실시형태에서, 실시형태 1 및 실시형태 2에서 설명한 표시 장치의 자세한 사항에 대하여 도면을 참조하여 설명한다.
- [0123] 도 8의 (A) 및 (B)는 표시 장치의 상면도 및 단면도의 예이다. 또한, 도 8의 (A)는 표시 패널(20), 표시 영역(21), 주변 회로(22), 및 FPC(42)를 포함하는 대표적인 구조를 도시한 것이다.
- [0124] 도 8의 (B)는 도 8의 (A)의 일점쇄선 A-A', B-B', C-C', 및 D-D'를 따른 단면도이다.
- [0125] <<액정 패널>>
- [0126] 도 8의 (B)에 도시된 바와 같이, 표시 장치에 포함된 표시 패널로서 액정 패널을 사용할 수 있다. 도 8의 (B)에 도시된 표시 장치는 표시 소자로서 액정 소자(80)를 포함한다. 표시 장치는 편광판(103), 편광판(303), 및 백 라이트(104)도 포함하고, 이들은 접착층(373), 접착층(374), 및 접착층(375)으로 접착된다. 또한, 보호 기관(302)은 편광판(303)보다 시인자에 가까운 측에 제공되고, 접착층(376)으로 접착된다.
- [0127] <<기관(100)>>
- [0128] 기관(100)의 재료 등은 적어도 나중의 가열 처리에 견딜 수 있을 정도의 높은 내열성을 갖기만 하면 특별한 제한이 없다. 재료는 투광성이 높은 것이 바람직하다.
- [0129] 기관(100)에는, 유기 재료, 무기 재료, 또는 유기 재료와 무기 재료의 복합 재료 등을 사용할 수 있다. 예를 들어, 유리, 세라믹, 또는 금속 등의 무기 재료를 기관(100)에 사용할 수 있다.
- [0130] 구체적으로는, 무알칼리 유리, 소다석회 유리, 칼리 유리, 또는 크리스털 유리 등을 기관(100)에 사용할 수 있다. 구체적으로는 무기 산화물막, 무기 질화물막, 또는 무기 산질화물막 등을 기관(100)에 사용할 수도 있다. 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 알루미늄, 스테인리스강, 또는 알루미늄 등을 기관(100)에 사용할 수 있다.
- [0131] 단층의 재료 또는 복수의 층이 적층된 적층 재료를 기관(100)에 사용할 수 있다. 예를 들어, 기재, 기재에 포함되는 불순물의 확산을 방지하는 절연막 등이 적층된 적층 재료를 기관(100)에 사용할 수 있다. 구체적으로는 유리와, 유리에 포함되는 불순물의 확산을 방지하는 산화 실리콘층, 질화 실리콘층, 및 산화질화 실리콘층 등 중에서 선택되는 하나 또는 복수의 막이 적층된 적층 재료를 기관(100)에 사용할 수 있다. 또는, 수지와, 수지를 투과하는 불순물의 확산을 방지하는 산화 실리콘막, 질화 실리콘막, 및 산화질화 실리콘막 등의 막이 적층된 적층 재료를 기관(100)에 사용할 수 있다.
- [0132] 기관(100)에 사용할 수 있는 상술한 기관은 기관(300)에도 사용할 수 있다.
- [0133] <<트랜지스터(50) 및 트랜지스터(52)>>
- [0134] 트랜지스터(50)는 도전층(120), 절연층(130), 절연층(131), 반도체층(140), 도전층(150), 도전층(160), 절연층(170), 및 절연층(180)을 사용하여 형성될 수 있다. 트랜지스터(52)도 비슷한 구성 요소를 포함할 수 있다.
- [0135] <<절연층(110)>>
- [0136] 마지막으로서 기능하는 절연층(110)은 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 질화산화 실리콘, 산화 갈륨, 산화 하프늄, 산화 이트륨, 산화 알루미늄, 또는 산화질화 알루미늄 등을 사용하여 형성된다. 또한, 절연층(110)의 재료로서 질화 실리콘, 산화 갈륨, 산화 하프늄, 산화 이트륨, 또는 산화 알루미늄 등을 사용하면 기관(100)으로부터 알칼리 금속, 물, 및 수소 등의 불순물이 반도체층(140)으로 확산되는 것을 억제할 수 있다. 절연층(110)은 기관(100) 위에 형성된다. 절연층(110)은 반드시 제공될 필요는 없다.

[0137] <<도전층(120)>>

[0138] 게이트 전극으로서 기능하는 도전층(120)은 알루미늄, 크로뮴, 구리, 탄탈럼, 타이타늄, 몰리브덴, 니켈, 철, 코발트, 및 텅스텐 중에서 선택되는 금속 원소; 이들 금속 원소 중 어느 것을 성분으로서 포함하는 합금; 또는 이들 금속 원소 중 어느 것을 조합하여 포함하는 합금 등을 사용하여 형성된다. 또한, 망가니즈 및 지르코늄에서 선택된 하나 또는 양쪽의 금속 원소를 사용하여도 좋다. 도전층(120)은 단층 구조로 하여도 좋고 2층 이상의 층상 구조로 하여도 좋다. 예를 들어, 다음 중 어느 것을 사용할 수 있다; 실리콘을 포함하는 알루미늄막의 단층 구조; 망가니즈를 포함하는 구리막의 단층 구조; 알루미늄막 위에 타이타늄막을 적층한 2층 구조; 질화 타이타늄막 위에 타이타늄막을 적층한 2층 구조; 질화 타이타늄막 위에 텅스텐막을 적층한 2층 구조; 질화 탄탈럼막 또는 질화 텅스텐막 위에 텅스텐막을 적층한 2층 구조; 망가니즈를 포함하는 구리막 위에 구리막을 적층한 2층 구조; 타이타늄막, 알루미늄막, 타이타늄막을 이 순서대로 적층한 3층 구조; 및 망가니즈를 포함하는 구리막, 구리막, 및 망가니즈를 포함하는 구리막을 이 순서대로 적층하는 3층 구조 등. 또는, 타이타늄, 탄탈럼, 텅스텐, 몰리브덴, 크로뮴, 네오디뮴, 및 스칸듐 중에서 선택되는 하나 또는 복수의 원소와 알루미늄을 포함한 합금막 또는 질화막을 사용하여도 좋다.

[0139] <<절연층(130)>>

[0140] 절연층(130)은 게이트 절연막으로서 기능한다. 절연층(130)은 예를 들어, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 중 적어도 하나를 포함하는 절연막을 사용하여 형성할 수 있다. 절연층(130)은 상술한 재료 중 어느 것이 적층되어도 좋다. 또한, 절연층(130)은 란타넘(La), 질소, 또는 지르코늄(Zr)을 불순물로서 포함하여도 좋다.

[0141] <<절연층(131)>>

[0142] 또한, 게이트 절연막은 절연층(130) 및 절연층(131)의 적층일 수 있다. 절연층(131)은 예를 들어, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 중 적어도 하나를 포함하는 절연막을 사용하여 형성할 수 있다. 절연층(131)은 상술한 재료 중 어느 것이 적층되어도 좋다. 절연층(131)은 란타넘(La), 질소, 또는 지르코늄(Zr) 등을 불순물로서 포함하여도 좋다. 절연층(131)으로, 외부로부터 반도체층(140)으로 수소 또는 물 등이 침입하는 것을 방지할 수 있다.

[0143] <<반도체층(140)>>

[0144] 반도체층(140)은 적어도 In 또는 Zn을 포함하는 금속 산화물을 사용하여 형성된다. 반도체층(140) 상면의 면적은 도전층(120) 상면의 면적과 동일하거나 또는 도전층(120) 상면의 면적보다 작은 것이 바람직하다.

[0145] <<산화물 반도체>>

[0146] 상기 반도체층(140)에 사용되는 산화물 반도체로서 다음 중 어느 것을 예로서 사용할 수 있다: In-Ga-Zn계 산화물, In-Al-Zn계 산화물, In-Sn-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물, 및 In-Ga계 산화물.

[0147] 또한 여기서 "In-Ga-Zn계 산화물"이란, In, Ga, 및 Zn을 주성분으로서 포함하는 산화물을 뜻하며 In:Ga:Zn의 비율에 한정은 없다. 또한, In-Ga-Zn계 산화물은 In, Ga, 및 Zn에 더하여 다른 금속 원소가 포함되어도 좋다.

[0148] 반도체층(140)이 In-M-Zn 산화물로 형성될 때, In과 M의 합을 100atomic%로 추정할 때의 M에 대한 In 원자수비는 바람직하게는 이하와 같다: In의 비율이 25atomic%보다 높고 M의 비율이 75atomic% 미만이고, 더 바람직하게는 In의 비율이 34atomic%보다 높고 M의 비율이 66atomic% 미만이다.

[0149] 반도체층(140)의 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 이러한 에너지 갭이 넓은 산화물 반도체를 사용함으로써 트랜지스터(50)의 오프 상태 전류를 저감시킬 수 있다.

[0150] 반도체층(140)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는

3nm 이상 50nm 이하로 하는 것이 적합하다.

[0151] 반도체층(140)이 In-M-Zn 산화물(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd)을 사용하여 형성되는 경우, In-M-Zn 산화물을 형성하기 위하여 사용되는 스퍼터링 타깃의 금속 원소의 원자수비는 $In \geq M$ 및 $Zn \geq M$ 을 만족시키는 것이 바람직하다. 이와 같은 스퍼터링 타깃의 금속 원소의 원자수비로서는 In:M:Zn=1:1:1, In:M:Zn=1:1:1.2, In:M:Zn=3:1:2, 및 In:M:Zn=4:2:4.1이 바람직하다. 또한, 형성된 반도체층(140)의 금속 원소의 원자수비는, 오차로서 $\pm 40\%$ 의 범위 내에서 상기 스퍼터링 타깃의 금속 원소의 원자수비에서 벗어난다. 또한, In-Ga-Zn 산화물을 포함하는 타깃, 바람직하게는 In-Ga-Zn 산화물을 포함하는 다결정 타깃을 사용함으로써, 후술하는 CAAC-OS(c-axis aligned crystalline oxide semiconductor)막 및 미결정 산화물 반도체막을 형성할 수 있다.

[0152] 반도체층(140)에 포함되는 수소는 금속 원자와 결합된 산소와 반응하여 물이 되고, 또한 산소가 이탈된 격자(또는 산소가 이탈된 부분)에 산소 결손을 생성한다. 이 산소 결손에 수소가 침입함으로 인하여, 캐리어로서 기능하는 전자가 생성된다. 또한, 수소의 일부가 금속 원자와 결합된 산소와 결합되면 캐리어로서 기능하는 전자가 생성되는 경우가 있다. 따라서 수소가 포함되는 산화물 반도체를 포함한 트랜지스터는 노멀리 온이 되기 쉽다.

[0153] 따라서, 반도체층(140)에서는 산소 결손에 더하여 수소가 가능한 한 저감되는 것이 바람직하다. 구체적으로는, 이차 이온 질량 분석(SIMS: secondary ion mass spectrometry)으로 측정되는 반도체층(140)의 수소 농도를 5×10^{19} atoms/cm³ 이하, 바람직하게는 1×10^{19} atoms/cm³ 이하, 더 바람직하게는 5×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 1×10^{18} atoms/cm³ 이하, 더더욱 바람직하게는 5×10^{17} atoms/cm³ 이하, 나아가 바람직하게는 1×10^{16} atoms/cm³ 이하로 한다. 그 결과, 트랜지스터(50)는 양의 문턱 전압(노멀리 오프 특성이라고도 함)을 갖는다.

[0154] 반도체층(140)에서 14족 원소에 속하는 원소 중 하나인 실리콘 또는 탄소가 포함되면 반도체층(140)에서 산소 결손이 증가되어 반도체층(140)이 n형 도전성을 갖는다. 그래서 반도체층(140)의 실리콘 또는 탄소의 농도(농도는 SIMS로 측정됨)는 2×10^{18} atoms/cm³ 이하, 바람직하게는 2×10^{17} atoms/cm³ 이하이다. 그 결과, 트랜지스터(50)는 양의 문턱 전압(노멀리 오프 특성이라고도 함)을 갖는다.

[0155] 또한, SIMS로 측정되는 반도체층(140)의 알칼리 금속 또는 알칼리 토금속의 농도는 1×10^{18} atoms/cm³ 이하, 바람직하게는 2×10^{16} atoms/cm³ 이하이다. 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합되면 캐리어를 생성할 수 있고, 이 경우 트랜지스터의 오프 상태 전류가 증가될 수 있다. 따라서, 반도체층(140)의 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다. 그 결과, 트랜지스터(50)는 양의 문턱 전압(노멀리 오프 특성이라고도 함)을 갖는다.

[0156] 또한, 반도체층(140)에 질소가 포함되면 캐리어로서 기능하는 전자가 생성되어 캐리어 밀도가 증가하여, 반도체층(140)은 n형 도전성을 가지기 쉽다. 따라서, 트랜지스터는 노멀리-온 특성을 가지기 쉽다. 그러므로, 반도체층(140) 내의 질소는 가능한 한 저감되는 것이 바람직하고, 예를 들어 SIMS로 측정되는 질소 농도를 5×10^{18} atoms/cm³ 이하로 하는 것이 바람직하다.

[0157] 반도체층(140) 내의 불순물이 저감되면 반도체층(140)의 캐리어 밀도를 저감할 수 있다. 반도체층(140)의 캐리어 밀도가 1×10^{15} /cm³ 이하, 바람직하게는 1×10^{13} /cm³ 이하, 더 바람직하게는 8×10^{11} /cm³ 이하, 더욱 바람직하게는 1×10^{11} /cm³ 이하, 더더욱 바람직하게는 1×10^{10} /cm³ 이하, 및 1×10^{-9} /cm³ 이상이다.

[0158] 불순물 농도가 낮고 결합 상태 밀도가 낮은 산화물 반도체를 반도체층(140)에 사용함으로써 트랜지스터는 더 우수한 전기 특성을 가질 수 있다. 여기서는 불순물 농도가 낮고 결합 상태 밀도가 낮은(산소 결손량이 적은) 상태를 "고순도 진성" 또는 "실질적으로 고순도 진성"이라고 한다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 발생원이 적기 때문에 캐리어 밀도가 낮은 경우가 있다. 따라서, 이 산화물 반도체를 포함한 반도체층(140)에 채널 영역이 형성되는 트랜지스터는 양의 문턱 전압(노멀리-오프 특성이라고도 함)을 가지기 쉽다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 결합 상태 밀도가 낮기 때문에 트랩 상태의 밀도가 낮은 경우가 있다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체를 포함한 반도체층(140)을 포함한 트랜지스터는 오프 상태 전류가 매우 낮고; 소스 전극과 드레인 전극 사이의 전압

(드레인 전압)이 1V 내지 10V의 범위일 때 오프 상태 전류는 반도체 파라미터 분석기의 측정 한계 이하, 즉 1×10^{-13} A 이하일 수 있다. 또한, 특성 변동이 억제될 수 있다.

[0159] 반도체층에 반도체층(140)을 사용한 트랜지스터(50)의 채널 폭으로 정규화된 오프 상태 전류는, 예를 들어 소스와 드레인 사이의 전압을 0.1V, 5V, 또는 10V 정도로 하는 경우, $\text{수yA}/\mu\text{m}$ 내지 $\text{수zA}/\mu\text{m}$ 까지 저감될 수 있다.

[0160] 표시 소자(예를 들어 액정 소자(80))에 접속되는 트랜지스터(50)로서 오프 상태 누설 전류가 매우 낮은 트랜지스터를 사용하면 화상 신호를 유지하는 시간을 연장할 수 있다. 예를 들어, 화상 신호의 기록 빈도가 $11.6 \mu\text{Hz}$ (하루에 한 번) 이상 0.1Hz(1초간에 0.1번) 미만, 바람직하게는 0.28mHz(1시간에 한 번) 이상 1Hz(1초간에 한 번) 미만인 경우에도 화상을 유지할 수 있다. 결과로서, 화상 신호의 기록 빈도를 저감할 수 있어, 표시 패널(20)의 소비전력을 저감할 수 있다. 물론, 화상 신호의 기록 빈도는 1Hz 이상, 바람직하게는 30Hz(1초간에 30번) 이상, 더 바람직하게는 60Hz(1초간에 60번) 이상 960Hz(1초간에 960번) 미만으로 할 수 있다.

[0161] 상술한 이유로, 산화물 반도체를 포함한 트랜지스터를 사용함으로써 신뢰성이 높고 소비전력이 낮은 표시 패널을 제작할 수 있다.

[0162] 산화물 반도체를 포함한 트랜지스터의 반도체층(140)은 스퍼터링법, MOCVD법, 또는 PLD(pulsed laser deposition)법 등으로 형성될 수 있다. 스퍼터링법을 이용하는 경우, 대면적의 표시 장치에 그 트랜지스터를 사용할 수 있다.

[0163] 또한, 반도체층(140) 대신에, 실리콘 또는 실리콘 저마늄을 포함하는 반도체층을 사용하여도 좋다. 실리콘 또는 실리콘 저마늄을 포함하는 반도체층은 적절히 비정질 구조, 다결정 구조, 또는 단결정 구조를 가질 수 있다.

[0164] <<절연층(170)>>

[0165] 절연층(170)은 트랜지스터의 채널 영역을 보호하는 기능을 갖는다. 절연층(170)은 산화 실리콘, 산화 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 산화 갈륨, 산화질화 갈륨, 산화 이트륨, 산화질화 이트륨, 산화 하프늄, 또는 산화질화 하프늄 등의 산화물 절연막, 또는 질화 실리콘 또는 질화 알루미늄 등의 질화물 절연막을 사용하여 형성된다. 절연층(170)은 단층 구조 또는 적층 구조를 가질 수 있다.

[0166] 절연층(170)은 화학량론적 조성보다 많은 산소를 포함하는 산화물 절연막을 사용하여 형성되는 것이 바람직하다. 화학량론적 조성보다 많은 산소를 포함하는 산화물 절연막을 가열함으로써 산소의 일부가 이탈된다. 화학량론적 조성보다 많은 산소를 포함하는 산화물 절연막은, 막의 표면 온도가 100°C 이상 700°C 이하 또는 100°C 이상 500°C 이하가 되도록 가열 처리가 수행되는 TDS(thermal desorption spectroscopy) 분석에 있어서 산소 원자의 이탈량이 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 바람직하게는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상인 산화물 절연막이다. 가열 처리에 의하여 절연층(170)에 포함되는 산소를 반도체층(140)으로 이동할 수 있어, 반도체층(140)의 산소 결손량을 저감할 수 있다.

[0167] <<절연층(180)>>

[0168] 절연층(180)으로서 산소, 수소, 및 물 등에 대한 블로킹 효과를 갖는 절연막을 제공하면, 반도체층(140)으로부터 산소가 외부로 확산되고 외부로부터 반도체층(140)으로 수소 또는 물 등이 침입하는 것을 방지할 수 있다. 예를 들어, 절연층(180)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 중 적어도 하나를 포함하는 절연막을 사용하여 형성될 수 있다. 절연층(180)은 상술한 재료 중 어느 것이 적층되어도 좋다. 절연층(180)은 란타넘(La), 질소, 또는 지르코늄(Zr)을 불순물로서 포함하여도 좋다.

[0169] <<용량 소자(61) 및 용량 소자(63)>>

[0170] 용량 소자(61)는 도전층(400), 절연층(180), 및 도전층(190)을 포함한다. 도전층(400)은 용량 소자(61)의 한쪽 전극으로서 기능한다. 도전층(190)은 용량 소자(61)의 다른 쪽 전극으로서 기능한다. 도전층(400)과 도전층(190) 사이에는 절연층(180)이 제공된다. 용량 소자(63)는 용량 소자(61)와 같은 구조를 가질 수 있다.

[0171] <<도전층(400)>>

[0172] 트랜지스터(50)에서 반도체층(140)이 산화물 반도체를 포함하면, 도전층(400)을 반도체층(140)과 같은 재료로 절연층(130) 위에 형성할 수 있다. 이 경우 도전층(400)은 반도체층(140)과 동시에 형성되는 막을 가공하여 형성되어, 반도체층(140)과 같은 원소를 포함한다. 도전층(400)은 반도체층(140)과 같거나 또는 다른 결정 구조를 갖는다. 반도체층(140)과 동시에 형성되는 막에 불순물 또는 산소 결손이 포함되면 그 막은 도전성을 가져 도전층(400)이 된다. 도전층(400)에 포함되는 불순물의 대표적인 예로서는 회가스, 수소, 붕소, 질소, 플루오린, 알루미늄, 및 인이 있다. 회가스의 대표적인 예로서는 헬륨, 네온, 아르곤, 크립톤, 및 제논이 포함된다. 또한, 일례로서 도전층(400)은 도전성을 갖지만, 본 발명의 일 형태는 이 예에 한정되지 않고 경우 또는 상황에 따라 도전층(400)은 반드시 도전성을 가질 필요는 없다. 바꿔 말하면, 도전층(400)은 반도체층(140)과 같은 특성을 가져도 좋다.

[0173] 상술한 바와 같이 반도체층(140) 및 도전층(400)은 절연층(130) 위에 형성되지만, 이들은 불순물 농도가 다르다. 구체적으로는 반도체층(140)보다 도전층(400)의 불순물 농도가 더 높다. 예를 들어, 이차 이온 질량 분석으로 측정되는 반도체층(140)의 수소 농도는 5×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하, 더더욱 바람직하게는 1×10^{16} atoms/cm³ 이하이다. 한편, 이차 이온 질량 분석으로 측정되는 도전층(400)의 수소 농도는 8×10^{19} atoms/cm³ 이상, 바람직하게는 1×10^{20} atoms/cm³ 이상, 더 바람직하게는 5×10^{20} atoms/cm³ 이상이다. 또한, 도전층(400)의 수소 농도는 반도체층(140)의 2배 이상 또는 10배 이상이다.

[0174] 반도체층(140)의 수소 농도를 상술한 범위로 함으로써 반도체층(140)에서의 캐리어로서 기능하는 전자의 생성을 억제할 수 있다.

[0175] 반도체층(140)과 동시에 형성되는 산화물 반도체막을 플라즈마에 노출시킴으로써, 산화물 반도체막에 대미지를 주어 산소 결손이 생성될 수 있다. 예를 들어, 산화물 반도체막 위에 플라즈마 CVD법 또는 스퍼터링법으로 막을 형성하면, 산화물 반도체막이 플라즈마에 노출되어 산소 결손이 생성된다. 또는, 절연층(170)에 개구를 형성하기 위한 에칭 처리에서 산화물 반도체막을 플라즈마에 노출시킴으로써 산소 결손이 생성된다. 또는, 산화물 반도체막을 산소와 수소의 혼합 가스, 수소, 회가스, 및 암모니아 등의 플라즈마에 노출시킴으로써, 산소 결손이 생성된다. 또는, 불순물이 산화물 반도체막에 첨가될 때, 산화물 반도체막에 불순물을 첨가하면서, 산소 결손이 형성될 수 있다. 불순물은 이온 도핑법, 이온 주입법, 및 플라즈마 처리법 등으로 첨가될 수 있다. 플라즈마 처리법에 있어서, 첨가하고자 하는 불순물을 포함하는 가스 분위기에서 플라즈마를 발생시켜 플라즈마 처리로 가속된 불순물 이온을 산화물 반도체막에 충돌시켜 산화물 반도체막에 산소 결손을 형성할 수 있다.

[0176] 불순물 원소의 첨가에 의하여 산소 결손이 생성된 산화물 반도체막에 불순물, 예를 들어 수소가 포함되면, 산소 결손 사이트에 수소가 들어가고 전도띠 근방에 도너 준위가 형성된다. 이 결과 산화물 반도체막의 도전성이 증가되어 도전체가 된다. 도전체가 된 산화물 반도체막을 산화물 도전체막이라고 할 수 있다. 즉, 반도체층(140)은 산화물 반도체로 형성되고 도전층(400)은 산화물 도전체막으로 형성된다고 할 수 있다. 또한, 도전층(400)은 도전성이 높은 산화물 반도체막 또는 도전성이 높은 금속 산화물막으로 형성된다고 할 수도 있다.

[0177] 또한, 절연층(180)은 수소를 포함하는 것이 바람직하다. 도전층(400)은 절연층(180)과 접촉되기 때문에, 절연층(180)에 포함되는 수소가 반도체층(140)과 동시에 형성된 산화물 반도체막으로 확산될 수 있다. 이 결과 반도체층(140)과 동시에 형성된 산화물 반도체막에 불순물을 첨가할 수 있다.

[0178] 또한, 절연층(170)은 화학량론적 조성보다 산소가 많이 포함된 산화물 절연막으로 형성되는 것이 바람직하고 절연층(180)은 수소를 포함하는 절연막으로 형성되는 것이 바람직하다. 절연층(170)에 포함되는 산소가 트랜지스터(50)의 반도체층(140)으로 이동함으로써 반도체층(140)의 산소 결손량이 저감될 수 있고 트랜지스터(50)의 전기 특성의 변화를 저감할 수 있다. 또한, 절연층(180)에 포함되는 수소가 도전층(400)으로 이동함으로써 도전층(400)의 도전성이 높게 된다.

[0179] 상술한 식으로, 도전층(400)을 반도체층(140)과 동시에 형성할 수 있고, 형성 후에 도전성이 도전층(400)에 부여된다. 이러한 구조에 의하여 제조 비용이 저감된다.

- [0180] 일반적으로 산화물 반도체막은 에너지 갭이 크기 때문에 가시광 투광성을 갖는다. 한편, 산화물 도전체막은 전도띠 근방에 도너 준위를 갖는 산화물 반도체막이다. 따라서, 이 도너 준위로 인한 광 흡수의 영향이 작기 때문에, 산화물 도전체막은 가시광 투광성이 산화물 반도체막과 같은 정도이다.
- [0181] <<도전층(190)>>
- [0182] 도전층(190)은 가시광을 투과하는 도전막을 사용하여 형성된다. 예를 들어 가시광을 투과하는 도전막에 인듐(In), 아연(Zn), 및 주석(Sn) 중 하나를 포함하는 재료를 사용할 수 있다. 가시광을 투과하는 도전막의 대표적인 예로서는, 인듐주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐주석 산화물, 인듐아연 산화물, 및 산화 실리콘을 포함하는 인듐주석 산화물 등의 도전성 산화물이 포함된다.
- [0183] 이에 의하여 도전층(190) 및 도전층(400)은 투광성을 가지기 때문에, 용량 소자(61)는 전체로서 투광성을 가질 수 있다.
- [0184] <<도전층(380)>>
- [0185] 도전층(380)은 가시광을 투과하는 도전막을 사용하여 형성된다. 예를 들어 가시광을 투과하는 도전막에는 인듐(In), 아연(Zn), 및 주석(Sn) 중 하나를 포함하는 재료를 사용할 수 있다. 가시광을 투과하는 도전막의 대표적인 예로서, 인듐주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐주석 산화물, 인듐아연 산화물, 및 산화 실리콘을 포함하는 인듐주석 산화물 등의 도전성 산화물을 포함한다.
- [0186] <<액정 소자(80)>>
- [0187] 액정 소자(80)는 예를 들어 FFS(fringe field switching) 모드로 구동할 수 있다. 액정층(390)에 포함된 액정 분자의 배향은 도전층(190)으로부터의 전계에 의하여 제어될 수 있기 때문에 액정층(390)은 액정 소자(80)로서 기능한다.
- [0188] 도 8의 (A) 및 (B)에 도시되지 않았지만 도전층(190) 중 액정층(390)에 접촉되는 측 및 도전층(380) 중 액정층(390)에 접촉되는 측에 배향막을 제공하여도 좋다.
- [0189] 또한, 액정층(390)은 도전층(190)과 도전층(380) 사이에 제공되고, 이들 사이에 발생하는 전계에 의하여 액정 분자의 배향을 제어할 수 있다. 액정 소자를 포함하는 표시 장치의 구동 방법으로서, TN 모드, STN 모드, VA 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optically compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(antiferroelectric liquid crystal) 모드, MVA 모드, PVA(patterned vertical alignment) 모드, IPS(in plane switching) 모드, 및 TBA(transverse bend alignment) 모드가 포함된다. 표시 장치의 구동 방법의 다른 예로서는 ECB(electrically controlled birefringence) 모드, PDLC(polymer dispersed liquid crystal) 모드, PNLC(polymer network liquid crystal) 모드, 및 게스트 호스트 모드 모두가 포함된다. 또한, 본 발명의 일 형태는 상기에 한정되지 않고 다양한 액정 소자 및 구동 방법을 이용할 수 있다.
- [0190] 네마틱상을 나타내는 액정과 키랄제를 포함하는 액정 조성물로 액정 소자(80)를 형성하여도 좋다. 이 경우 콜레스테릭상 또는 블루상(blue phase)이 나타내어진다. 블루상을 나타내는 액정은 응답 속도가 1msec 이하로 짧다. 블루상을 나타내는 액정은 광학적 등방성이기 때문에 배향 처리가 불필요하며 시야각 의존성이 작다.
- [0191] <<차광층(18)>>
- [0192] 차광성 재료를 차광층(18)에 사용할 수 있다. 안료를 분산시킨 수지, 염료를 포함하는 수지, 또는 흑색 크롬막 등의 무기막을 차광층(18)에 사용할 수 있다. 카본 블랙, 무기 산화물, 또는 복수의 무기 산화물의 고용체를 포함하는 복합 산화물 등을 차광층(18)에 사용할 수 있다.
- [0193] <<착색층(360)>>
- [0194] 착색층(360)은 특정의 파장 범위의 광을 투과한다. 예를 들어, 적색, 녹색, 청색, 또는 황색의 특정의 파장 범위의 광을 투과시키는 컬러 필터를 사용할 수 있다. 각 착색층은 다양한 재료 중 어느 것을 사용하여 인쇄법, 잉크젯법, 또는 포토리소그래피법을 이용한 예칭 방법 등으로 원하는 위치에 형성된다. 백색의 화소에

있어서, 투명 수지 또는 백색 수지 등의 수지를 발광 소자와 중첩시켜도 좋다.

[0195] <<스페이서(240)>>

[0196] 절연성 재료를 스페이서(240)에 사용할 수 있다. 예를 들어, 무기 재료, 유기 재료, 또는 무기 재료와 유기 재료의 적층 재료를 사용할 수 있다. 구체적으로는, 산화 실리콘 또는 질화 실리콘 등을 포함하는 막, 아크릴, 폴리이미드, 또는 감광성 수지 등을 사용할 수 있다.

[0197] <<접착층(370)>>

[0198] 무기 재료, 유기 재료, 또는 무기 재료와 유기 재료의 복합 재료 등을 접착층(370)에 사용할 수 있다.

[0199] 예를 들어, 광경화성 접착제, 반응 경화성 접착제, 열경화성 접착제, 및/또는 혐기성 접착제 등의 유기 재료를 접착층(370)에 사용할 수 있다. 또한, 접착제는 각각 단독으로 또는 조합하여 사용될 수 있다.

[0200] 광경화성 접착제는 예를 들어 자외선, 전자선, 가시광, 또는 적외선 등으로 경화되는 접착제를 말한다.

[0201] 구체적으로 접착층(370)에는 에폭시 수지, 아크릴 수지, 실리콘(silicone) 수지, 페놀 수지, 폴리이미드 수지, 이미드 수지, PVC(polyvinyl chloride) 수지, PVB(polyvinyl butyral) 수지, EVA(ethylene vinyl acetate) 수지, 또는 실리카 등을 포함한 접착제를 사용할 수 있다.

[0202] 광경화성 접착제를 사용하면 재료가 특히 빨리 경화되기 때문에 처리 시간을 단축할 수 있다. 또한, 광을 조사함으로써 경화가 시작하기 때문에, 막 형성 단계의 영향을 억제할 수 있다. 또한, 광을 조사함으로써 경화가 시작하기 때문에 환경으로 인한 접착제의 의도하지 않는 경화를 억제할 수 있다. 또한, 저온에서 경화를 수행하여 처리 환경의 제어를 가능하게 할 수 있다. 상술한 이유로 광경화성 접착제를 사용하면 처리 시간이 단축되어 처리 비용을 저감할 수 있다.

[0203] <<절연층(330)>>

[0204] 절연층(330)은 평탄면화되는 기능을 갖는다. 절연층(330)에는 무기 재료 또는 유기 재료를 사용할 수 있다. 예를 들어, 산화 실리콘, 산화질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 산화 갈륨, 산화질화 갈륨, 산화 이트륨, 산화질화 이트륨, 산화 hafnium, 또는 산화질화 hafnium 등의 산화물 절연막; 질화 실리콘 또는 질화 알루미늄 등의 질화물 절연막; 또는 폴리이미드 수지, 아크릴 수지, 폴리이미드아마이드 수지, 벤조사이클로부테인 수지, 폴리아마이드 수지, 또는 에폭시 수지 등의 내열성 유기 재료를 사용할 수 있다.

[0205] <<FPC(42)>>

[0206] FPC(42)는 이방성 도전막(510)을 통하여 도전층(160)과 전기적으로 접속된다. 도전층(160)은 트랜지스터(50) 등의 전극층을 형성하는 단계에 형성될 수 있다. 화상 신호 등은 FPC(42)로부터 트랜지스터(50) 및 용량 소자(61) 등을 포함하는 구동 회로에 공급될 수 있다.

[0207] <<표시 장치의 기관의 단부 형상의 다른 구조>>

[0208] 또한, 도 9는 도 8의 (A) 및 (B)의 표시 장치의 다른 구조의 단면도를 도시한 것이다. 기관 단부는 도 1의 (C)에 도시된 바와 같이 요철을 갖지 않고, ALD법으로 보호막을 퇴적할 수 있다.

[0209] <<표시 장치(10)에 형성된 보호막(23)의 다른 구조>>

[0210] 표시 장치(10)에 보호막을 형성할 때, 표면 및 측면에 보호막을 선택적으로 형성할 수 있다. 도 10, 도 11, 및 도 12는 표시 장치의 단면도를 도시한 것이다.

[0211] 도 10 및 도 11에서, 도 2의 (A)에 도시된 바와 같이, 마스크를 사용하여 기관(100) 및 기관(300) 외측에 보호막을 형성하지 않는 구조를 채용할 수 있다. 예를 들어, 도 10에서, FPC(42) 근방에서의 기관(100)의 상면측 및 기관(100)의 이면에 보호막을 형성하는 것을 억제할 수 있다. 도 11에서, 기관(100)의 이면 및 기관(300)의 상면의 양면 측에 보호막을 형성하는 것을 억제할 수 있다. 이 경우, 영역(13)과 같이 기관(100) 및 기관(300)의 단부 주변에 보호막을 퇴적시켜도 좋다. 또는, 도 12에 도시된 바와 같이, 보호막이 기관(100)의 이면 측에 형성되지 않는 영역(14)은 도 4의 (A) 내지 (D)에 도시된 방법에 의하여 제공될 수 있다.

[0212] <<표시 장치 및 터치 센서의 조합>>

[0213] 표시 장치가 터치 센서와 조합됨으로써, 터치 패널을 형성할 수 있다. 도 13, 도 14, 및 도 15는 각각 터치 패널의 단면도이다. 터치 센서의 전극(배선)은 도전층(410), 도전층(430), 절연층(420), 및 절연층(440)

을 사용하여 형성될 수 있다. 또는, 터치 센서의 배선에, 표시 패널에 사용되는 도전층(190) 및 도전층(380)을 사용할 수 있고, 도전층(190) 및 도전층(380)을 조합함으로써 터치 센서를 형성할 수 있다. 터치 센서의 전극은 기관(300) 중 시인자가 보는 측(표면 측)에 형성되어도 좋고, 내부(표시 소자 측)에 형성되어도 좋다.

[0214] <<센서 전극 등의 구조예>>

[0215] 터치 센서로서 기능하는 입력 장치(90)의 더 구체적인 구조예에 대하여 도면을 참조하여 아래에 설명한다.

[0216] 도 16의 (A)는 입력 장치(90)의 상면 모식도이다. 입력 장치(90)는 기관(930) 위에 복수의 전극(931), 복수의 전극(932), 복수의 배선(941), 및 복수의 배선(942)을 포함한다. 기관(930)에는 복수의 배선(941) 및 복수의 배선(942) 각각에 전기적으로 접속되는 FPC(950)가 제공된다. 도 16의 (A)는 FPC(950)에 IC(951)가 제공되는 예를 도시한 것이다.

[0217] 도 16의 (B)는 도 16의 (A)의 일점쇄선으로 둘러싸인 영역의 확대도를 도시한 것이다. 전극(931)들은 각각 본 도면의 가로 방향으로 정렬되는 일련의 마름모 전극 패턴 형상이다. 일렬로 정렬된 마름모 전극 패턴은 서로 전기적으로 접속된다. 전극(932)들도 각각 본 도면의 세로 방향으로 정렬되는 일련의 마름모 전극 패턴 형상이고, 일렬로 정렬된 마름모 전극 패턴은 전기적으로 접속된다. 전극(931)의 일부 및 전극(932)의 일부는 서로 중첩되고 교차된다. 이 교차 부분에서, 전극(931)과 전극(932) 사이에서 전기적 단락을 피하기 위하여 절연체가 끼워진다.

[0218] 도 16의 (C)에 도시된 바와 같이, 전극(932)은 복수의 섬 형상의 마름모 형상 전극(933) 및 다리 형상 전극(934)을 형성하여도 좋다. 전극(933)은 본 도면의 세로 방향으로 정렬되고 두 개의 인접하는 전극(933)은 다리 형상 전극(934)에 의하여 서로 전기적으로 접속된다. 이러한 구조에 의하여, 같은 도전막을 가공하여 전극(933) 및 전극(931)을 동시에 형성할 수 있는 것을 가능하게 한다. 이것은 이들 막의 두께의 편차를 방지할 수 있고, 각 전극의 저항값 및 투광성이 이곳저곳에서 다양화되는 것을 방지할 수 있다. 또한, 여기서 전극(932)은 다리 형상 전극(934)을 포함하지만, 전극(931)이 이러한 구조를 가져도 좋다.

[0219] 도 16의 (D)에 도시된 바와 같이, 도 16의 (B)에 도시된 전극(931) 및 전극(932)의 마름모 전극 패턴의 속을 파내고 가장자리부만 잔존시키는 디자인이 사용되어도 좋다. 이때, 전극(931) 및 전극(932)의 폭이 사용자가 시인하기에는 너무 작은 경우, 전극(931) 및 전극(932)은 나중에 설명하는 바와 같이 금속 또는 합금 등의 차광성 재료를 사용하여 형성될 수 있다. 또한, 도 16의 (D)에 도시된 전극(931) 또는 전극(932)은 양쪽 모두 상기 다리 형상 전극(934)을 포함하여도 좋다.

[0220] 전극(931) 중 하나는 배선(941) 중 하나와 전기적으로 접속된다. 전극(932) 중 하나는 배선(942) 중 하나와 전기적으로 접속된다. 여기서, 전극(931) 및 전극(932) 중 하나는 행 배선에 상당하고 다른 하나는 열 배선에 상당한다.

[0221] 예로서, 전극(931) 또는 전극(932)의 일부의 확대 모식도를 도 17의 (A) 내지 (D)에 도시하였다. 전극은 다양함 형상을 가질 수 있다.

[0222] 도 18의 (A) 내지 (C)는 전극(931) 및 전극(932) 대신에, 가는 선의 상면 형상을 갖는 전극(936) 및 전극(937)이 사용되는 경우의 예를 도시한 것이다. 도 18의 (A)는 격자 형태를 형성하도록 직선 형상의 전극(936) 및 전극(937)이 배치되는 예를 도시한 것이다. 도 18의 (B) 및 (C)에서는, 지그재그 형상을 갖는 전극(936) 및 전극(937)이 배치된다.

[0223] 도 19의 (A) 내지 (C)는 도 18의 (B) 중 일점쇄선으로 둘러싸인 영역의 확대 도면을 도시한 것이고, 도 19의 (D) 내지 (F)는 도 18의 (C) 중 일점쇄선으로 둘러싸인 영역의 확대 도면을 도시한 것이다. 이들 도면에서, 전극(936), 전극(937), 및 전극(936) 및 전극(937)이 교차되는 교차부(938)를 도시하였다. 도 19의 (A) 및 (D)에 도시된 전극(936) 및 전극(937)의 직선 부분도 도 19의 (B) 및 (E)에 도시된 바와 같이 모난 모서리를 가지면서 구불구불한 형상을 가져도 좋고 또는 도 19의 (C) 및 (F)에 도시된 바와 같이 연속적으로 구불구불한 형상을 가져도 좋다.

[0224] <<인셀 터치 패널의 구조예>>

[0225] 복수의 화소를 포함하는 표시부에 터치 센서를 포함하는 터치 패널의 구조예에 대하여 이하에서 설명한다. 여기서, 화소에 제공된 표시 소자로서 액정 소자를 사용하는 예에 대하여 제시한다.

- [0226] 도 20의 (A)는 본 구조예에서 예시하는 터치 패널의 표시부에 제공된 화소 회로의 일부의 등가 회로도이다.
- [0227] 각 화소는 트랜지스터(3503) 및 액정 소자(3504)를 적어도 포함한다. 또한, 트랜지스터(3503)의 게이트 배선(3501)과 전기적으로 접속되고 트랜지스터(3503)의 소스 및 드레인 중 하나가 배선(3502)과 전기적으로 접속된다.
- [0228] 화소 회로는 X 방향으로 연장되는 복수의 배선(예를 들어 배선(3510_1) 및 배선(3510_2)) 및 Y 방향으로 연장되는 복수의 배선(예를 들어 배선(3511))을 포함한다. 이들은 서로 교차하여 제공되고 용량이 이들 사이에 형성된다.
- [0229] 화소 회로에 제공된 화소 중에서, 일부의 서로 인접되는 화소의 액정 소자의 전극은 서로 전기적으로 접속되어 하나의 블록을 형성한다. 이 블록은 2종류로 분류된다: 섬 형상의 블록(예를 들어 블록(3515_1) 또는 블록(3515_2)) 및 Y 방향으로 연장된 라인 형상의 블록(예를 들어 블록(3516)). 또한, 도 20의 (A) 및 (B)에는 화소 회로의 일부만 도시하고, 실제로는 이들 2종류의 블록이 X 방향 및 Y 방향으로 반복적으로 배치된다.
- [0230] X 방향으로 연장되는 배선(3510_1)(또는 배선(3510_2))은 섬 형상의 블록(3515_1)(또는 블록(3515_2))과 전기적으로 접속된다. 도시하지 않았으나, X 방향으로 연장된 배선(3510_1)은 라인 형상의 블록들을 개재(介在)하여 X 방향을 따라 불연속적으로 제공되는 복수의 섬 형상의 블록(3515_1)과 전기적으로 접속된다. 또한, Y 방향으로 연장되는 배선(3511)은 라인 형상의 블록(3516)과 전기적으로 접속된다.
- [0231] 도 20의 (B)는 X 방향으로 연장된 복수의 배선(3510)과 Y 방향으로 연장된 복수의 배선(3511) 사이의 접속을 도시한 등가 회로도이다. X 방향으로 연장된 배선(3510) 각각에 입력 전압 또는 공통 전위가 입력될 수 있다. 또한, Y 방향으로 연장된 배선(3511) 각각에 접지 전위가 입력될 수 있고, 또는 배선(3511) 각각은 검출 회로와 전기적으로 접속될 수 있다.
- [0232] 상술한 터치 패널의 동작에 대해서는 도 21의 (A) 및 (B)를 참조하여 이하에 설명한다.
- [0233] 여기서, 하나의 프레임 기간은 기록 기간 및 검지 기간으로 나누어진다. 기록 기간은 화상 데이터가 화소에 기록되는 기간이고, 배선(3510)(게이트선이라고도 함)은 순차적으로 선택된다. 바꿔 말하면, 검지 기간은 터치 센서로 검지가 수행되는 기간이고, X 방향으로 연장된 배선(3510)은 순차적으로 선택되고 입력 전압이 입력된다.
- [0234] 도 21의 (A)는 기록 기간의 등가 회로도이다. 기록 기간에 있어서, 공통 전위가 X 방향으로 연장된 배선(3510) 및 Y 방향으로 연장된 배선(3511) 양쪽에 입력된다.
- [0235] 도 21의 (B)는 검지 기간의 어느 시점에서의 등가 회로도이다. 검지 기간에 있어서, Y 방향으로 연장된 배선(3511) 각각이 검출 회로와 전기적으로 접속된다. 입력 전압은 선택되는 X 방향으로 연장된 배선(3510)에 입력되고 공통 전위는 선택되지 않는 X 방향으로 연장된 배선(3510)에 입력된다.
- [0236] 또한, 여기서 설명한 구동 방법은 인셀 터치 패널뿐만 아니라 상술한 터치 패널에도 적용할 수 있고, 구동 방법예에서 설명한 방법과 조합하여 사용될 수 있다.
- [0237] 상술한 바와 같이 화상이 기록되는 기간 및 터치 센서로 검지가 수행되는 기간을 독립적으로 제공하는 것이 바람직하다. 따라서, 화소에 데이터를 기록할 때 발생된 노이즈에 의한 터치 센서의 감도 저하를 억제할 수 있다.
- [0238] <<도전층(410) 및 도전층(430)>>
- [0239] 도전층(410)은 알루미늄, 크롬, 구리, 탄탈럼, 타이타늄, 몰리브데넘, 니켈, 철, 코발트, 및 텅스텐 중에서 선택되는 금속 원소; 상술한 금속 원소를 성분으로서 포함하는 합금; 또는 상술한 금속 원소 중 어느 것을 조합하여 포함한 합금 등을 사용하여 형성된다. 또한, 망가니즈 및 지르코늄 중에서 선택된 하나 이상의 금속 원소를 사용하여도 좋다. 도전층(410)은 단층 구조를 가져도 좋고 2층 이상의 적층 구조를 가져도 좋다. 예를 들어, 다음 중 어느 것을 사용할 수 있다: 실리콘을 포함하는 알루미늄막의 단층 구조; 망가니즈를 포함하는 구리막의 단층 구조; 알루미늄막 위에 타이타늄막을 적층한 2층 구조; 질화 타이타늄막 위에 타이타늄막을 적층한 2층 구조; 질화 타이타늄막 위에 텅스텐막을 적층한 2층 구조; 질화 탄탈럼막 또는 질화 텅스텐막 위에 텅스텐막을 적층한 2층 구조; 망가니즈를 포함하는 구리막 위에 구리막을 적층한 2층 구조; 타이타늄막, 알루미늄막, 및 타이타늄막을 이 순서대로 적층한 3층 구조; 망가니즈를 포함하는 구리막, 구리막, 및 망가니즈를 포

합하는 구리막을 이 순서대로 적층한 3층 구조 등. 또는, 타이타늄, 탄탈럼, 텅스텐, 몰리브데넘, 크로뮴, 네오디뮴, 및 스칸듐 중에서 선택되는 하나 이상의 원소 및 알루미늄을 포함한 합금막 또는 질화막을 사용하여도 좋다. 또는, 도전층(410) 등의 도전막, 즉 터치 패널을 형성하는 배선 및 전극의 재료로서는 산화 인듐, 산화주석, 또는 산화 아연 등을 포함하는 투명 도전막(예를 들어, ITO)을 들 수 있다. 또한, 예를 들어 터치 패널의 배선 및 전극의 재료로서 저저항 재료를 바람직하게 사용할 수 있다. 예를 들어, 은, 구리, 알루미늄, 카본 나노튜브, 그래핀, 또는 할로젠화 금속(할로젠화 은 등)을 사용하여도 좋다. 또는, 폭이 매우 얇은(예를 들어, 직경이 수 나노미터) 복수의 도전체를 포함하는 금속 나노와이어를 사용하여도 좋다. 또는, 도전체의 그물 형태 금속 메시를 사용하여도 좋다. 이들 재료의 예로서는, Ag 나노와이어, Cu 나노와이어, Al 나노와이어, Ag 메시, Cu 메시, 및 Al 메시가 포함된다. 예를 들어, 터치 패널의 배선 및 전극에 Ag 나노와이어를 사용하는 경우, 89% 이상의 가시광 투과율, 40Ω/sq. 이상 100Ω/sq. 이하의 시트 저항값을 달성할 수 있다. 상술한 터치 패널의 배선 및 전극에 사용할 수 있는 재료의 예인 금속 나노와이어, 금속 메시, 카본 나노튜브, 및 그래핀 등은 가시광 투과율이 높기 때문에, 표시 소자의 전극(예를 들어, 화소 전극 또는 공통 전극)에 사용하여도 좋다. 도전층(430)은 도전층(410)을 형성하기 위하여 사용되는 막과 같은 막을 사용하여 형성될 수 있다.

[0240] <<절연층(420) 및 절연층(440)>>

[0241] 절연층(420)에는 무기 재료 또는 유기 재료를 사용할 수 있다. 예를 들어, 산화 실리콘, 산화질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 산화 갈륨, 산화질화 갈륨, 산화 이트륨, 산화질화 이트륨, 산화 하프늄, 또는 산화질화 하프늄 등의 산화물 절연막; 질화 실리콘 또는 질화 알루미늄 등의 질화물 절연막; 또는 폴리이미드 수지, 아크릴 수지, 폴리이미드아마이드 수지, 벤조사이클로뷰테인 수지, 폴리아마이드 수지, 또는 에폭시 수지 등의 내열성 유기 재료를 사용할 수 있다. 절연층(440)은 절연층(420)에 사용되는 막과 같은 막을 사용하여 형성될 수 있다.

[0242] <<유기 EL 패널>>

[0243] 또한, 발광 소자(70)가 표시 소자로서 사용되는 표시 장치(10)를 제작할 수 있다.

[0244] 도 22, 도 23, 및 도 24는 각각 발광 소자를 사용한 표시 장치의 단면도이다. 액정 패널에도 포함되는 부분(트랜지스터 등)은 액정 패널과 같은 식으로 형성될 수 있다.

[0245] <<발광 소자(70)>>

[0246] 발광 소자(70)로서는 자기 발광(self-luminous) 소자를 사용할 수 있고, 전류 또는 전압으로 휘도가 제어되는 소자를 발광 소자의 범주에 포함한다. 예를 들어, 발광 다이오드(LED), 유기 EL 소자, 또는 무기 EL 소자 등을 사용할 수 있다. 예를 들어, 하부 전극, 상부 전극, 및 하부 전극과 상부 전극 사이의 발광성 유기 화합물을 포함하는 층(EL층(250)이라고도 함)을 포함하는 유기 소자를 발광 소자(70)로서 사용할 수 있다.

[0247] 발광 소자는 톱 이미션(top emission), 보텀 이미션(bottom emission), 또는 듀얼 이미션(dual emission) 발광 소자이어도 좋다. 광을 추출하는 층의 전극에는 가시광을 투과하는 도전막을 사용한다. 또한, 광을 추출하지 않는 층의 전극에는 가시광을 반사하는 도전막을 사용한다.

[0248] 도전층(220)을 포함하는 하부 전극과 도전층(260)을 포함하는 상부 전극 사이에 발광 소자의 문턱 전압보다 높은 전압을 인가하면, EL층(250)에 애노드 측으로부터 정공이 주입되고 EL층(250)에 캐소드 측으로부터 전자가 주입된다. 주입된 전자 및 정공은 EL층(250)에서 재결합하고, EL층(250)에 포함되는 발광 물질이 발광한다.

[0249] EL층(250)은 적어도 발광층을 포함한다. 발광층에 더하여, EL층(250)은 정공 주입성이 높은 물질, 정공 수송성이 높은 물질, 정공 블로킹 재료, 전자 수송성이 높은 물질, 전자 주입성이 높은 물질, 및 양극성(bipolar) 물질(전자 수송성 및 정공 수송성이 높은 물질) 등 중 어느 것을 포함하는 하나 이상의 층을 더 포함하여도 좋다.

[0250] EL층(250)에는 저분자 화합물 및 고분자 화합물 중 어느 것을 사용할 수도 있고, 무기 화합물을 사용하여도 좋다. EL층(250)에 포함되는 층 각각은 다음 방법 중 어느 것으로 형성될 수 있다: 증착법(진공 증착법을 포함함), 전사(轉寫)법, 인쇄법, 잉크젯법, 및 도포법 등.

[0251] 발광 소자는 2종류 이상의 발광 물질을 포함하여도 좋다. 이로써, 예를 들어 백색 발광의 발광 소자를 달성할 수 있다. 예를 들어 2개 이상의 발광 물질이 보색을 발하도록 발광 물질을 선택함으로써 백색 발광을 얻을 수 있다. 예를 들어 적색(R), 녹색(G), 청색(B), 황색(Y), 또는 주황색(O)을 발하는 발광 물질 또는 R

광, G 광, 및 B 광 중 2개 이상의 스펙트럼 성분을 포함한 광을 발하는 발광 물질을 사용할 수 있다. 예를 들어 청색 광을 발하는 발광 물질과 황색 광을 발하는 발광 물질을 사용하여도 좋다. 이때, 황색 광을 발하는 발광 물질의 발광 스펙트럼은 G 광 및 R 광의 스펙트럼 성분을 포함하는 것이 바람직하다. 발광 소자(70)의 발광 스펙트럼은 가시 영역의 파장 범위(예를 들어 350nm 이상 750nm 이하, 또는 400nm 이상 800nm 이하) 내에 2개 이상의 피크를 갖는 것이 바람직하다.

[0252] EL층(250)은 복수의 발광층을 포함하여도 좋다. EL층(250)에서 복수의 발광층은 서로 접촉하여 적층되어도 좋고, 분리층을 개재하여 적층되어도 좋다. 예를 들어 형광층과 인광층 사이에 분리층이 제공되어도 좋다.

[0253] 분리층은 예를 들어, 인광층 내에서 생성되는 들뜬 상태의 인광 재료 등으로부터 형광층 내의 형광 재료 등으로의 텍스터 기구(Dexter mechanism)에 의한 에너지 이동(특히 3중항 에너지 이동)을 방지하기 위하여 제공될 수 있다. 분리층의 두께는 수nm이어도 좋다. 구체적으로는 0.1nm 이상 20nm 이하, 1nm 이상 10nm 이하, 또는 1nm 이상 5nm 이하이어도 좋다. 분리층은, 단일의 재료(바람직하게는 양극성 물질) 또는 복수의 재료(바람직하게는 정공 수송성 재료 및 전자 수송성 재료)를 포함한다.

[0254] 분리층은 이 분리층과 접촉되는 발광층에 포함되는 재료를 사용하여 형성되어도 좋다. 이로써, 발광 소자의 제작이 용이해지고 구동 전압이 저감된다. 예를 들어, 인광층이 호스트 재료, 어시스트 재료, 및 인광 재료(게스트 재료)를 포함하는 경우, 분리층은 상기 호스트 재료 및 어시스트 재료를 포함하여도 좋다. 바꿔 말하면, 상기 구조에서, 분리층은 인광 재료를 포함하지 않는 영역을 포함하고 인광층은 인광 재료를 포함하는 영역을 포함한다. 따라서, 분리층과 인광층을 인광 재료의 사용의 유무에 따라 독립적으로 증착할 수 있다. 이와 같은 구조로 함으로써, 분리층과 인광층을 같은 체임버에서 형성할 수 있다. 그 결과, 제작 비용을 저감할 수 있다.

[0255] <<마이크로캐비티>>

[0256] 도 22에서 발광 소자(70)는 마이크로캐비티 구조를 갖는 발광 소자의 일례이다. 예를 들어, 발광 소자(70)의 하부 전극 및 상부 전극을 사용하여 마이크로캐비티 구조를 형성하여, 발광 소자로부터 특징의 파장의 광을 효율적으로 추출할 수 있다.

[0257] 구체적으로는, 가시광을 반사하는 반사막을 하부 전극으로서 사용하고, 가시광의 일부를 투과시키고 가시광의 일부를 반사하는 반투과·반반사막을 상부 전극에 사용한다. 특징의 파장의 광이 효율적으로 추출될 수 있도록 하부 전극과 상부 전극을 배치한다.

[0258] 예를 들어, 하부 전극은 발광 소자의 하부 전극 또는 애노드로서 기능한다. 하부 전극은 발광층으로부터의 원하는 발광을 공진하고 그 파장을 증폭시킬 수 있다. 광학 거리를 조정하는 층(230)은 하부 전극에 반드시 제공될 필요는 없다. 발광 소자에 포함되는 적어도 하나의 층은 광학 거리를 조정하도록 사용될 수 있다. 예를 들어, 광학 거리를 조정하는 층(230)은 산화 인듐, 인듐주석 산화물(ITO), 인듐아연 산화물, 산화 아연(ZnO), 또는 갈륨이 첨가된 산화 아연을 사용하여 형성될 수 있다.

[0259] 마이크로캐비티 구조를 사용하는 경우, 발광 소자의 상부 전극으로서 반투과·반반사 전극을 사용할 수 있다. 반투과·반반사 전극은 반사성 도전성 재료와 투광성 도전성 재료를 사용하여 형성된다. 도전성 재료로서는, 가시광 반사율이 20% 이상 80% 이하, 바람직하게는 40% 이상 70% 이하이고 저항률이 $1 \times 10^{-2} \Omega \cdot \text{cm}$ 이하인 도전성 재료를 사용할 수 있다. 반투과·반반사 전극은 도전성 금속, 도전성 합금, 및 도전성 화합물 등을 1종류 이상 사용하여 형성될 수 있다. 특히, 일함수가 작음(3.8eV 이하) 재료가 바람직하다. 예를 들어, 알루미늄, 은, 원소 주기율표의 1족 또는 2족에 속하는 원소(예를 들어 리튬 또는 세슘 등의 알칼리 금속, 칼슘 또는 스트론튬 등의 알칼리 토금속, 또는 마그네슘), 이들 원소 중 어느 것을 포함하는 합금(예를 들어, Ag-Mg 또는 Al-Li), यू로퓸 또는 이터븀 등의 희토류 금속, 및 이들 희토류 금속 중 어느 것을 포함하는 합금.

[0260] 전극은 각각 증착법 또는 스퍼터링법으로 형성될 수 있다. 또는, 잉크젯법 등의 토출법, 스크린 인쇄법 등의 인쇄법, 또는 도금법을 이용할 수 있다.

[0261] 또한, 유기 EL에는 마이크로캐비티 구조 외의 구조를 채용할 수 있다. 예를 들어 발광 소자로부터 방출되는 색이 다른 독립 화소 방식(separate coloring method), 또는 백색의 광을 방출하는 재료를 사용하는 백색 EL 방법을 이용할 수 있다.

[0262] <<도전층(200)>>

[0263] 도전층(200)은 알루미늄, 크로뮴, 구리, 탄탈럼, 타이타늄, 몰리브데넘, 니켈, 철, 코발트, 및 텅스텐 중에서 선택되는 금속 원소; 이들 금속 원소 중 어느 것을 성분으로서 포함하는 합금; 또는 이들 금속 원소 중 어느 것을 조합하여 포함하는 합금 등을 사용하여 형성된다. 또한, 망가니즈 및 지르코늄 중에서 선택된 하나 또는 복수의 금속 원소를 사용하여도 좋다. 도전층(200)은 단층 구조를 가져 좋고 2층 이상의 적층 구조를 가져도 좋다. 예를 들어, 이하 중 어느 것을 사용할 수 있다: 실리콘을 포함하는 알루미늄막의 단층 구조; 망가니즈를 포함하는 구리막의 단층 구조; 알루미늄막 위에 타이타늄막을 적층한 2층 구조; 질화 타이타늄막 위에 타이타늄막을 적층한 2층 구조; 질화 타이타늄막 위에 텅스텐막을 적층한 2층 구조; 질화 탄탈럼막 또는 질화 텅스텐막 위에 텅스텐막을 적층한 2층 구조; 망가니즈를 포함하는 구리막 위에 구리막을 적층한 2층 구조; 타이타늄막, 알루미늄막, 및 타이타늄막을 이 순서대로 적층한 3층 구조; 및 망가니즈를 포함하는 구리막, 구리막, 및 망가니즈를 포함하는 구리막을 이 순서대로 적층한 3층 구조 등. 또는, 타이타늄, 탄탈럼, 텅스텐, 몰리브데넘, 크로뮴, 네오디뮴, 및 스칸듐 중에서 선택되는 하나 이상의 원소와 알루미늄을 포함한 합금막 또는 질화막을 사용하여도 좋다.

[0264] <<도전층(220)>>

[0265] 가시광을 반사하는 도전층(220)에는, 예를 들어 알루미늄, 금, 백금, 은, 니켈, 텅스텐, 크로뮴, 몰리브데넘, 철, 코발트, 구리, 또는 팔라듐 등의 금속 재료, 또는 이들 금속 재료 중 어느 것을 포함하는 합금을 사용할 수 있다. 이 금속 재료 또는 합금에 란타넘, 네오디뮴, 또는 저마늄 등을 첨가하여도 좋다. 또한, 알루미늄과 타이타늄의 합금, 알루미늄과 니켈의 합금, 알루미늄과 네오디뮴의 합금, 또는 알루미늄과 니켈과 란타넘의 합금(Al-Ni-La) 등의 알루미늄을 포함하는 합금(알루미늄 합금), 또는 은과 구리의 합금, 은과 팔라듐과 구리의 합금(Ag-Pd-Cu, APC라고도 함), 또는 은과 마그네슘의 합금 등의 은을 포함하는 합금을 도전막으로서 형성할 수 있다. 은과 구리의 합금은 내열성이 높으므로 바람직하다. 알루미늄 합금막에 금속막 또는 금속 산화물막을 적층함으로써 알루미늄 합금막의 산화를 억제할 수 있다. 이 금속막 또는 금속 산화물막의 재료의 예는 타이타늄 및 산화 타이타늄이다. 또는, 가시광을 투과하는 특성을 갖는 도전막과 상술한 금속 재료 중 어느 것을 포함하는 막을 적층하여도 좋다. 예를 들어, 은과 ITO의 적층막 또는 은과 마그네슘의 합금과 ITO의 적층막을 사용할 수 있다.

[0266] <<도전층(260)>>

[0267] 가시광을 투과시키는 도전층(260)은 예를 들어, 산화 인듐, 인듐주석 산화물(ITO), 인듐아연 산화물, 산화 아연(ZnO), 또는 갈륨이 첨가된 산화 아연을 사용하여 형성될 수 있다. 또는, 금, 은, 백금, 마그네슘, 니켈, 텅스텐, 크로뮴, 몰리브데넘, 철, 코발트, 구리, 팔라듐, 또는 타이타늄 등의 금속 재료; 이들 금속 재료 중 어느 것을 포함하는 합금; 또는 이들 금속 재료 중 어느 것의 질화물(예를 들어, 질화 타이타늄)의 막을 투광성을 가지도록 얇게 형성할 수 있다. 상기 재료 중 어느 것의 적층을 도전층으로서 사용할 수 있다. 예를 들어, 은과 마그네슘의 합금과 ITO의 적층막을 사용하면 도전성을 높일 수 있으므로 바람직하다. 또는, 그래핀 등을 사용하여도 좋다.

[0268] <<독립 화소 방식을 이용한 유기 EL 패널>>

[0269] 유기 EL 소자는 도 23에 도시된 바와 같이 독립 화소 방식을 이용하여 형성될 수도 있다. 도 23은 도전층(220) 위의 EL층(250)을 위하여 독립 화소 방식을 이용하는 점이 도 22와 다르다.

[0270] <<가요성 표시 장치>>

[0271] 표시 장치는 도 24에 도시된 바와 같이 개요성 기관(101) 또는 개요성 기관(301) 위에 형성될 수 있다. 개요성 기관과 표시 장치는 접착층(370)으로 서로 접착될 수 있다. 이러한 식으로, 접을 수 있는 터치 패널 또는 곡면을 갖는 터치 패널을 제작할 수 있다. 또한, 기관의 두께를 얇게 하여, 터치 패널을 경량화시킬 수 있다.

[0272] <<가요성 표시 장치의 제작 방법예>>

[0273] 여기서 개요성 표시 장치를 제작하는 방법에 대하여 설명한다.

[0274] 편의상 화소 및 회로를 포함하는 구조, 컬러 필터 등의 광학 부재를 포함하는 구조, 또는 터치 센서를 포함하는 구조를 소자층이라고 한다. 소자층은 표시 소자를 포함하고, 예를 들어, 표시 소자 외에도 표시 소자와 전기적으로 접속되는 배선, 또는, 화소 또는 회로에 사용되는 트랜지스터 등의 소자를 포함하여도 좋다.

[0275] 여기서는, 소자층이 형성되는 절연 표면을 갖는 지지체(예를 들어 기관(101) 또는 기관(301))를 기재라

고 한다.

- [0276] 절연 표면이 제공된 가요성 기재 위에 소자층을 형성하는 방법으로서는, 기재 위에 소자층을 직접 형성하는 방법, 및 강성(剛性)을 가지며 상기 기재와 다른 지지 기재 위에 소자층을 형성한 후에 이 소자층을 지지 기재로부터 박리하여 기재로 옮기는 방법이 있다.
- [0277] 기재의 재료가 소자층 형성 공정의 가열 온도에 견딜 수 있는 경우에는, 기재 위에 소자층을 직접 형성하면 제작 공정이 간략화되므로 바람직하다. 이때, 기재를 지지 기재에 고정된 상태로 소자층을 형성하면, 장치 내 및 장치 간에서의 반응이 용이해질 수 있으므로 바람직하다.
- [0278] 소자층을 지지 기재 위에 형성한 후에 기재로 옮기는 방법을 채용하는 경우, 먼저, 지지 기재 위에 박리층과 절연층을 적층하고 이 절연층 위에 소자층을 형성한다. 이어서 지지 기재로부터 소자층을 박리하여 기재로 옮긴다. 이때 지지 기재와 박리층의 계면, 박리층과 절연층의 계면, 또는 박리층 내에서 박리가 발생하는 재료를 선택한다.
- [0279] 예를 들어, 박리층으로서 텅스텐 등의 고용점 금속 재료를 포함하는 층과 상기 금속 재료의 산화물을 포함하는 층의 적층이 사용되고, 박리층 위에 질화 실리콘층 및 산화질화 실리콘층 등의 복수의 층의 적층이 사용되는 것이 바람직하다. 고용점 금속 재료를 사용하면 소자층의 형성 공정의 자유도가 높아질 수 있으므로 바람직하다.
- [0280] 박리는 기계적인 힘을 가하거나, 박리층을 에칭하거나, 또는 박리 계면의 일부에 액체를 적하하여 박리 계면 전체로 침투시키는 등에 의하여 수행되어도 좋다. 또는, 열팽창 계수의 차를 이용하여 박리 계면에 열을 가함으로써 박리를 수행하여도 좋다.
- [0281] 지지 기재와 절연층의 계면에서 박리가 발생할 수 있는 경우, 박리층은 불필요하다. 예를 들어, 지지 기재로서 유리를 사용하고, 절연층으로서 폴리이미드 등의 유기 수지를 사용하고 유기 수지의 일부를 레이저 광등을 사용하여 국소적으로 가열함으로써 박리의 기점을 형성하고, 유리와 절연층의 계면에서 박리를 수행한다. 또는, 지지 기재와 유기 수지로 형성된 절연층 사이에 금속층을 제공하고, 이 금속층에 전류를 공급하여 이 금속층을 가열함으로써 상기 금속층과 절연층의 계면에서 박리를 수행하여도 좋다. 이 경우 유기 수지로 형성된 절연층을 기재로서 사용할 수 있다.
- [0282] 가요성을 갖는 기재의 예로서는, 폴리에틸렌테레프탈레이트(PET) 및 폴리에틸렌나프탈레이트(PEN) 등의 폴리에스터 수지, 폴리아크릴로나이트릴 수지, 폴리이미드 수지, 폴리메틸메타크릴레이트 수지, 폴리카보네이트(PC) 수지, 폴리에터설폰(PES) 수지, 폴리아마이드 수지, 사이클로올레핀 수지, 폴리스타이렌 수지, 폴리아마이드이미드 수지, 및 폴리염화바이닐 수지가 포함된다. 특히, 열팽창 계수가 낮은 재료를 사용하는 것이 바람직하고, 예를 들어 열팽창 계수가 $30 \times 10^{-6}/K$ 이하인 폴리아마이드이미드 수지, 폴리이미드 수지, 또는 PET 등을 바람직하게 사용할 수 있다. 섬유체에 수지를 함침(含浸)시킨 기관(프리프레그라고도 함) 또는 무기 필러(filler)를 유기 수지에 혼합시켜 열팽창 계수를 낮춘 기관을 사용할 수도 있다.
- [0283] 상술한 재료에 섬유체가 포함되는 경우, 섬유체로서 유기 화합물 또는 무기 화합물의 고강도 섬유를 사용한다. 고강도 섬유란, 구체적으로는 인장 탄성률(tensile elastic modulus) 또는 영률(Young's modulus)이 높은 섬유이다. 이들의 대표적인 예로서는 폴리바이닐알코올계 섬유, 폴리에스터계 섬유, 폴리아마이드계 섬유, 폴리에틸렌계 섬유, 아라미드계 섬유, 폴리파라페닐렌벤조비스옥사졸 섬유, 유리 섬유, 또는 탄소 섬유가 포함된다. 유리 섬유로서는 E유리, S유리, D유리, 또는 Q유리 등을 사용한 유리 섬유를 사용할 수 있다. 이들 섬유는 직포 또는 부직포 상태로 사용되어도 좋고, 이 섬유체에 수지를 함침시키고 그 수지를 경화시킨 구조물을 가요성 기관으로서 사용하여도 좋다. 가요성 기관으로서 섬유체와 수지를 포함하는 구조물을 사용하면 휘어짐 또는 국소적인 가압으로 인한 파손에 대한 신뢰성이 향상될 수 있으므로 바람직하다.
- [0284] 또는, 가요성을 가질 정도로 얇은 유리 또는 금속 등을 기재로서 사용할 수 있다. 또는, 유리와 수지 재료가 서로 접착된 복합 재료를 사용하여도 좋다.
- [0285] 예를 들어, 도 24에 도시된 구조에서, 제 1 지지 기재 위에 제 1 박리층 및 절연층(112)을 이 순서대로 형성하고, 제 1 박리층 및 절연층(112) 위의 층에 구성물을 형성한다. 이와 별도로, 제 2 지지 기재 위에 제 2 박리층 및 절연층(312)을 이 순서대로 형성한 후에, 이들 상부의 구성물을 형성한다. 이어서, 제 1 지지 기재를 접착층(370)으로 제 2 지지 기재와 접착시킨다. 그 후, 제 2 박리층과 절연층(312)의 계면에서 박리함으로써 제 2 지지 기재 및 제 2 박리층을 제거하고 나서, 절연층(312)과 기관(301)을 접착층(372)으로 접착한다.

또한, 제 1 박리층과 절연층(112)의 계면에서 박리함으로써 제 1 지지 기재 및 제 1 박리층을 제거하고 나서, 절연층(112)과 기관(101)을 접착층(371)으로 접착한다. 또한, 박리 및 접착은 어느 쪽을 먼저 하여도 좋다.

[0286] 상기가 개요성 표시 장치를 제작하는 방법에 대한 설명이다.

[0287] <<트랜지스터와 터치 센서의 배선의 위치 관계>>

[0288] 도 25는 화소, 트랜지스터, 및 터치 센서의 배선의 위치 관계를 도시한 상면도이다. 터치 센서용 전극인 도전층(410)은 예를 들어, 소스선(91) 또는 게이트선(92)과 중첩되어 제공될 수 있고, 소스선(91) 또는 게이트선(92)과 중첩되지 않고 나란히 배치되도록 제공될 수 있다. 상기 예와 달리 터치 센서의 배선인 도전층(410)은 트랜지스터(50) 및 용량 소자(61)와 중첩되어도 좋다. 도전층(410)은 화소(24)와 중첩되지 않도록 제공되지만, 도전층(410)은 화소(24)와 중첩되도록 제공될 수 있다. 터치 센서의 전극으로서 기능할 수 있는 도전층(430) 및 도전층(380)은 같은 식으로 배치될 수 있다.

[0289] 또한, 본 실시형태에서 설명한 구조 및 방법 등은 다른 실시형태에서 설명한 구조 및 방법 등 중 어느 것과 적절히 조합하여 사용될 수 있다.

[0290] (실시형태 5)

[0291] 본 실시형태의 설명은 실시형태 4에서 설명한 트랜지스터의 구조의 변형예이다.

[0292] <<적층된 산화물 반도체>>

[0293] 또한, 반도체층(140)에서, 금속 원소의 원자수비가 다른 복수의 산화물 반도체막이 적층되어 있어도 좋다. 예를 들어, 도 26의 (A)에 도시된 트랜지스터(51)로서, 절연층(130) 위에 산화물 반도체층(141) 및 산화물 반도체층(142)을 이 순서대로 적층하여도 좋다. 또는, 도 26의 (B)에 도시된 바와 같이 절연층(130) 위에 산화물 반도체층(142), 산화물 반도체층(141), 및 산화물 반도체층(143)을 이 순서대로 적층하여도 좋다. 산화물 반도체층(142) 및 산화물 반도체층(143)은 산화물 반도체층(141)과 금속 원소의 원자수비가 다르다.

[0294] <<채널 보호 트랜지스터 및 톱 게이트 트랜지스터>>

[0295] 도 8의 (B)에 도시된 트랜지스터(50) 등은 보텀 게이트 트랜지스터에 한정되지 않는다. 트랜지스터(50)의 변형예로서 도 27의 (A)는 트랜지스터(53)를 도시한 것이고 도 27의 (B)는 트랜지스터(54)를 도시한 것이다. 도 8의 (B)에 도시된 트랜지스터(50)는 채널 에치 트랜지스터이지만 도 27의 (A)의 단면도에 도시된 바와 같이 절연층(165)을 포함하는 채널 보호 트랜지스터(53)이어도 좋고 또는 도 27의 (B)의 단면도에 도시된 바와 같이 톱 게이트 트랜지스터(54)이어도 좋다.

[0296] <<듀얼 게이트 구조>>

[0297] 트랜지스터(50)의 변형예인 트랜지스터(55)를 도 28의 (A) 내지 (C)를 참조하여 설명한다. 도 28의 (A) 내지 (C)에 도시된 트랜지스터는 듀얼 게이트 구조를 갖는다.

[0298] 도 28의 (A) 내지 (C)는 트랜지스터(55)의 상면도 및 단면도이다. 도 28의 (A)는 트랜지스터(55)의 상면도이고, 도 28의 (B)는 도 28의 (A)의 일점쇄선 A-A'를 따른 단면도이고, 도 28의 (C)는 도 28의 (A)의 일점쇄선 B-B'를 따른 단면도이다. 또한, 도 28의 (A)에서는 명료화를 위하여 기관(100), 절연층(110), 절연층(130), 절연층(170), 및 절연층(180) 등을 도시하지 않았다.

[0299] 도 28의 (A) 내지 (C)에 도시된 트랜지스터(55)는 절연층(110) 위에 있고 게이트 전극으로서 기능하는 도전층(120), 도전층(120) 위에 있고 게이트 절연막으로서 기능하는 절연층(130), 절연층(130)을 개재하여 도전층(120)과 중첩되는 반도체층(140), 반도체층(140)과 접촉되는 도전층(150) 및 도전층(160), 반도체층(140) 및 도전층(150) 및 도전층(160) 위의 절연층(170), 절연층(170) 위의 절연층(180), 및 절연층(180) 위에 있고 백 게이트 전극으로서 기능하는 도전층(520)을 포함한다. 도전층(120)은 절연층(130), 절연층(170), 및 절연층(180)의 개구(530)에서 도전층(520)과 접속된다.

[0300] <<도전층(520)>>

[0301] 도전층(520)은 가시광을 투과시키는 도전막 또는 가시광을 반사하는 도전막을 사용하여 형성된다. 예를 들어 가시광을 투과시키는 도전막에는 예를 들어, 인듐(In), 아연(Zn), 및 주석(Sn) 중 하나를 포함하는 재료를 사용할 수 있다. 가시광을 투과시키는 도전막의 대표적인 예로서, 인듐주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타

이타늄을 포함하는 인듐주석 산화물, 인듐아연 산화물, 및 산화 실리콘을 포함하는 인듐주석 산화물 등의 도전성 산화물을 포함한다. 가시광을 반사하는 도전막에는 예를 들어 알루미늄 또는 은을 포함하는 재료를 사용할 수 있다.

[0302] 또한, 도 28의 (C)에 도시된 바와 같이 채널 폭 방향에서 반도체층(140)의 측면과 도전층(520)이 대향하면 절연층(170)과 반도체층(140)의 계면 및 절연층(130)과 반도체층(140)의 계면뿐만 아니라 반도체층(140) 내부에서도 캐리어가 흐른다. 따라서, 트랜지스터(55)에서의 캐리어의 이동량이 증가된다. 이 결과, 트랜지스터(55)의 온 상태 전류 및 전계 효과 이동도가 높게 된다. 도전층(520)의 전계가 반도체층(140)의 측면, 또는 측면과 그 근방을 포함한 단부에 영향을 미치지 때문에, 반도체층(140)의 측면 또는 단부에서의 기생 채널의 발생을 억제할 수 있다.

[0303] 도 28의 (A) 내지 (C)에 도시된 트랜지스터를 화소부에 제공함으로써, 대형 표시 장치 또는 고정세(高精細) 표시 장치에 있어서 배선 수가 증대되어도 배선에서의 신호 지연을 저감할 수 있고 표시의 불균일 등의 표시 불량을 억제할 수 있다.

[0304] 또한, 주변 회로(게이트 드라이버 등)에 포함된 트랜지스터(52)는 모두 같은 구조를 가져도 좋고 또는 2종류 이상의 구조를 가져도 좋다. 화소부에 포함된 복수의 트랜지스터(50)는 모두 같은 구조를 가져도 좋고, 2종류 이상의 구조를 가져도 좋다.

[0305] 본 실시형태에서 산화물 반도체를 포함하는 트랜지스터를 사용한 예를 나타내었지만, 본 발명의 일 형태는 이 예에 한정되지 않는다. 경우 또는 상황에 따라 본 발명의 일 형태에는, 산화물 반도체가 아닌 반도체 재료를 포함한 트랜지스터를 사용하여도 좋다.

[0306] 예를 들어, 반도체층(140)에 14족 원소, 화합물 반도체, 또는 산화물 반도체 등을 사용하는 트랜지스터를 사용할 수 있다. 구체적으로는 실리콘을 포함한 반도체, 갈륨 비소를 포함한 반도체, 또는 유기 반도체 등을 사용할 수 있다.

[0307] 예를 들어, 단결정 실리콘, 폴리실리콘, 또는 비정질 실리콘을 트랜지스터의 반도체층에 사용할 수 있다.

[0308] 또한, 본 실시형태에서 제시한 구조 및 방법 등은 다른 실시형태에 제시된 구조 및 방법 등 중 어느 것과 적절히 조합하여 사용될 수 있다.

[0309] (실시형태 6)

[0310] 본 실시형태에서는, 본 발명의 일 형태의 표시 패널의 구조에 대하여 도 29의 (A) 내지 (C)를 참조하여 설명한다.

[0311] [구성예]

[0312] 도 29의 (A)는 본 발명의 일 형태의 표시 장치의 상면도이다. 도 29의 (B)는 본 발명의 일 형태의 표시 장치 내의 화소에 액정 소자를 사용하는 경우에 사용될 수 있는 화소 회로를 도시한 회로도이다. 도 29의 (C)는 본 발명의 일 형태의 표시 장치 내의 화소에 유기 EL 소자를 사용하는 경우에 사용할 수 있는 화소 회로를 도시한 회로도이다.

[0313] 화소부 내의 트랜지스터는 상기 실시형태에 따라 형성될 수 있다. 트랜지스터는 n채널형 트랜지스터로서 쉽게 형성이 가능하며, n채널형 트랜지스터를 사용하여 형성될 수 있는 구동 회로의 일부를 화소부의 트랜지스터로서 동일한 기판 위에 형성한다. 이와 같이, 화소부 또는 구동 회로에 상술한 실시형태에서 설명한 트랜지스터 중 어느 것을 사용함으로써, 신뢰성이 높은 표시 장치를 제공할 수 있다.

[0314] 액티브 매트릭스형 표시 장치의 상면도의 예를 도 29의 (A)에 도시하였다. 표시 장치의 기판(700) 위에는 화소부(701), 주사선 구동 회로(702), 주사선 구동 회로(703), 및 신호선 구동 회로(704)가 형성된다. 화소부(701)에는 신호선 구동 회로(704)로부터 연장된 복수의 신호선이 배치되고 주사선 구동 회로(702) 및 주사선 구동 회로(703)로부터 연장된 복수의 주사선이 배치된다. 또한, 표시 소자를 포함하는 화소가 주사선과 신호선이 서로 교차되는 각 영역에서 매트릭스로 제공된다. 표시 장치의 기판(700)은 FPC(flexible printed circuit) 등의 접속부를 통하여 타이밍 제어 회로(컨트롤러 또는 제어 IC라고도 함)에 접속된다.

[0315] 도 29의 (A)에서는 주사선 구동 회로(702), 주사선 구동 회로(703), 및 신호선 구동 회로(704)는 화소부(701)가 형성되는 기판(700) 위에 형성된다. 따라서, 외부에 제공되는 구동 회로 등의 부품 수가 줄어들므로

써 비용의 저감을 달성할 수 있다. 또한, 기관(700) 외부에 구동 회로를 제공하면 배선을 연장시킬 필요가 있고, 배선 간의 접속 수가 증가된다. 기관(700) 위에 구동 회로를 제공하면 배선 간의 접속 수를 줄일 수 있어, 신뢰성 또는 수율의 향상을 달성할 수 있다.

[0316] [액정 표시 장치]

[0317] 화소의 회로 구성의 일례를 도 29의 (B)에 도시하였다. 여기서는, 일례로서 VA형 액정 표시 장치의 화소에 적용할 수 있는 화소 회로를 도시하였다.

[0318] 이 화소 회로는 하나의 화소에 복수의 화소 전극층이 포함되는 구조에 적용할 수 있다. 화소 전극층은 다른 트랜지스터에 접속되고, 트랜지스터는 다른 게이트 신호로 구동될 수 있다. 따라서, 멀티 도메인 화소의 각 화소 전극층에 인가된 신호를 독립적으로 제어할 수 있다.

[0319] 트랜지스터(716)의 게이트 배선(712)과 트랜지스터(717)의 게이트 배선(713)을 분리하여 다른 게이트 신호가 공급될 수 있다. 한편, 데이터선(714)은 트랜지스터(716)와 트랜지스터(717)에서 공유된다. 트랜지스터(716) 및 트랜지스터(717) 각각으로서는 상술한 실시형태 중 어느 것에서 설명한 트랜지스터를 적절히 사용할 수 있다. 이로써 신뢰성이 높은 액정 표시 장치를 제공할 수 있다.

[0320] 트랜지스터(716)에 전기적으로 접속되는 제 1 화소 전극층 및 트랜지스터(717)에 전기적으로 접속되는 제 2 화소 전극층의 형상에 대하여 설명한다. 제 1 화소 전극과 제 2 화소 전극을 분리한다. 또한, 제 1 화소 전극 및 제 2 화소 전극의 형상은 특별히 한정되지 않는다. 예를 들어, 제 1 화소 전극을 V자 형상을 가져도 좋다.

[0321] 트랜지스터(716)의 게이트 전극은 게이트 배선(712)과 접속되고, 트랜지스터(717)의 게이트 전극은 게이트 배선(713)과 접속된다. 게이트 배선(712)과 게이트 배선(713)에 다른 게이트 신호를 공급함으로써 트랜지스터(716)와 트랜지스터(717)의 동작 타이밍을 다르게 할 수 있다. 결과로서, 액정의 배향을 제어할 수 있다.

[0322] 또한, 용량 배선(710), 유전체로서 기능하는 게이트 절연막, 및 제 1 화소 전극층 및 제 2 화소 전극층과 전기적으로 접속되는 용량 전극을 사용하여 유지 용량을 형성하여도 좋다.

[0323] 멀티 도메인 화소는 제 1 액정 소자(718)와 제 2 액정 소자(719)를 포함한다. 제 1 액정 소자(718)는 제 1 화소 전극층, 대향 전극층, 및 이들 사이의 액정층을 포함한다. 제 2 액정 소자(719)는 제 2 화소 전극층, 대향 전극층, 및 이들 사이의 액정층을 포함한다.

[0324] 또한, 본 발명의 화소 회로는 도 29의 (B)에 도시된 것에 한정되지 않는다. 예를 들어, 도 29의 (B)에 도시된 화소 회로에 스위치, 저항 소자, 용량 소자, 트랜지스터, 센서, 또는 논리 회로 등을 추가하여도 좋다.

[0325] [유기 EL 표시 장치]

[0326] 화소의 회로 구성의 다른 예를 도 29의 (C)에 도시하였다. 여기서는, 유기 EL 소자를 사용한 표시 장치의 화소 구조를 나타낸다.

[0327] 유기 EL 소자에서, 발광 소자에 전압을 인가함으로써, 한 쌍의 전극 중 한쪽으로부터 전자가, 다른 쪽으로부터 정공이 발광성 유기 화합물을 포함하는 층에 주입되어 전류가 흐른다. 전자 및 정공이 재결합함으로써 발광성 유기 화합물이 여기된다. 그 발광성 유기 화합물은 여기 상태에서부터 기저 상태로 되돌아가, 발광한다. 이와 같은 메커니즘 때문에 이 발광 소자는 전류 여기형 발광 소자라고 한다.

[0328] 도 29의 (C)는 적용 가능한 화소 회로의 예를 도시한 것이다. 여기서는 n채널형 트랜지스터를 하나의 화소에 2개 포함한다. 또한, 본 발명의 일 형태의 금속 산화물막은 n채널형 트랜지스터의 채널 형성 영역에 사용될 수 있다. 또한, 이 화소 회로에는 디지털 시간 계조 구동을 채용할 수 있다.

[0329] 적용 가능한 화소 회로의 구성 및 디지털 시간 계조 구동을 채용한 화소의 동작에 대하여 설명한다.

[0330] 화소(720)는 스위칭용 트랜지스터(721), 구동용 트랜지스터(722), 발광 소자(724), 및 용량 소자(723)를 포함한다. 스위칭용 트랜지스터(721)의 게이트 전극층은 주사선(726)에 접속되고, 스위칭용 트랜지스터(721)의 제 1 전극(소스 전극층 및 드레인 전극층 중 한쪽)이 신호선(725)에 접속되고, 스위칭용 트랜지스터(721)의 제 2 전극(소스 전극층 및 드레인 전극층 중 다른 쪽)이 구동용 트랜지스터(722)의 게이트 전극층에 접속된다. 구동용 트랜지스터(722)의 게이트 전극층이 용량 소자(723)를 통하여 전원선(727)에 접속되고, 구동용 트랜지스터(722)의 제 1 전극이 전원선(727)에 접속되고, 구동용 트랜지스터(722)의 제 2 전극이 발광 소자

(724)의 제 1 전극(화소 전극)에 접속된다. 발광 소자(724)의 제 2 전극은 공통 전극(728)에 상당한다. 공통 전극(728)은 동일한 기관 위에 형성되는 공통 전위선과 전기적으로 접속된다.

[0331] 스위칭용 트랜지스터(721) 및 구동용 트랜지스터(722)로서, 다른 실시형태에서 설명한 트랜지스터 중 어느 것을 적절히 사용할 수 있다. 이에 의하여 신뢰성이 높은 유기 EL 표시 장치를 제공할 수 있다.

[0332] 발광 소자(724)의 제 2 전극(공통 전극(728))의 전위는 저전원 전위로 설정된다. 또한, 저전원 전위는 전원선(727)에 공급되는 고전원 전위보다 낮은 전위이다. 예를 들어 저전원 전위는 GND 또는 0V 등이 될 수 있다. 고전원 전위와 저전원 전위는 발광 소자(724)의 순방향의 문턱 전압 이상이 되도록 설정되고, 그 전위 차이를 발광 소자(724)에 인가함으로써 발광 소자(724)에 전류가 흘러 발광한다. 발광 소자(724)의 순방향 전압이란, 원하는 휘도를 얻는 전압을 말하고, 적어도 순방향 문턱 전압을 포함한다.

[0333] 또한, 용량 소자(723) 대신에 구동용 트랜지스터(722)의 게이트 용량을 사용할 수 있기 때문에, 용량 소자(723)를 생략할 수 있다. 구동용 트랜지스터(722)의 게이트 용량은 채널 형성 영역과 게이트 전극층 사이에 형성되어도 좋다.

[0334] 다음에, 구동용 트랜지스터(722)에 입력된 신호에 대하여 설명한다. 전압 입력 전압 구동 방법의 경우, 구동용 트랜지스터(722)가 충분히 온 상태 또는 오프 상태가 되는 비디오 신호를 구동용 트랜지스터(722)에 입력한다. 구동용 트랜지스터(722)가 선형 영역에서 동작하도록, 전원선(727)의 전압보다 높은 전압을 구동용 트랜지스터(722)의 게이트 전극층에 인가한다. 또한, 신호선(725)에는 전원선 전압과 구동용 트랜지스터(722)의 문턱 전압(V_{th})의 합계 이상의 전압을 인가한다.

[0335] 아날로그 계조 구동을 수행하는 경우, 구동용 트랜지스터(722)의 게이트 전극층에, 발광 소자(724)의 순방향 전압과 구동용 트랜지스터(722)의 문턱 전압(V_{th})의 합계 이상의 전압을 인가한다. 구동용 트랜지스터(722)가 포화 영역에서 동작하는 비디오 신호를 입력하여 발광 소자(724)에 전류가 흐른다. 구동용 트랜지스터(722)가 포화 영역에서 동작하도록, 전원선(727)의 전위를 구동용 트랜지스터(722)의 게이트 전위보다 높게 한다. 아날로그 비디오 신호를 사용할 때, 발광 소자(724)에 비디오 신호에 따른 전류를 공급하여 아날로그 계조 구동을 수행할 수 있다.

[0336] 또한, 본 발명의 화소 회로의 구성은 도 29의 (C)에 도시된 것에 한정되지 않는다. 예를 들어, 도 29의 (C)에 도시된 화소 회로에 스위치, 저항 소자, 용량 소자, 센서, 트랜지스터, 또는 논리 회로 등을 추가하여도 좋다.

[0337] 도 29의 (A) 내지 (C)에서 도시한 회로에 상술한 실시형태에서 제시한 트랜지스터를 사용하는 경우, 저전위 측에 소스 전극(제 1 전극)이 전기적으로 접속되고, 고전위 측에 드레인 전극(제 2 전극)이 전기적으로 접속된다. 또한, 제어 회로 등에 의하여 제 1 게이트 전극의 전위를 제어하고, 일례로서 상술한 전위, 예를 들어 소스 전극에 공급하는 전위보다 낮은 전위를 배선(미도시)을 통하여 제 2 게이트 전극에 입력하여도 좋다.

[0338] 예를 들어, 본 명세서 등에서 예를 들어 표시 소자, 표시 소자를 포함하는 장치인 표시 장치, 발광 소자, 및 발광 소자를 포함하는 장치인 발광 장치는 다양한 형태가 채용될 수 있거나, 또는 다양한 소자를 포함할 수 있다. 표시 소자, 표시 장치, 발광 소자, 또는 발광 장치는 EL(electroluminescence) 소자(예를 들어 유기 및 무기 재료를 포함하는 EL 소자, 유기 EL 소자, 또는 무기 EL 소자), LED(예를 들어 백색 LED, 적색 LED, 녹색 LED, 또는 청색 LED), 트랜지스터(전류에 따라 발광하는 트랜지스터), 전자 방출체, 액정 소자, 전자 잉크, 전기 영동 소자, GLV(grating light valve), PDP(plasma display panel), MEMS(micro electro mechanical systems), DMD(digital micromirror device), DMS(digital micro shutter), MIRASOL(등록 상표), IMOD(interferometric modulator display) 소자, 셔터 방식의 MEMS 표시 소자, 광 간섭 방식의 MEMS 표시 소자, 전기 습윤 소자, 압전 세라믹 디스플레이, 및 탄소 나노튜브를 포함한 표시 소자 등 중 적어도 하나를 포함한다. 이들 외에도, 전기적 또는 자기적 효과에 의하여 콘트라스트, 휘도, 반사율, 또는 투과율 등이 변화되는 표시 매체를 포함하여도 좋다. 또한, EL 소자를 포함한 표시 장치의 예로서는 EL 디스플레이가 포함된다. 전자 방출체를 포함한 표시 장치의 예로서는, FED(field emission display) 및 SED 방식의 평면형 디스플레이(SED: surface-conduction electron-emitter display)가 포함된다. 액정 소자를 포함하는 표시 장치의 예로서는 액정 디스플레이(예를 들어 투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 또는 투사형 액정 디스플레이)가 포함된다. 전자 잉크, 전자 분류체(電子粉流體, Electronic Liquid Powder(등록상표)), 또는 전기 영동 소자를 포함하는 표시 장치의 예로서는 전자 종이도 포함된다. 반투과형 액정 디스플레이 또는 반사형 액정 디스플레이의 경우, 화소 전극의 일부 또는 전체가 반사

전극으로서 기능한다. 예를 들어, 화소 전극의 일부 또는 전체가 알루미늄 또는 은 등을 포함하도록 형성된다. 이 경우에는 반사 전극 아래에 SRAM 등의 기억 회로를 제공할 수 있고, 이로써 소비전력을 저감시킨다. 또한, LED를 사용하는 경우, LED의 전극 또는 질화물 반도체 아래에 그래핀 또는 그래파이트를 제공하여도 좋다. 그래핀 또는 그래파이트는 복수의 층을 중첩시킨 다층막이라도 좋다. 상술한 바와 같이 그래핀 또는 그래파이트를 제공함으로써, 그 위에 결정층을 포함하는 n형 GaN 반도체층 등의 질화물 반도체를 용이하게 형성할 수 있다. 또한, 결정층을 포함하는 p형 GaN 반도체층 등을 그 위에 제공할 수 있고, LED를 형성할 수 있다. 또한, 그래핀 또는 그래파이트와 결정층을 포함하는 n형 GaN 반도체층 사이에 AlN층을 제공하여도 좋다. LED에 포함된 GaN 반도체층은 MOCVD로 형성하여도 좋다. 또한, 그래핀을 제공하는 경우, LED에 포함된 GaN 반도체층은 스퍼터링법으로 형성될 수도 있다.

[0339] 또한, 본 실시형태에서 제시한 구조 및 방법 등은 다른 실시형태에 제시된 구조 및 방법 등 중 어느 것과 적절히 조합하여 사용될 수 있다.

[0340] (실시형태 7)

[0341] 본 실시형태에서는, 산화물 반도체막의 구조에 대하여 설명한다.

[0342] <산화물 반도체의 구조>

[0343] 이하에서는, 산화물 반도체의 구조에 대하여 설명한다.

[0344] 산화물 반도체는 단결정 산화물 반도체와 비단결정 산화물 반도체로 나뉜다. 비단결정 산화물 반도체의 예로서는, CAAC-OS(c-axis aligned crystalline oxide semiconductor), 다결정 산화물 반도체, 미결정 산화물 반도체, 및 비정질 산화물 반도체가 포함된다.

[0345] 다른 관점에서, 산화물 반도체는 비정질 산화물 반도체와 결정성 산화물 반도체로 나뉜다. 결정성 산화물 반도체의 예에는 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 및 미결정 산화물 반도체가 포함된다.

[0346] <CAAC-OS>

[0347] 먼저, CAAC-OS에 대하여 설명한다. 또한, CAAC-OS는 CANC(c-axis aligned nanocrystals)를 포함하는 산화물 반도체라고 할 수 있다.

[0348] CAAC-OS는 복수의 c축 배향된 결정부(펠릿이라고도 함)를 갖는 산화물 반도체 중 하나이다.

[0349] TEM(transmission electron microscope)을 사용하여 얻은 CAAC-OS의 명시야상과 회절 패턴의 복합 분석 이미지(고분해능 TEM 이미지라고도 함)에서는 복수의 펠릿이 관찰될 수 있다. 그러나, 고분해능 TEM 이미지에서 펠릿들의 경계, 즉 결정립계가 명확히 관찰되지 않는다. 그러므로, CAAC-OS에서는 결정립계에 기인한 전자 이동도의 저하가 일어나기 어렵다.

[0350] TEM로 관찰된 CAAC-OS에 대하여 이하에서 설명한다. 도 30의 (A)는 시료 표면에 실질적으로 평행한 방향으로부터 관찰한 CAAC-OS의 단면의 고분해능 TEM 이미지를 나타낸 것이다. 고분해능 TEM 이미지는 구면 수차 보정(spherical aberration corrector) 기능을 사용하여 얻어진다. 구면 수차 보정 기능을 사용하여 얻어진 고분해능 TEM 이미지를 특히 Cs 보정 고분해능 TEM 이미지라고 한다. Cs 보정 고분해능 TEM 이미지는 예를 들어, 원자 분해능 분석 전자 현미경(JEM-ARM200F, JEOL Ltd. 제조)을 사용하여 얻을 수 있다.

[0351] 도 30의 (B)는 도 30의 (A) 중 영역(1)의 확대 Cs 보정 고분해능 TEM 이미지이다. 도 30의 (B)는 펠릿에서 금속 원자들이 층상으로 배열되어 있는 것을 나타내었다. 각 금속 원자층은, CAAC-OS가 형성되는 표면(이하에서 이 표면을 형성 표면이라고 함) 또는 CAAC-OS 상면의 요철을 반영한 구성을 가지며, CAAC-OS의 형성 표면 또는 상면에 평행하게 배열된다.

[0352] 도 30의 (B)에 나타낸 바와 같이, CAAC-OS는 특징적인 원자 배열을 갖는다. 도 30의 (C)에서 특징적인 원자 배열을 보조선으로 나타내었다. 도 30의 (B) 및 (C)는 펠릿의 크기가 1nm 내지 3nm 정도이고, 펠릿들의 기울기에 기인하는 틈의 크기가 0.8nm 정도임을 제시한다. 따라서, 펠릿을 나노결정(nc: nanocrystal)이라고 할 수도 있다.

[0353] 여기서 Cs 보정 고분해능 TEM 이미지에 따라, 기판(5120) 위의 CAAC-OS의 펠릿(5100)의 모식적인 배열을, 벽돌 또는 블록이 적층된 구조로 도시하였다(도 30의 (D) 참조). 도 30의 (C)에서 관찰된 바와 같이 펠릿

이 기울어져 있는 부분은 도 30의 (D)에 도시된 영역(5161)에 상당한다.

[0354] 도 31의 (A)는 시료 표면에 실질적으로 수직인 방향으로부터 관찰한 CAAC-OS의 평면의 Cs 보정 고분해능 TEM 이미지를 나타낸 것이다. 도 31의 (B), (C), 및 (D)는 각각 도 31의 (A) 중 영역(1), 영역(2), 및 영역(3)을 확대한 Cs 보정 고분해능 TEM 이미지이다. 도 31의 (B), (C), 및 (D)는 펠릿에서 금속 원자들이 삼각형, 사각형, 또는 육각형으로 배열되어 있는 것을 나타낸 것이다. 그러나, 상이한 펠릿들 사이에서 금속 원자의 배열에 규칙성은 없다.

[0355] 다음에, X선 회절(XRD: X-ray diffraction)에 의하여 분석한 CAAC-OS에 대하여 설명한다. 예를 들어, out-of-plane법에 의하여 InGaZnO₄ 결정을 포함하는 CAAC-OS의 구조를 분석하면, 도 32의 (A)에 나타낸 바와 같이 31° 근방의 회절각(2θ)에서 피크가 나타난다. 이 피크는 InGaZnO₄ 결정의 (009)면에서 유래하고, 이것은 CAAC-OS의 결정이 c축 배향을 가지고 c축이 CAAC-OS의 형성 표면 또는 상면에 실질적으로 수직인 방향으로 배향되어 있는 것을 가리킨다.

[0356] 또한, out-of-plane법에 의한 CAAC-OS의 구조 분석에서, 31° 근방의 2θ의 피크에 더하여 2θ가 36° 근방일 때에 또 하나의 피크가 나타날 수 있다. 36° 근방의 2θ의 피크는 CAAC-OS의 일부에 c축 배향을 갖지 않는 결정이 포함되는 것을 가리킨다. out-of-plane법에 의하여 분석한 CAAC-OS에서는, 2θ가 31° 근방일 때에 피크가 나타나고 2θ가 36° 근방일 때에 피크가 나타나지 않는 것이 바람직하다.

[0357] 한편, c축에 실질적으로 수직인 방향으로 시료에 X선이 입사하는 in-plane법에 의한 CAAC-OS의 구조 분석에서, 2θ가 56° 근방일 때 피크가 나타난다. 이 피크는 InGaZnO₄ 결정의 (110)면에서 유래한다. CAAC-OS의 경우, 2θ를 56° 근방에 고정하고 시료 표면의 법선 벡터를 축(φ축)으로서 사용하여 시료를 회전시키면서 분석(φ스캔)을 수행할 때, 도 32의 (B)에 나타낸 바와 같이, 피크가 명확하게 관찰되지 않는다. 한편, InGaZnO₄의 단결정 산화물 반도체의 경우, 2θ를 56° 근방에 고정하고 φ스캔을 수행하면, 도 32의 (C)에 나타낸 바와 같이 (110)면과 등가인 결정면에서 유래하는 6개의 피크가 관찰된다. 따라서, XRD를 사용한 구조 분석에 의하여, CAAC-OS에서 a축 및 b축의 방향이 불규칙적으로 배향되는 것을 나타낸다.

[0358] 다음에, 전자 회절에 의하여 분석한 CAAC-OS에 대하여 설명한다. 예를 들어, 프로브 직경이 300nm인 전자선이 시료 표면에 평행한 방향으로 InGaZnO₄ 결정을 포함하는 CAAC-OS에 입사되면, 도 33의 (A)에 나타낸 회절 패턴(제한 시야 투과 전자 회절 패턴이라고도 함)이 얻어질 수 있다. 이 회절 패턴에는 InGaZnO₄ 결정의 (009)면에서 유래하는 스폿이 포함된다. 따라서, 전자 회절은 CAAC-OS에 포함되는 펠릿이 c축 배향을 갖고 c축이 CAAC-OS의 형성 표면 또는 상면에 실질적으로 수직인 방향으로 배향되는 것도 나타낸다. 한편, 도 33의 (B)는 프로브 직경이 300nm인 전자선을 시료 표면에 수직인 방향으로 동일한 시료에 입사시키는 식으로 얻은 회절 패턴을 나타낸 것이다. 도 33의 (B)에 나타낸 바와 같이 고리형의 회절 패턴이 관찰된다. 그러므로, 전자 회절은 CAAC-OS에 포함되는 펠릿의 a축 및 b축이 규칙적인 배향을 갖지 않는 것을 나타낸다. 도 33의 (B)에서의 제 1 고리는 InGaZnO₄ 결정의 (010)면 및 (100)면 등에서 유래하는 것으로 생각된다. 도 33의 (B)에서의 제 2 고리는 (110)면 등에서 유래하는 것으로 생각된다.

[0359] 또한, CAAC-OS는 결합 상태의 밀도가 낮은 산화물 반도체이다. 산화물 반도체에서의 결합은 예를 들어 불순물로 인한 결합 및 산소 결손이다. 그러므로, CAAC-OS는 불순물 농도가 낮은 산화물 반도체, 또는 산소 결손 수가 적은 산화물 반도체라고 할 수 있다.

[0360] 산화물 반도체에 포함되는 불순물은 캐리어 트랩으로서 기능하거나 또는 캐리어 발생원으로서 기능할 수 있다. 또한, 산화물 반도체에서의 산소 결손은 캐리어 트랩으로서 기능하거나, 또는 거기에 수소가 포획되면 캐리어 발생원으로서 기능한다.

[0361] 또한, 불순물이란 수소, 탄소, 실리콘, 또는 전이 금속 원소 등 산화물 반도체의 주성분 외의 원소를 의미한다. 예를 들어, 산화물 반도체에 포함되는 금속 원소보다 산소와의 결합력이 높은 원소(구체적으로, 실리콘 등)는 산화물 반도체로부터 산소를 추출하고, 이 결과 산화물 반도체의 원자 배열이 어지러워지고 결정성이 저하된다. 철 또는 니켈 등의 중금속, 아르곤, 또는 이산화탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체의 원자 배열을 흐뜨리게 하고 결정성을 저하시킨다.

[0362] 결합 상태의 밀도가 낮은(산소 결손 수가 적은) 산화물 반도체는 낮은 캐리어 밀도를 가질 수 있다. 이러한 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성 산화물 반도체라고 한다. CAAC-OS는 불순물

농도가 낮으며 결합 상태의 밀도가 낮다. 즉, CAAC-OS는 고순도 진성 또는 실질적으로 고순도 진성 산화물 반도체가 되기 쉽다. 따라서, CAAC-OS를 포함하는 트랜지스터는 좀처럼 음의 문턱 전압을 갖지 않는다(좀처럼 노멀리 온이 되지 않는다). 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 트랩이 거의 없다. 산화물 반도체에서 캐리어 트랩으로 포획된 전하는 방출에 시간이 걸린다. 포획된 전하는 고정 전하처럼 작용될 수 있다. 따라서, 불순물 농도가 높고 결합 상태의 밀도가 높은 산화물 반도체를 포함하는 트랜지스터는 불안정한 전기적 특성을 가질 수 있다. 그러나, CAAC-OS를 포함하는 트랜지스터는 전기적 특성의 변동이 작고 신뢰성이 높다.

[0363] CAAC-OS는 결합 상태의 밀도가 낮기 때문에, 광 조사 등에 의하여 생성되는 캐리어가 결합 상태에 포획되기 어렵다. 따라서, CAAC-OS를 사용한 트랜지스터에서, 가시광 또는 자외광의 조사로 인한 전기적 특성에서의 변화가 작다.

[0364] <미결정 산화물 반도체>

[0365] 다음에, 미결정 산화물 반도체에 대하여 설명한다.

[0366] 미결정 산화물 반도체는 고분해능 TEM 이미지에서 결정부가 관찰되는 영역, 및 결정부가 명확히 관찰되지 않는 영역을 갖는다. 대부분의 경우, 미결정 산화물 반도체에 포함되는 결정부의 사이즈는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하이다. 1nm 이상 10nm 이하의 사이즈, 또는 1nm 이상 3nm 이하의 사이즈를 갖는 미결정인 나노결정(nc)을 포함하는 산화물 반도체를 특히 nc-OS(nanocrystalline oxide semiconductor)라고 한다. nc-OS의 고분해능 TEM 이미지에서, 예를 들어 그레이 바운더리가 명확히 관찰되지 않는 경우가 있다. 또한, 나노결정의 기원은 CAAC-OS의 펠릿과 동일한 가능성이 있다. 그러므로, 이하의 설명에서는 nc-OS의 결정부를 펠릿이라고 할 수 있다.

[0367] nc-OS에서, 미소한 영역(예를 들어 1nm 이상 10nm 이하의 사이즈를 갖는 영역, 특히 1nm 이상 3nm 이하의 사이즈를 갖는 영역)은 주기적인 원자 배열을 갖는다. nc-OS에서 상이한 펠릿들 사이에 결정 방향의 규칙성은 없다. 따라서, 막 전체의 방향이 무질서하다. 따라서, 분석 방법에 따라, nc-OS를 비정질 산화물 반도체와 구별할 수 없다. 예를 들어, 펠릿의 사이즈보다 큰 직경을 갖는 X선을 사용하는 XRD 장치로 out-of-plane법에 의하여 nc-OS의 구조 분석을 수행하면, 결정면을 나타내는 피크가 나타나지 않는다. 또한, 펠릿의 사이즈보다 큰 프로브 직경(예를 들어, 50nm 이상)의 전자선을 사용하여 nc-OS의 전자 회절(이 전자 회절을 제한 시야 전자 회절이라고도 함)이 수행되면, 헤일로(halo) 패턴과 같은 회절 패턴이 관찰된다. 한편, 프로브 직경이 펠릿의 사이즈와 가깝거나 또는 펠릿의 사이즈보다 작은 전자선을 적용하면, nc-OS의 나노빔 전자 회절 패턴에 스폿이 나타난다. 또한, nc-OS의 나노빔 전자 회절 패턴에, 휘도가 높은 원(고리) 패턴을 갖는 영역이 나타나는 경우가 있다. nc-OS의 나노빔 전자 회절 패턴에서도 고리형 영역에 복수의 스폿이 나타나는 경우가 있다.

[0368] 상술한 바와 같이, 펠릿들(나노결정들) 사이에 결정 방향의 규칙성이 없기 때문에, nc-OS를 RANC(random aligned nanocrystals)를 포함하는 산화물 반도체 또는 NANC(non-aligned nanocrystals)를 포함하는 산화물 반도체라고 할 수도 있다.

[0369] nc-OS는 비정질 산화물 반도체에 비하여 규칙성이 높은 산화물 반도체이다. 따라서, nc-OS는 비정질 산화물 반도체보다 결합 상태의 밀도가 낮은 경향이 있다. 또한, nc-OS에서 상이한 펠릿들 사이의 결정 방향에 규칙성은 없다. 그러므로, nc-OS는 CAAC-OS보다 결합 상태의 밀도가 높다.

[0370] <비정질 산화물 반도체>

[0371] 다음에, 비정질 산화물 반도체에 대하여 설명한다.

[0372] 비정질 산화물 반도체는 어지러워진 원자 배열을 갖고 결정부를 갖지 않는 산화물 반도체이고, 석영과 같이 비정질 상태로 존재하는 산화물 반도체로서 예시된다.

[0373] 비정질 산화물 반도체의 고분해능 TEM 이미지에서 결정부를 찾을 수 없다.

[0374] XRD 장치에 의한 out-of-plane법으로 비정질 산화물 반도체의 구조 분석을 수행하면, 결정면을 나타내는 피크가 나타나지 않는다. 비정질 산화물 반도체에 전자 회절이 수행되면 헤일로 패턴이 관찰된다. 또한, 비정질 산화물 반도체에 나노빔 전자 회절이 수행되면 스폿이 관찰되지 않고 헤일로 패턴만이 나타난다.

[0375] 비정질 구조의 견해는 여러 가지 있다. 예를 들어, 원자 배열이 전혀 질서를 갖지 않는 구조를 완전한 비정질 구조(completely amorphous structure)라고 한다. 한편, 한 원자로부터 최근접 원자 또는 제 2 근접

원자까지의 범위에서 질서를 가질 수 있지만 장거리 질서를 갖지 않는 구조를 비정질 구조라고 할 수도 있다. 그러므로 가장 엄격한 정의는 원자 배열에 무시하여도 될 정도의 질서가 있기만 하면, 산화물 반도체를 비정질 산화물 반도체라고 부르는 것을 가능하게 하지 않는다. 적어도 장거리 질서를 갖는 산화물 반도체를 비정질 산화물 반도체라고 부를 수는 없다. 따라서, 결정부가 존재하기 때문에 예를 들어 CAAC-OS 및 nc-OS는 비정질 산화물 반도체 또는 완전한 비정질 산화물 반도체라고 부를 수 없다.

[0376] <a-like 산화물 반도체>

[0377] 또한, 산화물 반도체는 nc-OS와 비정질 산화물 반도체 사이의 중간의 구조를 가져도 좋다. 이러한 구조를 갖는 산화물 반도체를 특히 a-like OS(amorphous-like oxide semiconductor)라고 한다.

[0378] a-like OS의 고분해능 TEM 이미지에서는 보이드(void)가 관찰될 수 있다. 또한, 고분해능 TEM 이미지에서 결정부가 명확히 관찰되는 영역 및 결정부가 관찰되지 않는 영역이 있다.

[0379] a-like OS는 보이드를 포함하기 때문에 불안정한 구조를 갖는다. a-like OS가 CAAC-OS 및 nc-OS에 비하여 불안정한 구조를 갖는다는 것을 증명하기 위하여, 전자 조사로 발생된 구조의 변화에 대하여 이하에 설명한다.

[0380] 전자 조사를 수행하는 시료로서 a-like OS(시료 A라고 함), nc-OS(시료 B라고 함), 및 CAAC-OS(시료 C라고 함)를 준비한다. 각 시료는 In-Ga-Zn 산화물이다.

[0381] 먼저, 각 시료의 고분해능 단면 TEM 이미지를 얻는다. 고분해능 단면 TEM 이미지는 모든 시료가 결정부를 갖는 것을 나타낸다.

[0382] 또한, 어느 부분이 결정부로 생각되는지를 이하에서 설명한다. InGaZnO₄ 결정의 단위 격자는 3개의 In-O층과 6개의 Ga-Zn-O층을 포함하는 9층이 c축 방향으로 적층된 구조를 갖는 것이 알려져 있다. 인접한 층들 사이의 거리는 (009)면의 격자 간격(d값이라고도 함)과 동등하다. 이 값은 결정 구조 분석으로부터 0.29nm로 계산된다. 따라서, 격자 줄무늬(lattice fringe)들 사이의 격자 간격이 0.28nm 이상 0.30nm 이하인 부분을 InGaZnO₄의 결정부라고 한다. 각 격자 줄무늬는 InGaZnO₄ 결정의 a-b면에 상당한다.

[0383] 도 34는 각 시료의 결정부(22지점 내지 45지점)의 평균 사이즈의 변화를 나타낸 것이다. 또한, 결정부 사이즈는 격자 줄무늬의 길이에 상당한다. 도 34는 a-like OS에서의 결정부 사이즈가 누적 전자량의 증가에 따라 증대되는 것을 가리킨다. 구체적으로는 도 34에서 (1)로 나타낸 바와 같이, TEM 관찰의 시작에서의 1.2nm 정도의 결정부(초기 핵이라고도 함)가 누적 전자량이 $4.2 \times 10^8 e^- / nm^2$ 에서의 2.6nm 정도의 사이즈로 성장한다. 한편, nc-OS 및 CAAC-OS의 결정부 사이즈는 전자 조사의 시작으로부터 $4.2 \times 10^8 e^- / nm^2$ 의 누적 전자량까지의 변화가 거의 없는 것을 나타낸다. 구체적으로는, 도 34에서 (2) 및 (3)으로 나타낸 바와 같이 누적 전자량에 상관없이 nc-OS 및 CAAC-OS의 평균 결정 사이즈는 각각 1.4nm 정도 및 2.1nm 정도이다.

[0384] 이와 같이, a-like OS에서의 결정부의 성장은 전자 조사에 의하여 유발된다. 한편, nc-OS 및 CAAC-OS에서, 결정부의 성장은 전자 조사에 의하여 거의 유발되지 않는다. 그러므로, a-like OS는 nc-OS 및 CAAC-OS에 비하여 불안정한 구조를 갖는다.

[0385] a-like OS는 보이드를 포함하기 때문에 nc-OS 및 CAAC-OS보다 밀도가 낮다. 구체적으로, a-like OS의 밀도는 동일한 조성을 갖는 단결정 산화물 반도체의 밀도의 78.6% 이상 92.3% 미만이다. nc-OS 및 CAAC-OS 각각의 밀도는 동일한 조성을 갖는 단결정 산화물 반도체의 밀도의 92.3% 이상 100% 미만이다. 또한, 단결정 산화물 반도체의 밀도의 78% 미만의 밀도를 갖는 산화물 반도체를 퇴적하기 어렵다.

[0386] 예를 들어, In:Ga:Zn=1:1:1의 원자 비율을 갖는 산화물 반도체의 경우, 능면정 구조를 갖는 단결정 InGaZnO₄의 밀도는 6.357g/cm³이다. 따라서 In:Ga:Zn=1:1:1의 원자 비율을 갖는 산화물 반도체의 경우, a-like OS의 밀도는 5.0g/cm³ 이상 5.9g/cm³ 미만이다. 예를 들어, In:Ga:Zn=1:1:1의 원자 비율을 갖는 산화물 반도체의 경우, nc-OS 및 CAAC-OS 각각의 밀도는 5.9g/cm³ 이상 6.3g/cm³ 미만이다.

[0387] 또한, 단결정 구조에서는 일정한 조성을 갖는 산화물 반도체가 존재하지 못하는 경우가 있다. 이 경우, 조성이 상이한 단결정 산화물 반도체를 적절한 비율로 조합함으로써, 원하는 조성을 갖는 단결정 산화물 반도체의 밀도와 동등한 밀도를 계산할 수 있다. 원하는 조성을 갖는 단결정 산화물 반도체의 밀도는, 조성이

상이한 단결정 산화물 반도체들의 조합비에 따라 가중 평균을 사용하여 계산할 수 있다. 또한, 밀도를 계산하기 위해서는 가능한 한 적은 종류의 단결정 산화물 반도체를 사용하는 것이 바람직하다.

[0388] 산술한 바와 같이, 산화물 반도체는 다양한 구조를 갖고 다양한 특성을 갖는다. 또한, 산화물 반도체는 예를 들어, 비정질 산화물 반도체, a-like OS, 미결정 산화물 반도체, 및 CAAC-OS 중 2개 이상의 막을 포함하는 적층이어도 좋다.

[0389] <퇴적 모델>

[0390] 이하에서는 CAAC-OS 및 nc-OS의 퇴적 모델의 예에 대하여 설명한다.

[0391] 도 35의 (A)는 스퍼터링법에 의하여 CAAC-OS를 퇴적하는 퇴적 챔버 내의 모식도이다.

[0392] 타깃(5130)이 백킹 플레이트(backing plate)에 접촉되어 있다. 백킹 플레이트를 개재하여 타깃(5130)을 향하도록 복수의 마그넷이 제공된다. 복수의 마그넷은 자기장을 생성한다. 마그넷의 자기장을 이용하여 퇴적 속도를 높이는 스퍼터링법을 마그네트론 스퍼터링법이라고 한다.

[0393] 기관(5120)은 타깃(5130)에 대향하도록 배치되고, 거리 d (타깃-기관 거리(T-S 거리)라고도 함)는 0.01m 이상 1m 이하, 바람직하게는 0.02m 이상 0.5m 이하이다. 퇴적 챔버는 대부분이 퇴적 가스(예를 들어, 산소 가스, 아르곤 가스, 또는 산소를 5vol% 이상 함유하는 혼합 가스)로 채워져 있고, 퇴적 챔버의 압력은 0.01Pa 이상 100Pa 이하, 바람직하게는 0.1Pa 이상 10Pa 이하로 제어된다. 여기서, 타깃(5130)에 일정한 값 이상의 전압을 인가함으로써 방전이 시작하고, 플라즈마가 관찰된다. 자기장은 타깃(5130) 근방에 고밀도 플라즈마 영역을 형성한다. 고밀도 플라즈마 영역에서는 퇴적 가스가 이온화되어, 이온(5101)이 발생된다. 이온(5101)의 예로서는 산소의 양이온(O^+) 및 아르곤의 양이온(Ar^+)이 포함된다.

[0394] 여기서 타깃(5130)은 복수의 결정립을 포함하며 적어도 하나의 결정립에 벽개(劈開)면이 존재하는 다결정 구조를 갖는다. 도 36의 (A)는 일례로서 타깃(5130)에 포함되는 InGaZnO₄ 결정의 구조를 나타낸 것이다. 또한, 도 36의 (A)는 b축에 평행한 방향으로부터 InGaZnO₄ 결정을 관찰한 경우의 구조를 나타낸 것이다. 도 36의 (A)는 Ga-Zn-0층에서의 산소 원자들이 인접한 Ga-Zn-0층의 산소 원자들에 근접하여 위치하는 것을 가리킨다. 산소 원자가 음의 전하를 가짐으로써, 2개의 인접된 Ga-Zn-0층 사이에 척력이 발생한다. 이 결과, InGaZnO₄ 결정은 2개의 인접된 Ga-Zn-0층 사이에 벽개면을 갖는다.

[0395] 고밀도 플라즈마 영역에서 발생된 이온(5101)은 전계에 의하여 타깃(5130)쪽으로 가속되어, 타깃(5130)에 충돌한다. 이때, 벽개면으로부터 평판상(펠릿상)의 스퍼터링 입자인 펠릿(5100a) 및 펠릿(5100b)이 박리되어, 튀게 된다. 또한, 펠릿(5100a) 및 펠릿(5100b)의 구조는 이온(5101)의 충돌의 충격에 의하여 변형될 수 있다.

[0396] 펠릿(5100a)은 삼각형의 평면, 예를 들어 정삼각형의 평면을 갖는 평판상(펠릿상)의 스퍼터링 입자이다. 펠릿(5100b)은 육각형의 평면, 예를 들어 정육각형의 평면을 갖는 평판상(펠릿상)의 스퍼터링 입자이다. 또한, 펠릿(5100a) 및 펠릿(5100b) 등의 평판상(펠릿상)의 스퍼터링 입자를 통틀어 펠릿(5100)이라고 부른다. 펠릿(5100)의 평평한 평면의 형상은 삼각형 또는 육각형에 한정되지 않는다. 예를 들어, 평평한 평면은 2개 이상의 삼각형이 조합되어 형성된 형상을 가져도 좋다. 예를 들어, 2개의 삼각형(예를 들어, 정삼각형)이 조합되어 사각형(예를 들어, 마름모)이 형성되어도 좋다.

[0397] 펠릿(5100)의 두께는 퇴적 가스의 종류 등에 따라 결정된다. 펠릿(5100)의 두께는 균일한 것이 바람직하고, 이 이유는 후술한다. 또한, 스퍼터링 입자는 두께가 두꺼운 주사위 형상에 비하여 두께가 얇은 펠릿 형상인 것이 바람직하다. 예를 들어, 펠릿(5100)의 두께는 0.4nm 이상 1nm 이하, 바람직하게는 0.6nm 이상 0.8nm 이하이다. 또한, 예를 들어, 펠릿(5100)의 폭은 1nm 이상 3nm 이하, 바람직하게는 1.2nm 이상 2.5nm 이하이다. 펠릿(5100)은 도 34의 (1)의 설명에서의 초기 핵에 상당한다. 예를 들어, In-Ga-Zn 산화물을 포함하는 타깃(5130)에 이온(5101)이 충돌하면, 도 36의 (B)에 나타낸 바와 같이 Ga-Zn-0층, In-0층, 및 Ga-Zn-0층의 3층을 포함하는 펠릿(5100)이 분리된다. 또한, 도 36의 (C)는 c축에 평행한 방향으로부터 관찰한, 분리된 펠릿(5100)의 구조를 나타낸 것이다. 펠릿(5100)은 2개의 Ga-Zn-0층(쌍)과 In-0층(속재료)을 포함하는 나노미터 크기의 샌드위치 구조를 갖는다.

[0398] 펠릿(5100)은 플라즈마를 통과할 때에 전하를 받아, 그 측면이 음 또는 양으로 대전될 수 있다. 펠릿(5100)에서 예를 들어 그 측면에 위치하는 산소 원자가 음으로 대전될 수 있다. 측면들이 동일한 극성으로 대

전되면 전하들이 서로 반발하기 때문에, 펠릿(5100)이 평판(펠릿) 형상을 유지할 수 있다. CAAC-OS가 In-Ga-Zn 산화물인 경우, 인듐 원자에 결합된 산소 원자가 음으로 대전될 가능성이 있다. 또한, 인듐 원자, 갈륨 원자, 또는 아연 원자에 결합된 산소 원자가 음으로 대전될 가능성도 있다. 또한 펠릿(5100)은 플라스마를 통과할 때에 인듐 원자, 갈륨 원자, 아연 원자, 또는 산소 원자 등에 결합됨으로써 성장할 수 있다. 도 34의 (2)와 (1)의 크기의 차이는 플라스마에서의 성장의 양에 상당한다. 여기서, 기판(5120)의 온도가 실온 정도인 경우, 기판(5120) 상의 펠릿(5100)은 거의 성장하지 않기 때문에 nc-OS가 형성된다(도 35의 (B) 참조). nc-OS의 퇴적은 실온에서 행해질 수 있기 때문에, 기판(5120)이 대형인 경우에 nc-OS를 퇴적할 수 있다. 또한, 펠릿(5100)을 플라스마에서 성장시키기 위해서는, 스퍼터링에서의 퇴적 전력을 높이는 것이 효과적이다. 퇴적 전력을 높게 함으로써 펠릿(5100)의 구조를 안정화할 수 있다.

[0399] 도 35의 (A) 및 (B)에 나타난 바와 같이, 펠릿(5100)은 플라스마에서 연과 같이 날아, 기판(5120)까지 휘휘 날아오른다. 펠릿(5100)은 대전되어 있기 때문에, 펠릿(5100)이 다른 펠릿(5100)이 이미 퇴적된 영역에 가까워지면 반발이 일어난다. 여기서, 기판(5120) 위에서 기판(5120) 상면에 평행한 방향의 자기장(수평 자기장이라고도 함)이 발생된다. 기판(5120)과 타깃(5130) 사이에 전위 차이가 주어지고, 이에 따라 기판(5120)으로부터 타깃(5130)을 향하여 전류가 흐른다. 따라서, 펠릿(5100)은 기판(5120) 상면에서 자기장 및 전류의 효과에 의하여 힘(로런츠 힘(Lorentz force))을 받는다. 이것은 플레밍의 왼손 법칙에 의하여 설명된다.

[0400] 펠릿(5100)의 질량은 원자의 질량보다 크다. 따라서, 펠릿(5100)이 기판(5120)의 상면 위를 이동하기 위해서는 펠릿(5100)에 외부로부터 어떠한 힘을 가하는 것이 중요하다. 그 힘의 1종은 자기장 및 전류의 작용에 의하여 발생하는 힘일 수 있다. 펠릿(5100)에 충분한 힘을 가하여 펠릿(5100)이 기판(5120)의 상면 위를 이동하게 하기 위해서는, 이 상면에, 기판(5120) 상면에 평행한 방향의 자기장이 10G 이상, 바람직하게는 20G 이상, 더 바람직하게는 30G 이상, 더욱 바람직하게는 50G 이상인 영역을 제공하는 것이 바람직하다. 또는 이 상면에, 기판(5120) 상면에 평행한 방향의 자기장이 기판(5120) 상면에 수직인 방향의 자기장의 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상, 더욱 바람직하게는 5배 이상인 영역을 제공하는 것이 바람직하다.

[0401] 이때, 마그넷과 기판(5120)이 상대적으로 이동하거나 또는 회전함으로써, 기판(5120) 상면에서의 수평 자기장의 방향이 계속해서 변화된다. 따라서, 기판(5120) 상면에서 펠릿(5100)이 다양한 방향의 힘을 받아, 다양한 방향으로 이동할 수 있다.

[0402] 또한, 도 35의 (A)에 나타난 바와 같이 기판(5120)이 가열될 때, 펠릿(5100)과 기판(5120) 사이에서 마찰 등으로 인한 저항이 낮다. 이 결과, 펠릿(5100)은 기판(5120) 상면 위를 활공한다. 펠릿(5100)의 활공은 평평한 평면이 기판(5120)에 대항하는 상태에서 일어난다. 그리고 펠릿(5100)이, 이미 퇴적되어 있는 다른 펠릿(5100)의 측면에 도달하면, 펠릿(5100)의 측면들이 결합한다. 이때, 펠릿(5100)의 측면 상의 산소 원자가 이탈된다. 이탈된 산소 원자에 의하여, CAAC-OS의 산소 빈자리가 채워질 수 있어; CAAC-OS는 낮은 결합 상태의 밀도를 갖는다. 또한, 기판(5120) 상면의 온도는 예를 들어, 100℃ 이상 500℃ 미만, 150℃ 이상 450℃ 미만, 또는 170℃ 이상 400℃ 미만이다. 따라서, 기판(5120)이 대형인 경우에도 CAAC-OS를 퇴적할 수 있다.

[0403] 또한, 기판(5120) 상에서 펠릿(5100)이 가열됨으로써 원자가 재배열되어, 이온(5101)의 충돌에 의한 구조 변형이 감소될 수 있다. 구조 변형이 감소된 펠릿(5100)은 실질적으로 단결정이다. 펠릿(5100)들이 결합되고 나서 가열되더라도 펠릿(5100)을 실질적으로 단결정으로 함으로써 펠릿(5100) 자체의 신축이 거의 일어나지 않는다. 따라서, 펠릿(5100) 사이의 틈의 확장으로 인한 결정립계 등의 결합의 형성을 방지할 수 있어, 크레바스의 생성을 방지할 수 있다.

[0404] CAAC-OS는 한 장의 판자 같은 단결정 산화물 반도체의 구조를 갖는 것이 아니라, 펠릿(5100)(나노결정)의 집합이 벽돌 또는 블록이 적층된 것과 같은 배열을 갖는다. 또한, 펠릿(5100)들 사이에 결정립계가 존재하지 않는다. 따라서, 퇴적 동안의 가열, 퇴적 후의 가열 또는 휨으로 인하여 CAAC-OS에 축소 등의 변형이 생긴 경우에도, 국부 응력을 완화하거나 또는 변형을 풀어주는 것이 가능하다. 따라서, 이 구조는 가요성 반도체 장치에 적합하다. 또한, nc-OS는 펠릿(5100)(나노결정)이 무질서하게 적층된 배열을 갖는다.

[0405] 타깃(5130)이 이온(5101)으로 스퍼터링될 때에, 펠릿(5100)에 더하여 산화 아연 등이 박리될 수 있다. 산화 아연은 펠릿(5100)보다 가볍기 때문에, 펠릿(5100)보다 먼저 기판(5120) 상면에 도달한다. 이 결과, 산화 아연이 0.1nm 이상 10nm 이하, 0.2nm 이상 5nm 이하, 또는 0.5nm 이상 2nm 이하의 두께를 갖는 산화 아연층(5102)을 형성한다. 도 37의 (A) 내지 (D)는 단면 모식도이다.

- [0406] 도 37의 (A)에 도시된 바와 같이, 산화 아연층(5102) 위에 펠릿(5105a) 및 펠릿(5105b)이 퇴적된다. 여기서, 펠릿(5105a) 및 펠릿(5105b)의 측면들이 서로 접촉된다. 또한, 펠릿(5105c)이 펠릿(5105b) 위에 퇴적되어 펠릿(5105b) 위를 활공한다. 또한, 산화 아연과 함께 타깃으로부터 박리된 복수의 입자(5103)가, 기관(5120)으로부터의 가열에 의하여 결정화되어, 펠릿(5105a)의 다른 측면에 영역(5105a1)을 형성한다. 또한, 복수의 입자(5103)는 산소, 아연, 인듐, 또는 갈륨 등을 포함할 수 있다.
- [0407] 그리고, 도 37의 (B)에 도시된 바와 같이, 영역(5105a1)이 펠릿(5105a)의 일부로서 성장하여 펠릿(5105a2)을 형성한다. 또한, 펠릿(5105c)의 측면은 펠릿(5105b)의 다른 측면과 접촉된다.
- [0408] 다음에, 도 37의 (C)에 도시된 바와 같이 펠릿(5105d)이 펠릿(5105a2) 및 펠릿(5105b) 위에 퇴적되어 펠릿(5105a2) 및 펠릿(5105b) 위를 활공한다. 또한, 펠릿(5105c)의 다른 측면을 향하여, 펠릿(5105e)이 산화 아연층(5102) 위를 활공한다.
- [0409] 그리고, 도 37의 (D)에 도시된 바와 같이, 펠릿(5105d)의 측면이 펠릿(5105a2)의 측면과 접촉되도록 펠릿(5105d)이 배치된다. 또한, 펠릿(5105e)의 측면은 펠릿(5105c)의 다른 측면과 접촉된다. 산화 아연과 함께 타깃(5130)으로부터 박리된 복수의 입자(5103)가, 기관(5120)으로부터의 가열에 의하여 결정화되어, 펠릿(5105d)의 다른 측면에 영역(5105d1)을 형성한다.
- [0410] 상술한 바와 같이, 퇴적된 펠릿들이 서로 접촉되도록 배치되고 펠릿의 측면에서 성장함으로써, 기관(5120) 위에 CAAC-OS가 형성된다. 따라서, CAAC-OS의 각 펠릿은 nc-OS보다 크다. 도 34의 (3)과 (2)의 크기의 차이는 퇴적 후의 성장의 양에 상당한다.
- [0411] 펠릿들 사이의 틈이 매우 작으면, 펠릿들이 하나의 큰 펠릿을 형성할 수 있다. 큰 펠릿은 단결정 구조를 갖는다. 예를 들어, 펠릿의 크기는 위에서 봤을 때 10nm 이상 200nm 이하, 15nm 이상 100nm 이하, 또는 20nm 이상 50nm 이하일 수 있다. 이 경우, 미세한 트랜지스터에 사용되는 산화물 반도체에서, 채널 형성 영역이 큰 펠릿에 들어갈 수 있다. 즉, 단결정 구조를 갖는 영역을 채널 형성 영역으로서 사용할 수 있다. 또한, 펠릿의 크기가 커지면, 단결정 구조를 갖는 영역을 트랜지스터의 채널 형성 영역, 소스 영역, 및 드레인 영역으로서 사용할 수 있다.
- [0412] 이와 같이, 트랜지스터의 채널 형성 영역 등이 단결정 구조를 갖는 영역에 형성되면, 트랜지스터의 주파수 특성이 증가될 수 있는 경우가 있다.
- [0413] 이러한 모델에 나타낸 바와 같이 펠릿(5100)이 기관(5120) 상에 퇴적되는 것으로 생각된다. 그러므로, 형성 표면이 결정 구조를 갖지 않는 경우에도 CAAC-OS를 퇴적할 수 있기 때문에, 이 경우의 성장 기구(機構)는 에피택셜 성장과 다르다. 또한, CAAC-OS의 형성에는 레이저 결정화가 필요하지 않고, 대형 유리 기관 등 위에서 균일한 막을 형성할 수 있다. 예를 들어, 기관(5120) 상면(형성 표면)이 비정질 구조를 갖는(예를 들어 상면이 비정질 산화 실리콘으로 형성되는) 경우에도, CAAC-OS를 형성할 수 있다.
- [0414] 또한, CAAC-OS의 형성에 있어서, 형성 표면이 요철을 갖는 경우에도, 펠릿(5100)은 형성 표면인 기관(5120)의 상면 형상에 따라 배열되는 것을 알 수 있다. 예를 들어, 기관(5120) 상면이 원자 레벨로 평탄한 경우, 펠릿(5100)은 a-b면에 평행한 평평한 평면이 아래를 향하도록 배열된다. 펠릿(5100)의 두께가 균일한 경우, 두께가 균일하고 평탄하며 높은 결정성을 갖는 층이 형성된다. n개의 층(n은 자연수)을 적층함으로써, CAAC-OS를 얻을 수 있다.
- [0415] 기관(5120) 상면이 요철을 갖는 경우, 각각 펠릿(5100)이 요철을 따라 배열된 n개의 층(n은 자연수)이 적층된 CAAC-OS가 형성된다. 기관(5120)이 요철을 갖기 때문에, CAAC-OS에서 펠릿(5100)들 사이에 틈이 생기기 쉬운 경우가 있다. 또한 이러한 경우에도, 분자간 힘에 의하여, 펠릿(5100)들은 요철이 있는 표면에서도 펠릿들 사이의 틈이 가능한 한 작아지도록 배열된다. 따라서, 형성 표면이 요철을 갖는 경우에도 결정성이 높은 CAAC-OS를 얻을 수 있다.
- [0416] 이러한 모델에 따라 CAAC-OS가 퇴적되기 때문에, 스퍼터링 입자는 두께가 얇은 펠릿 형상을 갖는 것이 바람직하다. 또한, 스퍼터링 입자가 두께가 두꺼운 주사위 형상을 갖는 경우, 기관(5120)에 대항하는 평면이 다양하게 되어, 두께 및 결정의 배향을 균일하게 하지 못하는 경우가 있다.
- [0417] 상술한 퇴적 모델에 따라, 비정질 구조를 갖는 형성 표면에서도 높은 결정성을 갖는 CAAC-OS를 형성할 수 있다.
- [0418] 또한, 본 실시형태에서 설명한 구조 및 방법 등은 다른 실시형태에서 설명한 구조 및 방법 등 중 어느

것과 적절히 조합하여 사용될 수 있다.

- [0419] (실시형태 8)
- [0420] [전자 기기]
- [0421] 본 실시형태에서, 본 발명의 일 형태의 표시 장치를 적용할 수 있는 전자 기기의 예에 대하여 도 38의 (A) 내지 (F) 및 도 39의 (A) 내지 (D)를 참조하여 설명한다.
- [0422] 표시 장치를 포함하는 전자 기기의 예로서는, 텔레비전 수상기(텔레비전 또는 텔레비전 수신기라고도 함), 컴퓨터 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라 등의 카메라, 디지털 액자, 휴대 전화(휴대폰 또는 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 오디오 재생 장치, 및 파킨코기 등의 대형 게임기가 포함된다. 이 전자 기기의 구체적인 예를 도 38의 (A) 내지 (F) 및 도 39의 (A) 내지 (D)에 도시하였다.
- [0423] 도 38의 (A)는 하우징(7101), 하우징(7102), 표시부(7103), 표시부(7104), 마이크로폰(7105), 스피커(7106), 조작 키(7107), 및 스타일러스(7108) 등을 포함하는 휴대형 게임기를 도시한 것이다. 본 발명의 일 형태에 따른 표시 장치는 표시부(7103) 또는 표시부(7104)에 사용할 수 있다. 본 발명의 일 형태에 따른 표시 장치가 표시부(7103) 또는 표시부(7104)로서 사용될 때, 품질이 저하되기 어려우며 사용하기 쉬운 휴대형 게임기를 제공할 수 있다. 도 38의 (A)에 도시된 휴대형 게임기는 2개의 표시부(표시부(7103) 및 표시부(7104))를 포함하지만, 휴대형 게임기에 포함되는 표시부 수는 2개에 한정되지 않는다.
- [0424] 도 38의 (B)는 하우징(7302), 표시부(7304), 조작 버튼(7311), 조작 버튼(7312), 접속 단자(7313), 밴드(7321), 및 클래스프(7322) 등을 포함하는 스마트 위치를 도시한 것이다. 본 발명의 일 형태에 따른 표시 장치 또는 터치 패널은 표시부(7304)에 사용할 수 있다.
- [0425] 도 38의 (C)는 하우징(7501)에 포함된 표시부(7502), 조작 버튼(7503), 외부 접속 포트(7504), 스피커(7505), 및 마이크로폰(7506) 등을 포함하는 휴대 정보 단말을 도시한 것이다. 본 발명의 일 형태의 표시 장치는 표시부(7502)에 사용할 수 있다.
- [0426] 도 38의 (D)는 제 1 하우징(7701), 제 2 하우징(7702), 표시부(7703), 조작 키(7704), 렌즈(7705), 및 연결부(7706) 등을 포함하는 비디오 카메라를 도시한 것이다. 조작 키(7704) 및 렌즈(7705)는 제 1 하우징(7701)에 제공되고, 표시부(7703)는 제 2 하우징(7702)에 제공된다. 제 1 하우징(7701)과 제 2 하우징(7702)은 연결부(7706)에 의하여 서로 접속되고, 제 1 하우징(7701)과 제 2 하우징(7702) 사이의 각도는 연결부(7706)에 의하여 변화될 수 있다. 표시부(7703)에 표시되는 화상을 제 1 하우징(7701)과 제 2 하우징(7702) 사이의 연결부(7706)에서의 각도에 따라 전환하여도 좋다. 본 발명의 일 형태의 촬상 장치는 렌즈(7705)의 초점이 되는 위치에 제공될 수 있다. 본 발명의 일 형태의 표시 장치는 화상 표시부(7703)에 사용할 수 있다.
- [0427] 도 38의 (E)는 하우징(7801)에 포함된 표시부(7802), 조작 버튼(7803), 및 스피커(7804) 등을 포함하는 곡면 디스플레이를 도시한 것이다. 본 발명의 일 형태의 표시 장치는 표시부(7802)에 사용할 수 있다.
- [0428] 도 38의 (F)는 전신주(7921)에 제공된 표시부(7922)를 포함하는 디지털 사이니지를 도시한 것이다. 본 발명의 일 형태의 표시 장치는 표시부(7922)에 사용할 수 있다.
- [0429] 도 39의 (A)는 하우징(8121), 표시부(8122), 키보드(8123), 및 포인팅 디바이스(8124) 등을 포함하는 노트북 퍼스널 컴퓨터를 도시한 것이다. 본 발명의 일 형태의 표시 장치는 표시부(8122)에 사용할 수 있다.
- [0430] 도 39의 (B)는 자동차(9700)의 외관이다. 도 39의 (C)는 자동차(9700)의 운전석을 도시한 것이다. 자동차(9700)는 차체(9701), 차륜(9702), 대시보드(9703), 및 라이트(9704) 등을 포함한다. 본 발명의 일 형태의 표시 장치 또는 입출력 장치는 자동차(9700)의 표시부 등에 사용할 수 있다. 예를 들어, 도 39의 (C)에 도시된 표시부(9710) 내지 표시부(9715)에 본 발명의 일 형태의 표시 장치, 입출력 장치, 또는 터치 패널을 사용할 수 있다.
- [0431] 표시부(9710) 및 표시부(9711)는 각각 자동차의 앞유리에 제공된 표시 장치 또는 입출력 장치이다. 본 발명의 일 형태의 표시 장치 또는 입출력 장치는 전극에 투광성을 갖는 도전성 재료를 사용함으로써, 반대 측이 들여다보이는 소위 시스루 상태의 표시 장치 또는 입출력 장치가 될 수 있다. 이러한 시스루 상태의 표시 장치 또는 입출력 장치는 자동차(9700)를 운전할 때 시계(視界)가 차단되지 않는다. 따라서, 본 발명의 일 형태의 표시 장치 또는 입출력 장치를 자동차(9700)의 앞유리에 제공할 수 있다. 또한, 표시 장치 또는 입출력 장치를

구동하기 위한 트랜지스터 등을 표시 장치 또는 입출력 장치에 제공하는 경우에는, 유기 반도체 재료를 사용한 유기 트랜지스터 또는 산화물 반도체를 사용한 트랜지스터 등 투광성을 갖는 트랜지스터를 사용하는 것이 바람직하다.

[0432] 표시부(9712)는 필터 부분에 제공된 표시 장치이다. 예를 들어, 차체에 제공된 활상 수단에 의한 화상을 표시부(9712)에 표시시킴으로써, 필터 부분으로 차단된 시계를 보완할 수 있다. 표시부(9713)는 대시보드에 제공된 표시 장치이다. 예를 들어, 차체에 제공된 활상 수단에 의한 화상을 표시부(9713)에 표시시킴으로써, 대시보드로 차단된 시계를 보완할 수 있다. 즉, 자동차의 외측에 제공된 활상 수단에 의한 화상을 표시시킴으로써, 사각을 없애고, 안전성을 높일 수 있다. 운전자가 보지 못하는 부분을 보완하는 화상을 표시시킴으로써, 운전자는 용이하게 그리고 편안하게 안전을 확인할 수 있다.

[0433] 도 39의 (D)는 운전석과 조수석에 벤치 시트를 사용한 자동차 내부를 도시한 것이다. 표시부(9721)는 문 부분에 제공된 표시 장치이다. 예를 들어, 차체에 제공된 활상 수단에 의한 화상을 표시부(9721)에 표시시킴으로써 문으로 차단된 시계를 보완할 수 있다. 표시부(9722)는 핸들에 제공된 표시 장치이다. 표시부(9723)는 벤치 시트의 착좌면의 중앙부에 제공된 표시 장치이다. 또한, 착좌면 또는 의자 등받이에 표시 장치를 제공함으로써 그리고 표시 장치의 발열을 열원으로서 사용함으로써 표시 장치를 시트 히터로서 사용할 수 있다.

[0434] 표시부(9714), 표시부(9715), 및 표시부(9722)는 내비게이션 정보, 스피드미터, 태코미터(tachometer), 주행 거리, 급유량, 기어 인디케이터, 및 에어컨디셔너의 설정 등 여러 가지 정보를 제공할 수 있다. 표시부에서의 표시의 내용 또는 레이아웃 등은 사용자에게 의하여 적절히 자유로이 변경할 수 있다. 상기 정보는 표시부(9710) 내지 표시부(9713), 표시부(9721), 및 표시부(9723)에 표시할 수도 있다. 표시부(9710) 내지 표시부(9715) 및 표시부(9721) 내지 표시부(9723)는 조명 장치로서 사용할 수도 있다. 또한, 표시부(9710) 내지 표시부(9715) 및 표시부(9721) 내지 표시부(9723)는 가열 장치로서 사용할 수도 있다.

[0435] 본 발명의 일 형태의 표시 장치를 포함한 표시부는 평면이어도 좋고, 이 경우 표시 장치는 곡면 또는 가요성을 반드시 가질 필요는 없다.

[0436] 또한, 본 실시형태에서 설명한 구조 및 방법 등은 다른 실시형태에서 설명한 구조 및 방법 등 중 어느 것과 적절히 조합하여 사용될 수 있다.

부호의 설명

[0437] 10: 표시 장치, 11: 영역, 12: 영역, 13: 영역, 14: 영역, 18: 차광층, 20: 표시 패널, 21: 표시 영역, 22: 주변 회로, 23: 보호막, 24: 화소, 30: 홈부, 36: 전극, 42: FPC, 50: 트랜지스터, 51: 트랜지스터, 52: 트랜지스터, 53: 트랜지스터, 54: 트랜지스터, 55: 트랜지스터, 61: 용량 소자, 63: 용량 소자, 70: 발광 소자, 80: 액정 소자, 90: 입력 장치, 91: 소스선, 92: 게이트선, 100: 기관, 101: 기관, 103: 편광판, 104: 백 라이트, 110: 절연층, 112: 절연층, 120: 도전층, 130: 절연층, 131: 절연층, 140: 반도체층, 141: 산화물 반도체층, 142: 산화물 반도체층, 143: 산화물 반도체층, 150: 도전층, 160: 도전층, 165: 절연층, 170: 절연층, 180: 절연층, 190: 도전층, 200: 도전층, 220: 도전층, 230: 층, 240: 스페이서, 250: EL층, 260: 도전층, 300: 기관, 301: 기관, 302: 보호 기관, 303: 편광판, 312: 절연층, 330: 절연층, 360: 착색층, 370: 접착층, 371: 접착층, 372: 접착층, 373: 접착층, 374: 접착층, 375: 접착층, 376: 접착층, 380: 도전층, 390: 액정층, 400: 도전층, 410: 도전층, 411: 도전층, 420: 절연층, 430: 도전층, 440: 절연층, 510: 이방성 도전막, 520: 도전층, 530: 개구, 601: 프리커서, 602: 프리커서, 700: 기관, 701: 화소부, 702: 주사선 구동 회로, 703: 주사선 구동 회로, 704: 신호선 구동 회로, 710: 용량 배선, 712: 게이트 배선, 713: 게이트 배선, 714: 데이터선, 716: 트랜지스터, 717: 트랜지스터, 718: 액정 소자, 719: 액정 소자, 720: 화소, 721: 스위칭용 트랜지스터, 722: 구동용 트랜지스터, 723: 용량 소자, 724: 발광 소자, 725: 신호선, 726: 주사선, 727: 전원선, 728: 공통 전극, 800: 기관, 810: 도입구, 820: 체임버, 830: 발광 소자, 930: 기관, 931: 전극, 932: 전극, 933: 전극, 934: 다리 형상 전극, 936: 전극, 937: 전극, 938: 교차부, 941: 배선, 942: 배선, 950: FPC, 951: IC, 1700: 기관, 1701: 체임버, 1702: 로드실, 1703: 전처리실, 1704: 체임버, 1705: 체임버, 1706: 언로드실, 1711a: 원료 공급부, 1711b: 원료 공급부, 1712a: 고속 밸브, 1712b: 고속 밸브, 1713a: 원료 도입구, 1713b: 원료 도입구, 1714: 원료 배출구, 1715: 배기 유닛, 1716: 기관 홀더, 1720: 반송실, 3501: 배선, 3502: 배선, 3503: 트랜지스터, 3504: 액정 소자, 3510: 배선, 3510_1: 배선, 3510_2: 배선, 3511: 배선, 3515_1: 블록, 3515_2: 블록, 3516: 블록, 5100: 펠릿, 5100a: 펠릿, 5100b: 펠릿, 5101: 이온, 5102: 산화 아연층, 5103: 입자, 5105a: 펠릿, 5105a1: 영역, 5105a2: 펠릿, 5105b: 펠릿, 5105c: 펠릿, 5105d: 펠릿, 5105d1: 영역, 5105e: 펠릿, 5120: 기관, 5130: 타깃, 5161: 영역, 7101: 하우스, 7102: 하우스, 7103: 표시부, 7104:

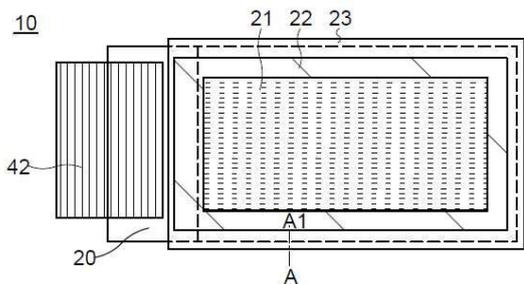
표시부, 7105: 마이크로폰, 7106: 스피커, 7107: 조작 키, 7108: 스타일러스, 7302: 하우징, 7304: 표시부, 7311: 조작 버튼, 7312: 조작 버튼, 7313: 접속 단자, 7321: 밴드, 7322: 클래스프, 7501: 하우징, 7502: 표시부, 7503: 조작 버튼, 7504: 외부 접속 포트, 7505: 스피커, 7506: 마이크로폰, 7701: 하우징, 7702: 하우징, 7703: 표시부, 7704: 조작 키, 7705: 렌즈, 7706: 연결부, 7801: 하우징, 7802: 표시부, 7803: 조작 버튼, 7804: 스피커, 7921: 전신주, 7922: 표시부, 8121: 하우징, 8122: 표시부, 8123: 키보드, 8124: 포인팅 디바이스, 9700: 자동차, 9701: 차체, 9702: 차륜, 9703: 대시보드, 9704: 라이트, 9710: 표시부, 9711: 표시부, 9712: 표시부, 9713: 표시부, 9714: 표시부, 9715: 표시부, 9721: 표시부, 9722: 표시부, 9723: 표시부.

본 출원은 2014년 10월 28일에 일본 특허청에 출원된 일련 번호 2014-219635의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

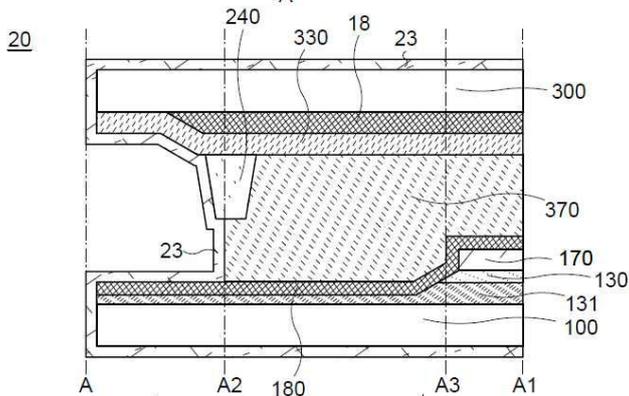
도면

도면1

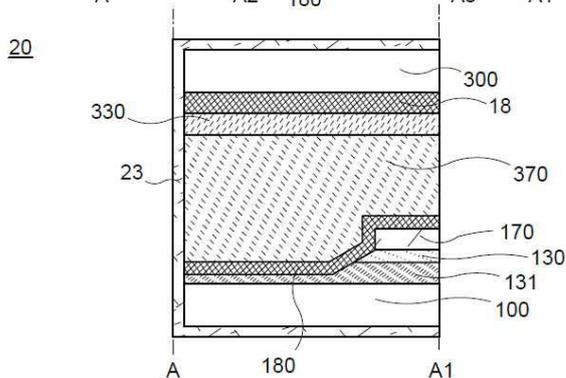
(A)



(B)

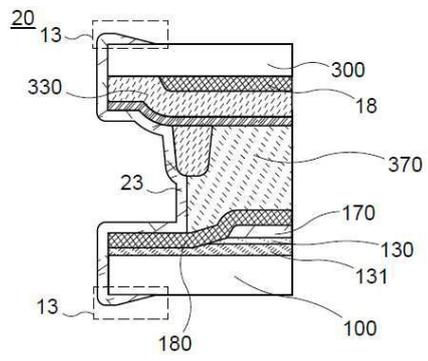


(C)

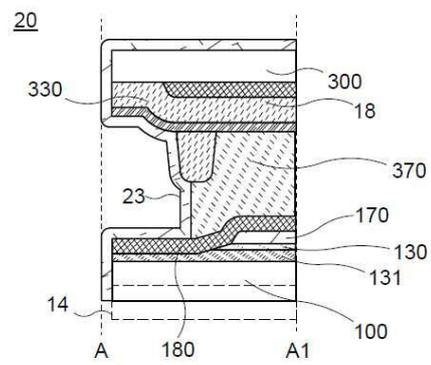


도면2

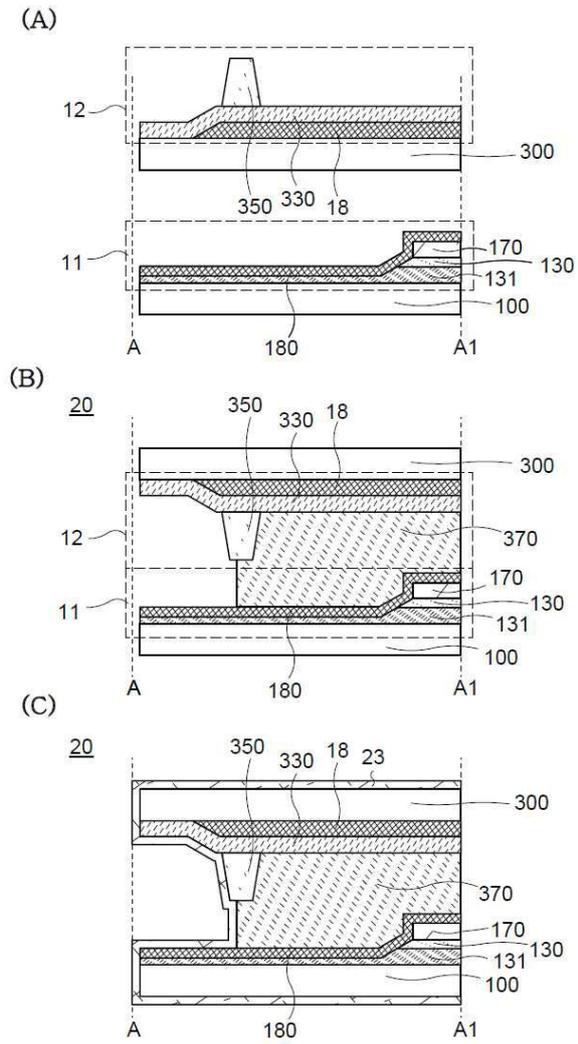
(A)



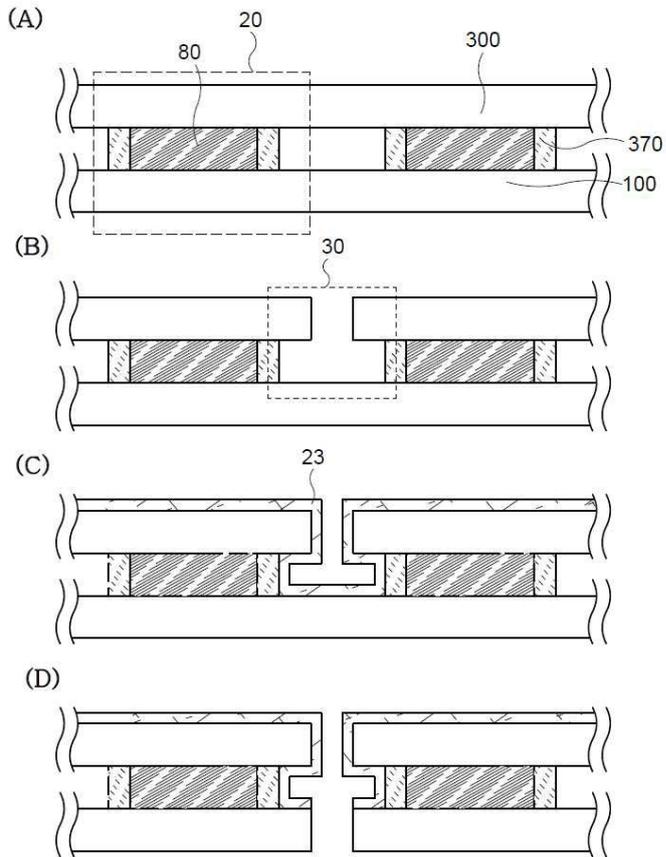
(B)



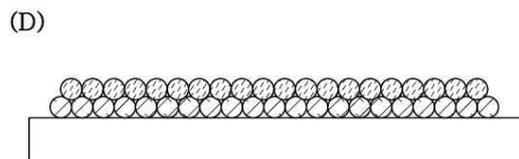
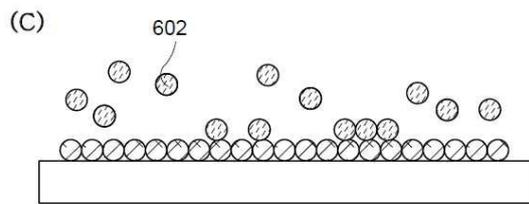
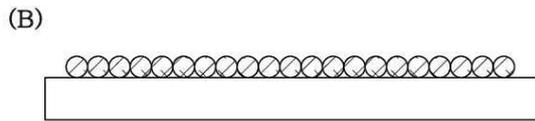
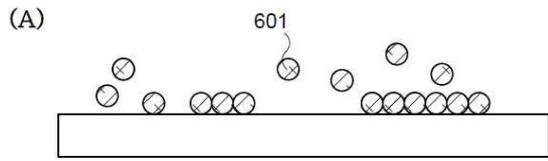
도면3



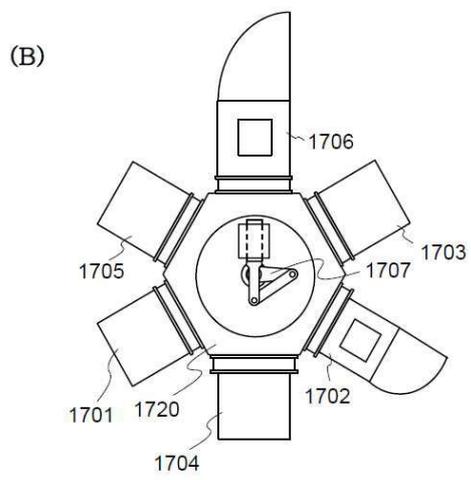
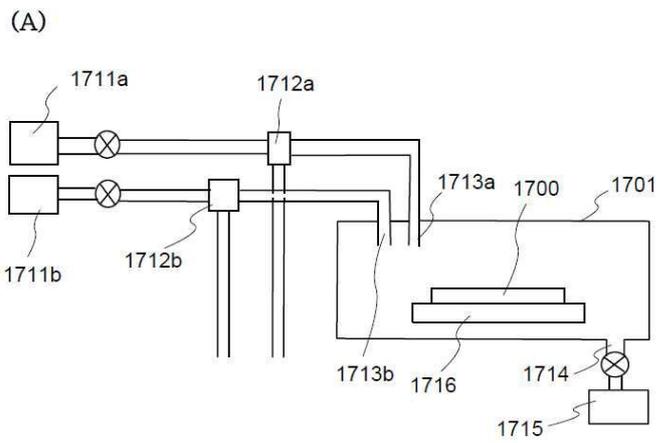
도면4



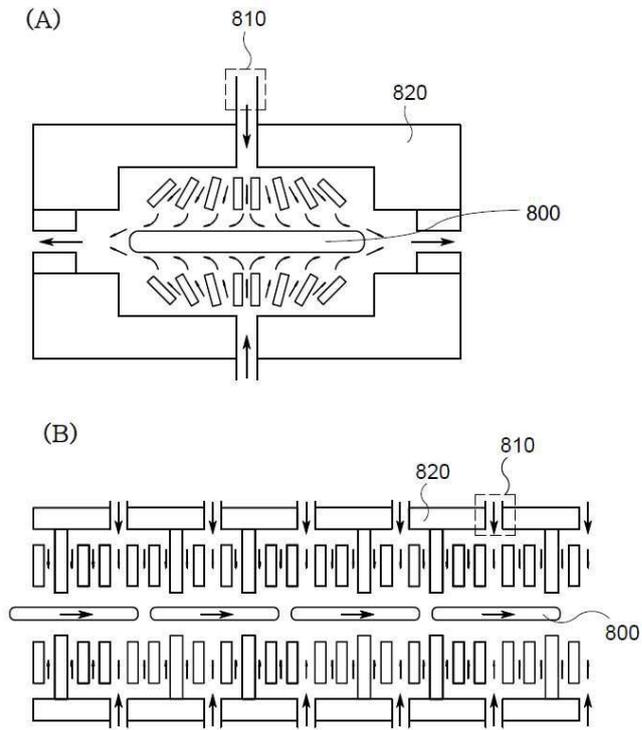
도면5



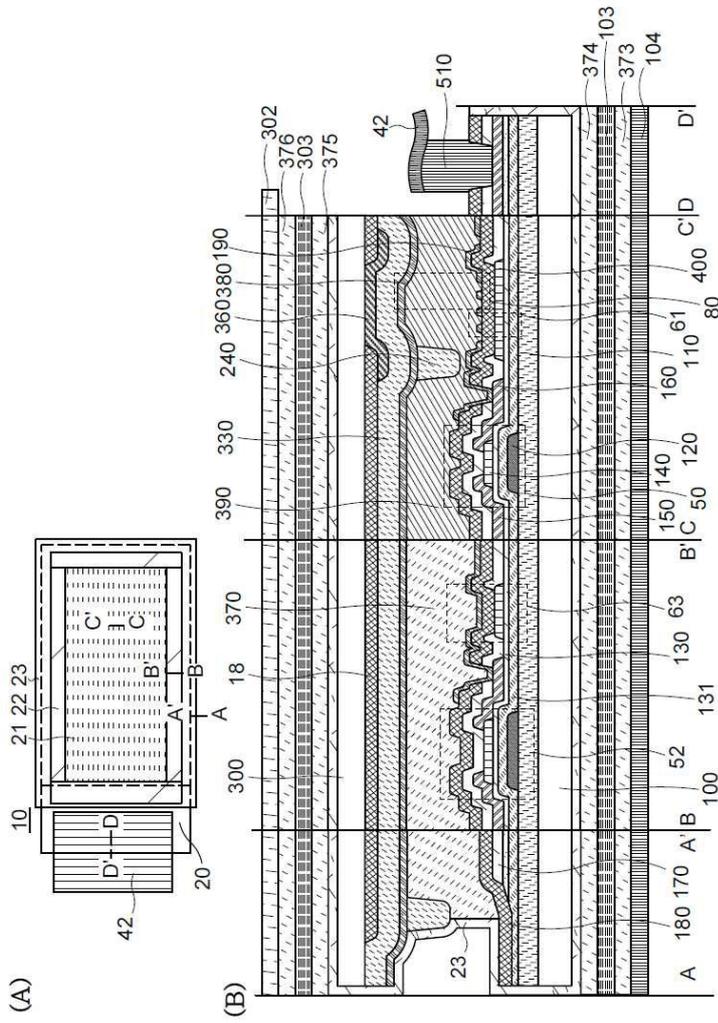
도면6



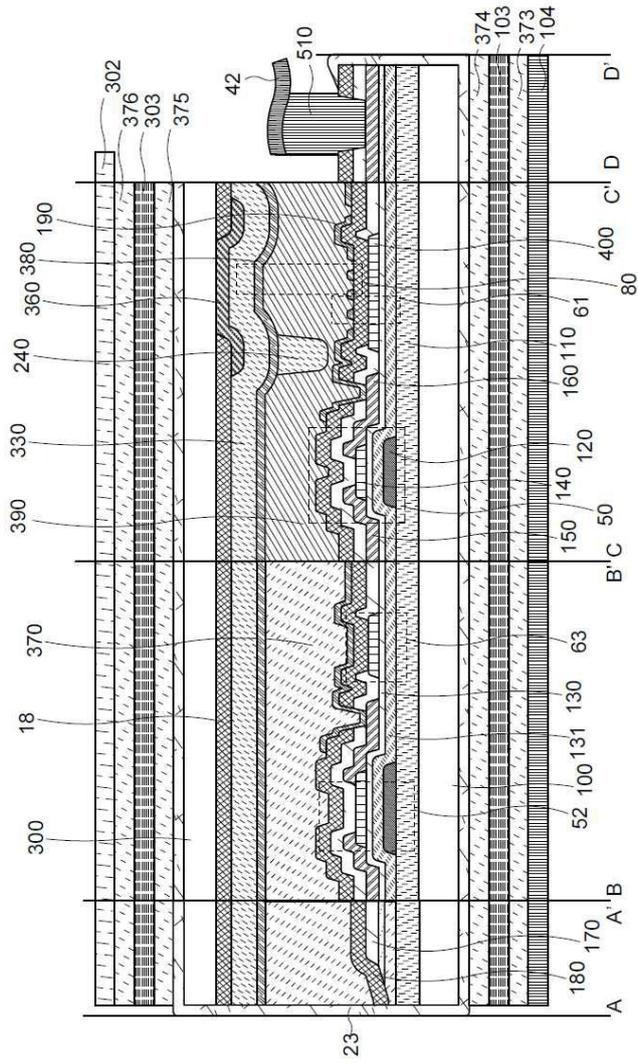
도면7



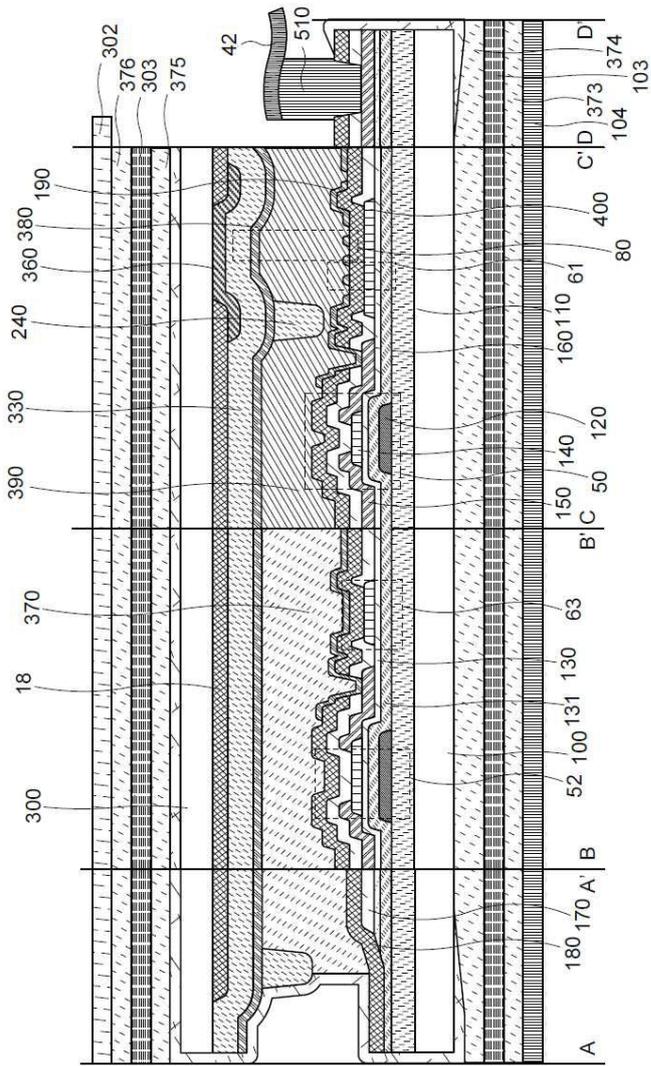
도면8



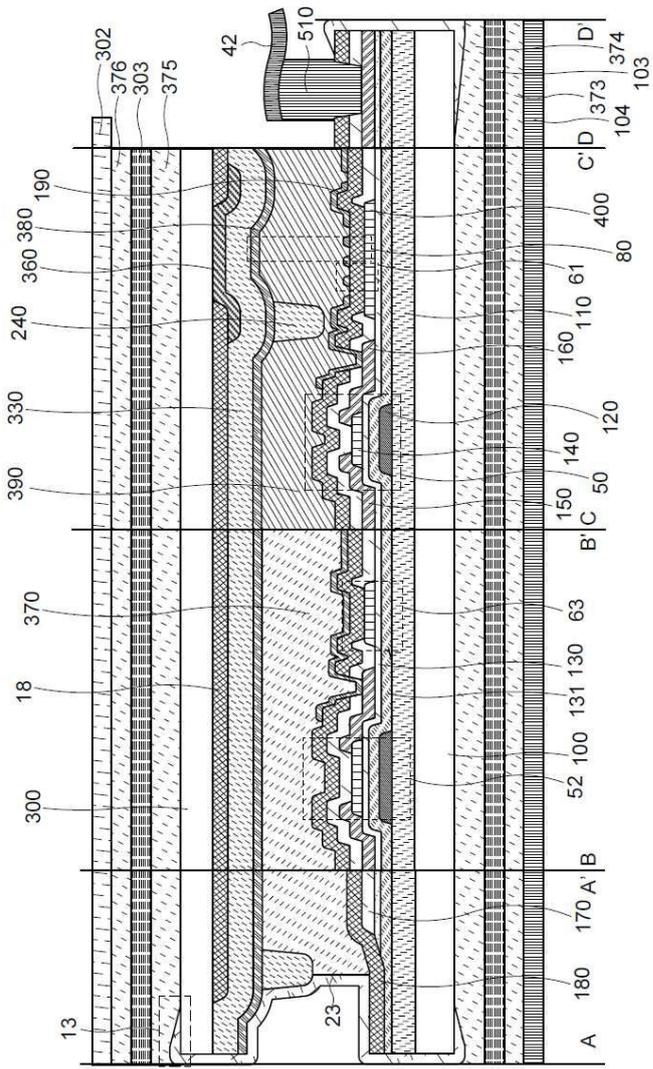
도면9



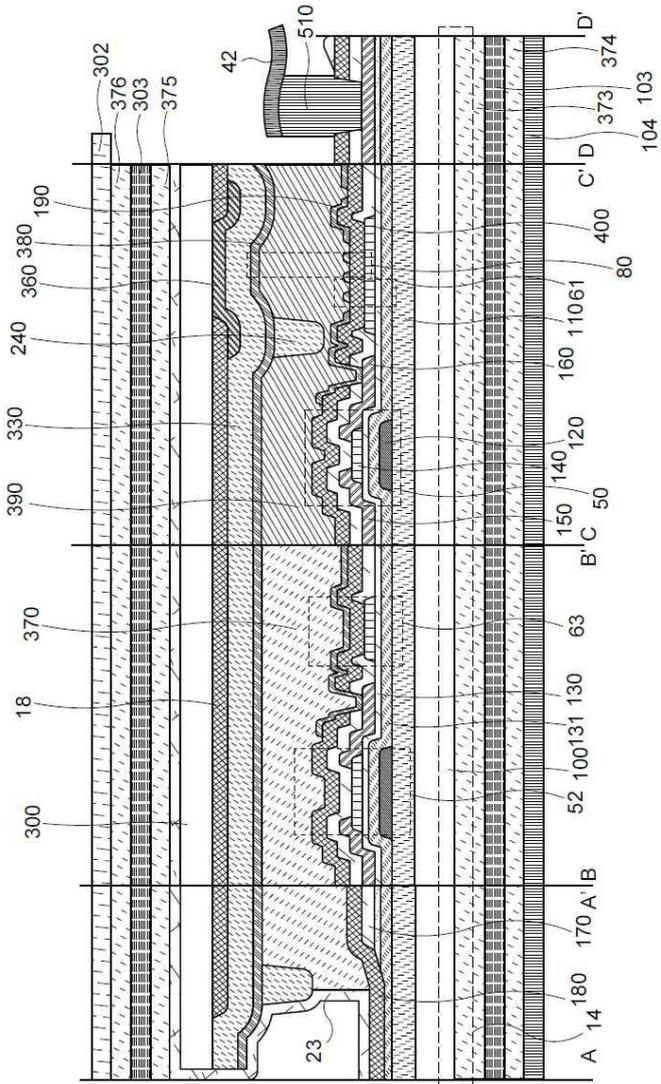
도면10



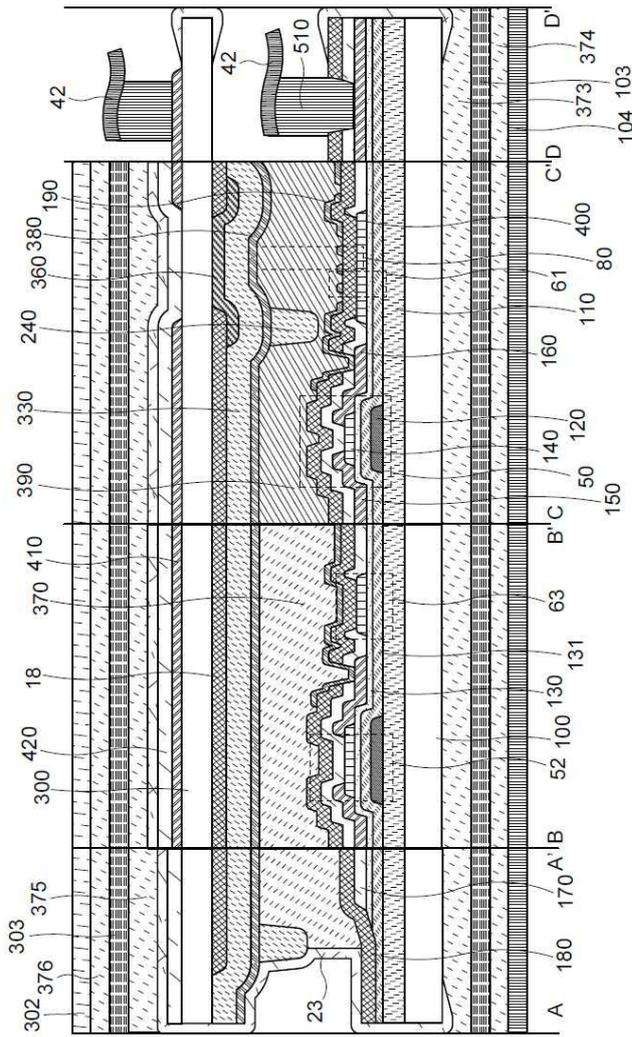
도면11



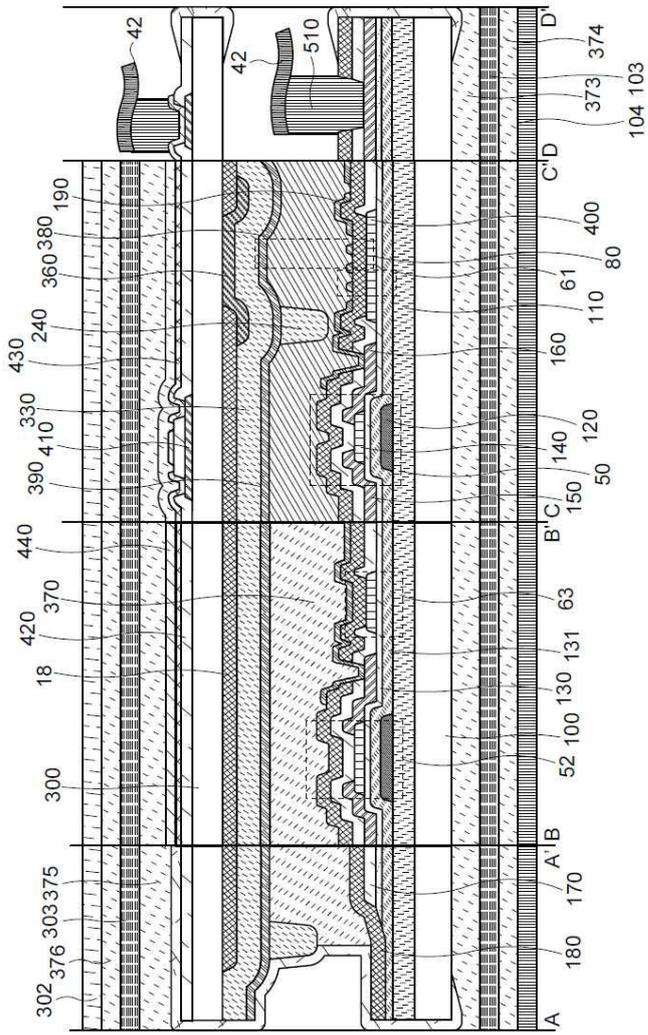
도면12



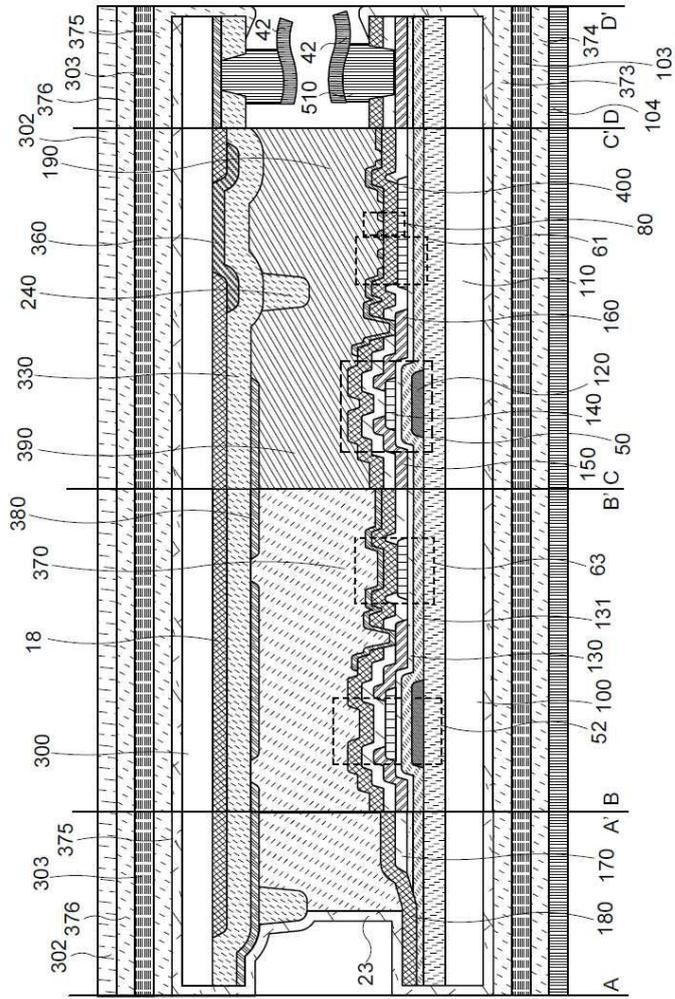
도면13



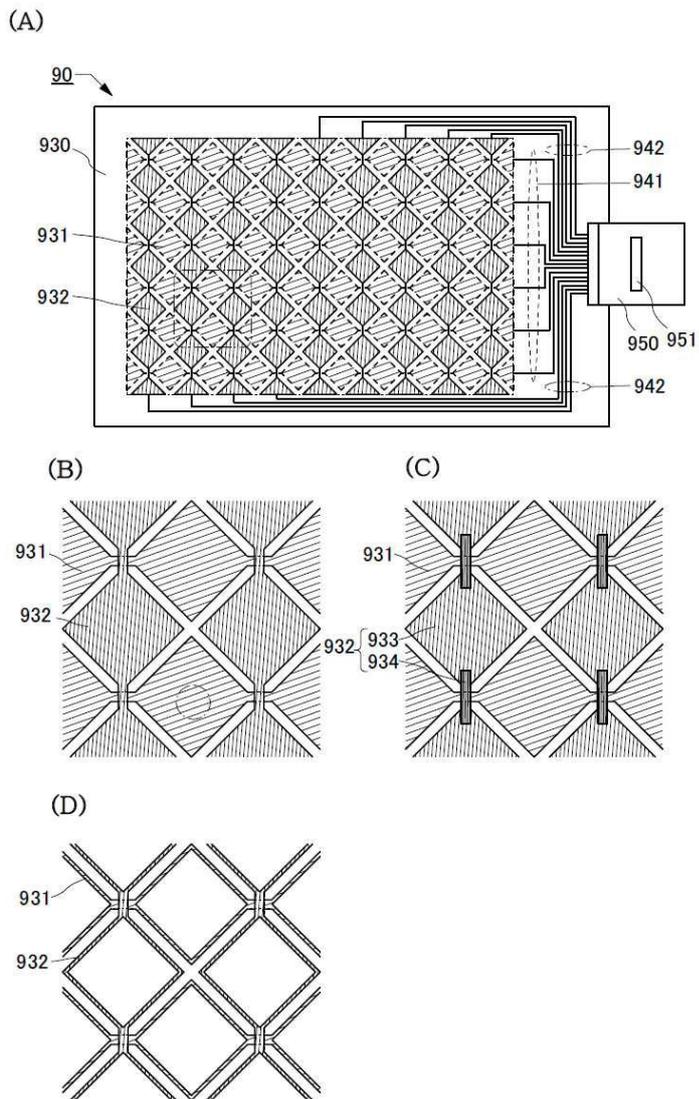
도면14



도면15

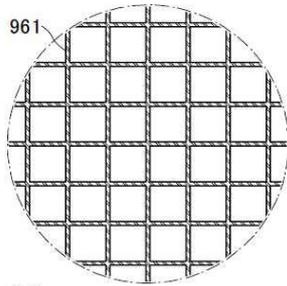


도면16

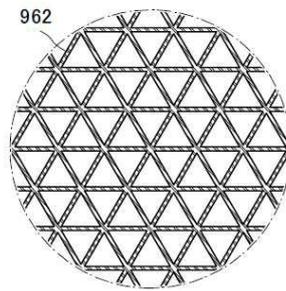


도면17

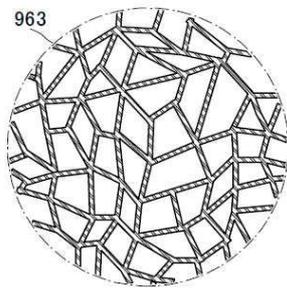
(A)



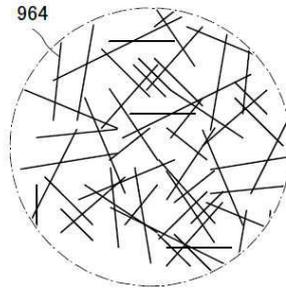
(B)



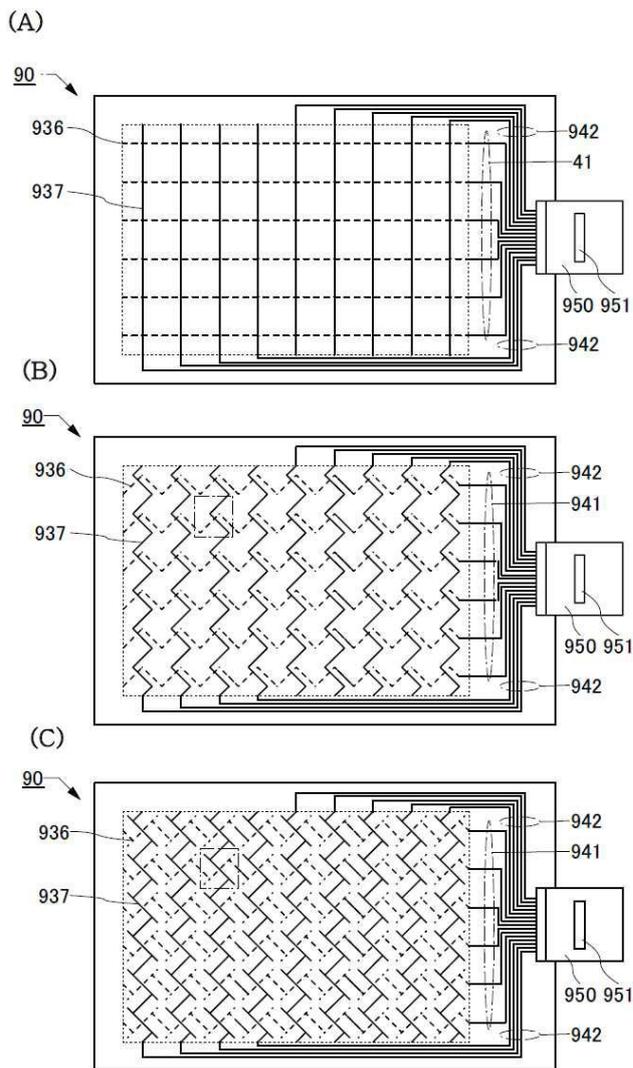
(C)



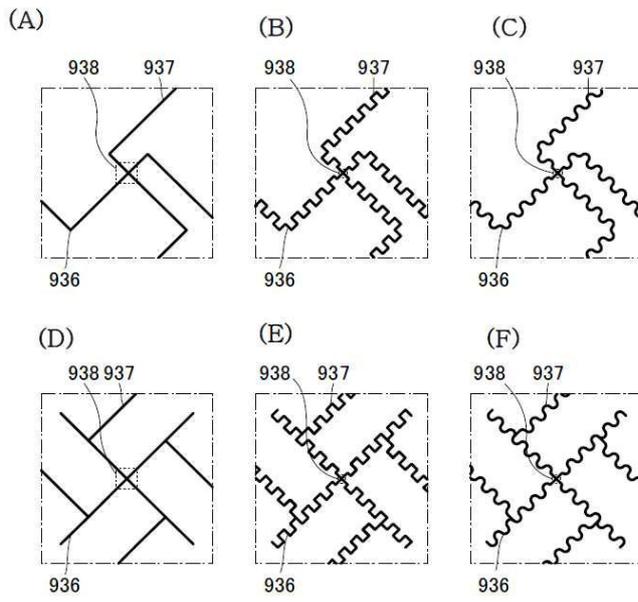
(D)



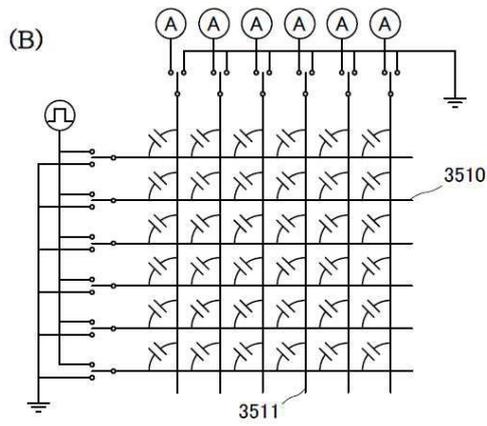
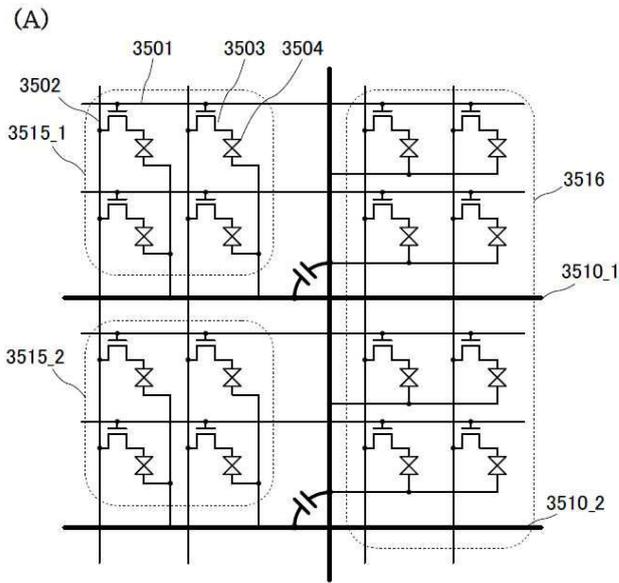
도면18



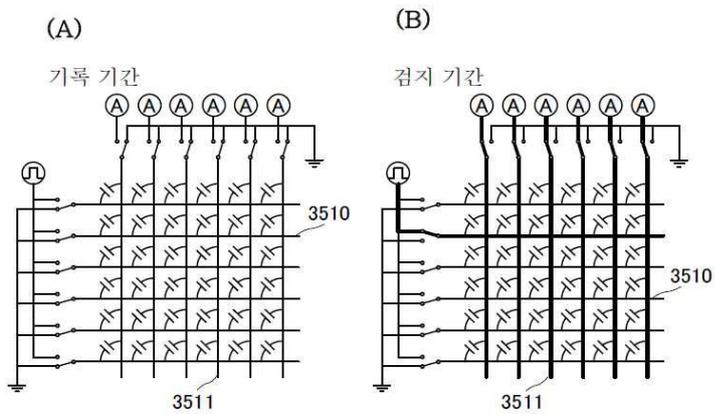
도면19



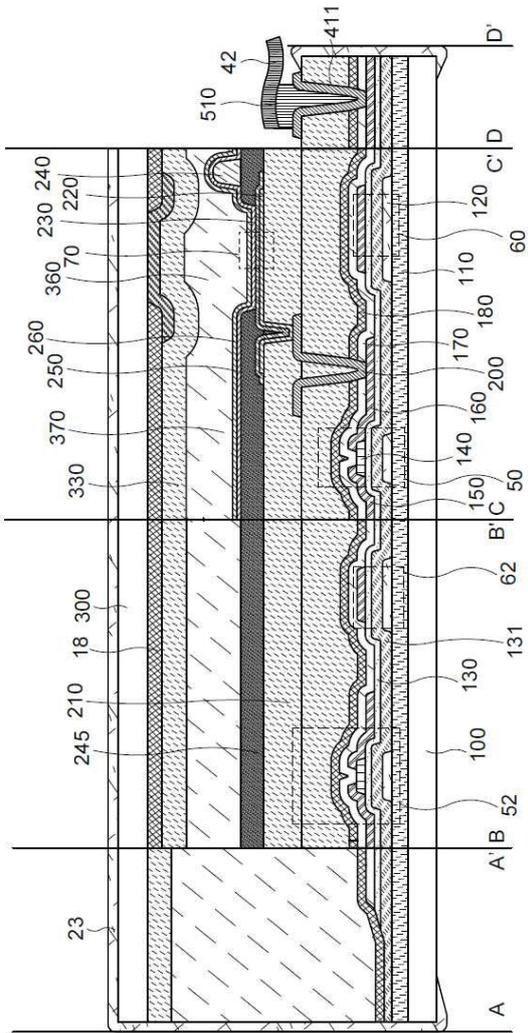
도면20



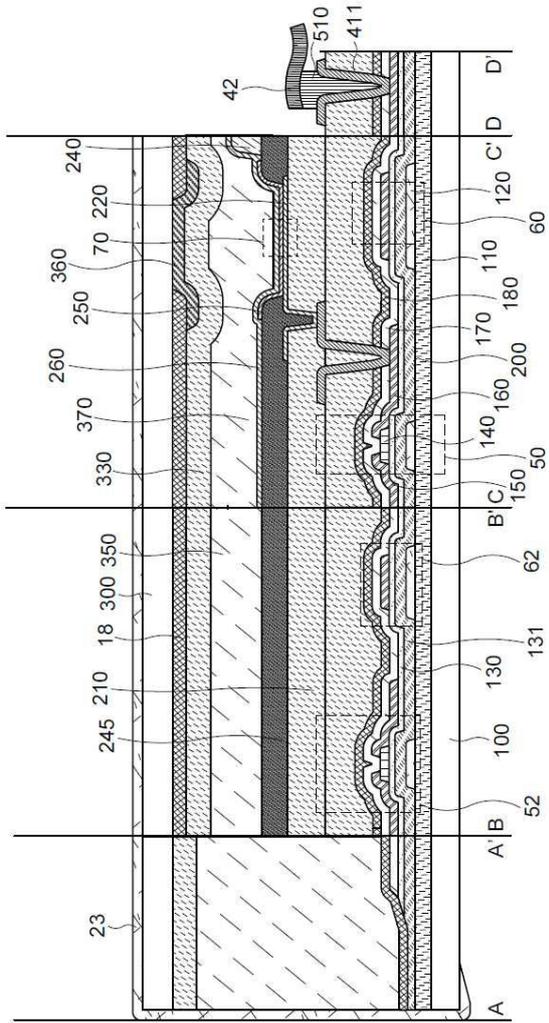
도면21



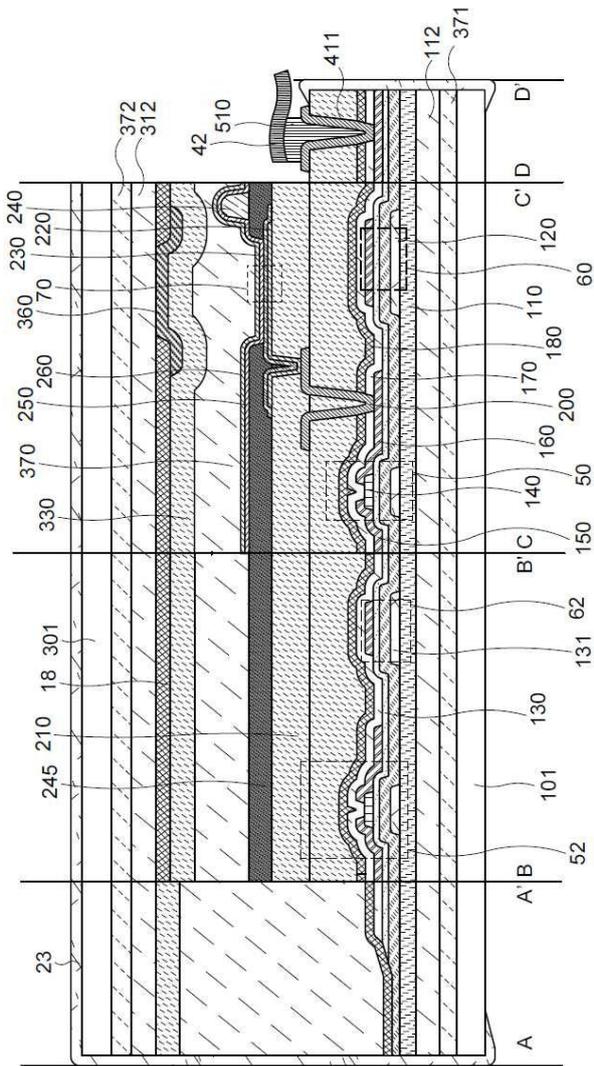
도면22



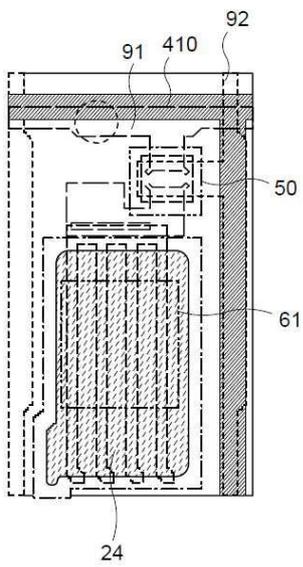
도면23



도면24

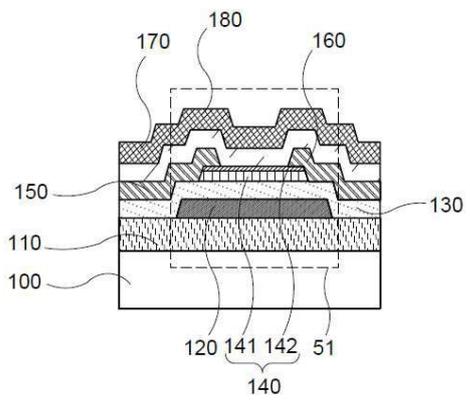


도면25

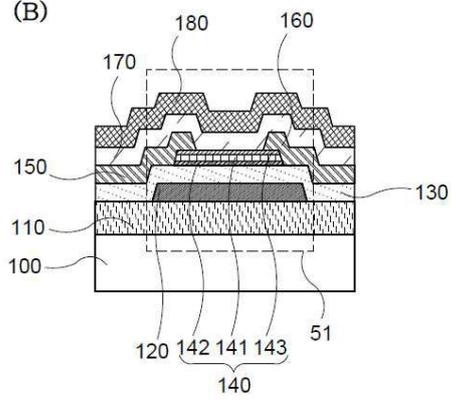


도면26

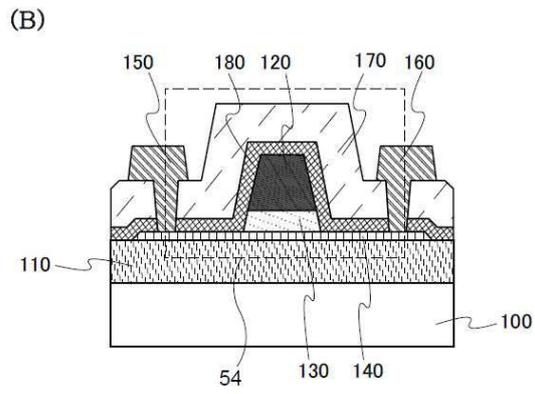
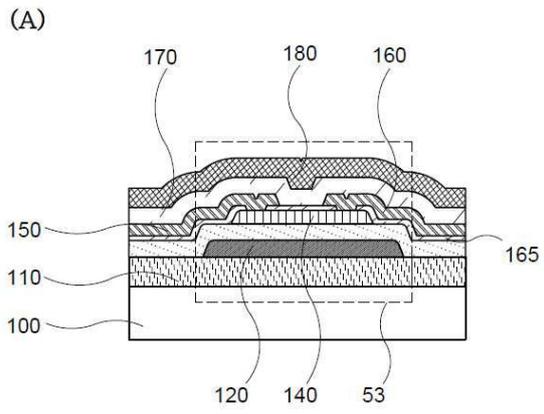
(A)



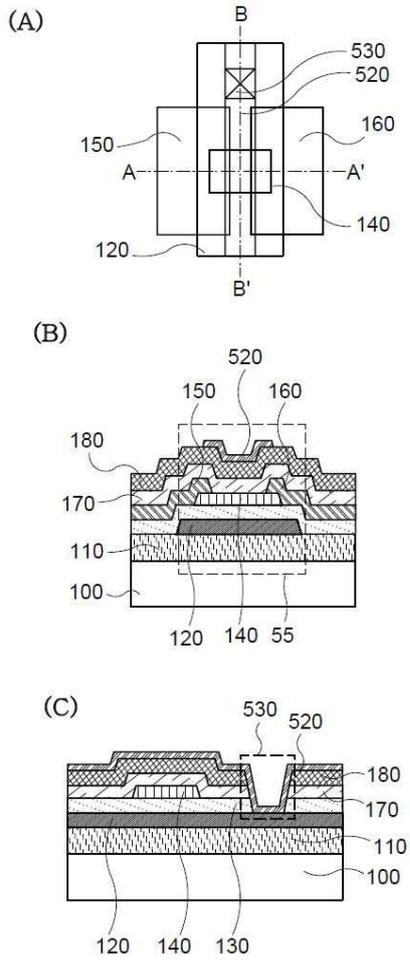
(B)



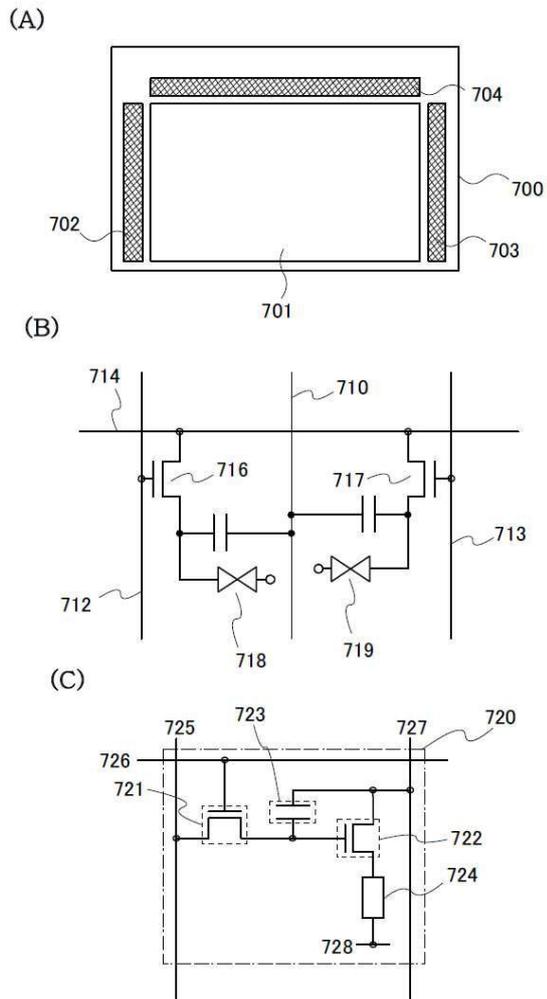
도면27



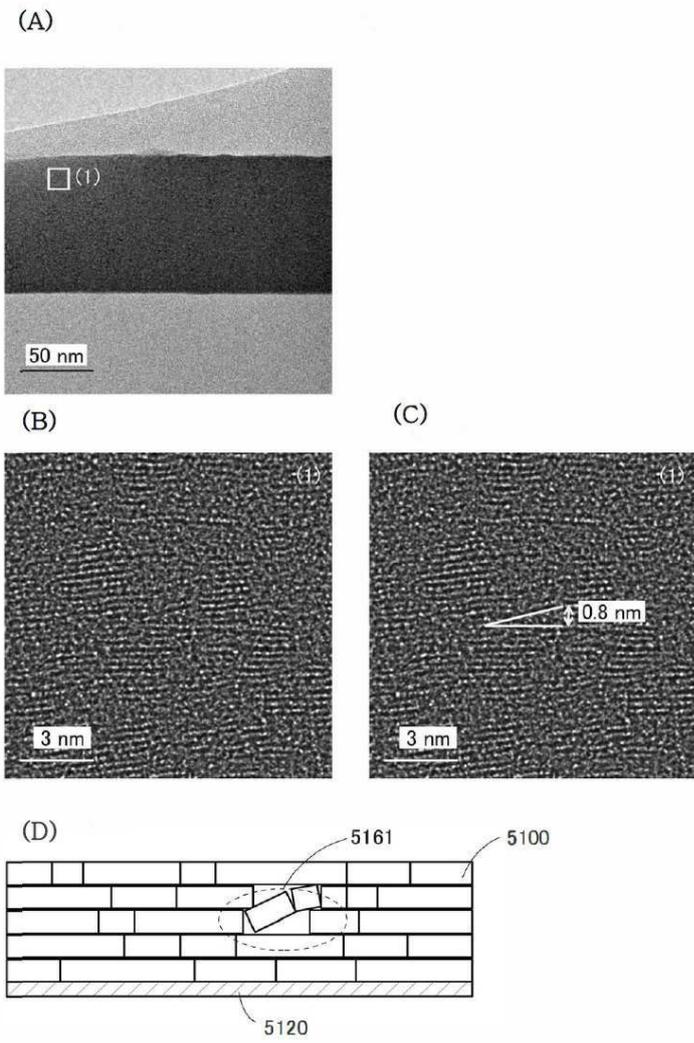
도면28



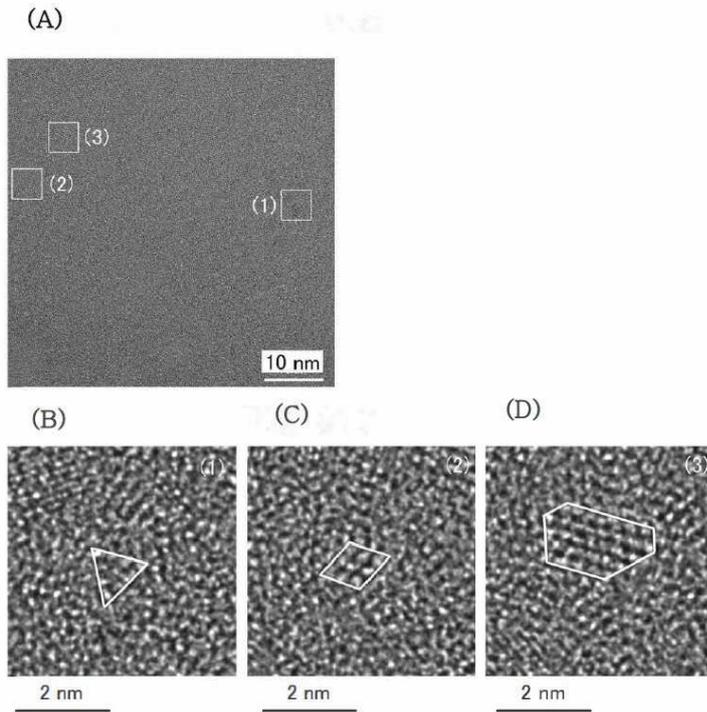
도면29



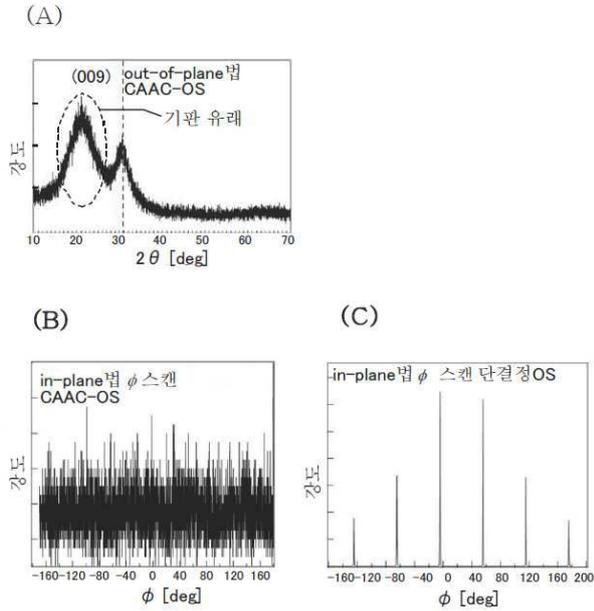
도면30



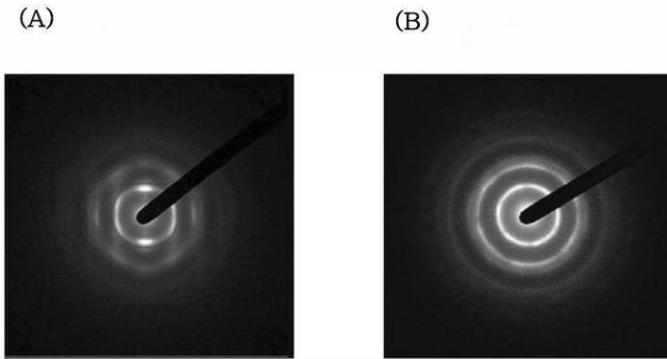
도면31



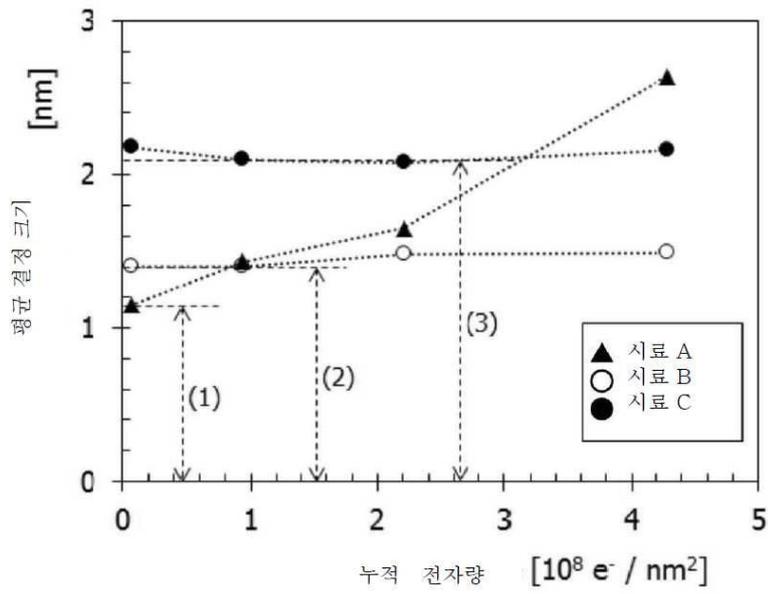
도면32



도면33

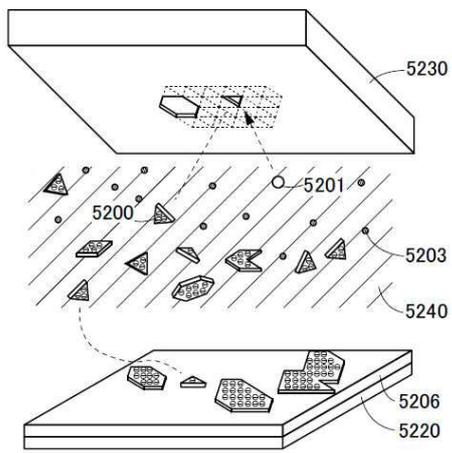


도면34

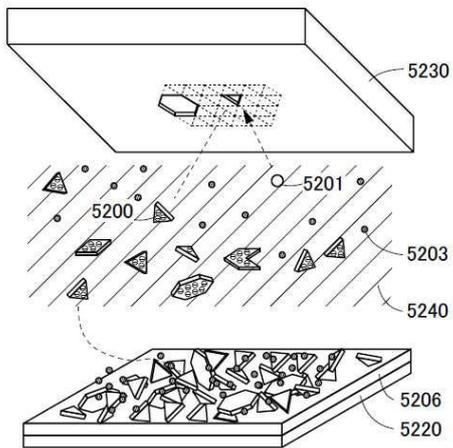


도면35

(A)

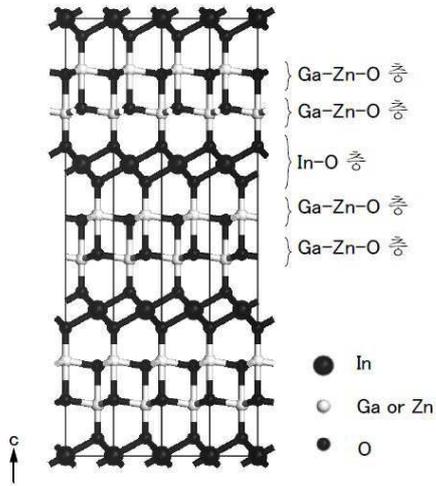


(B)

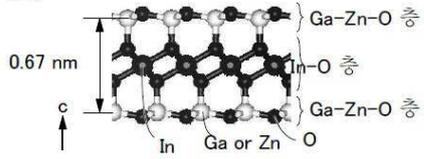


도면36

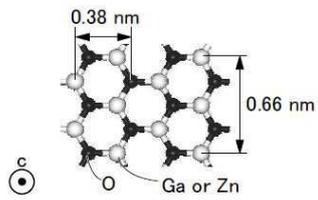
(A)



(B)

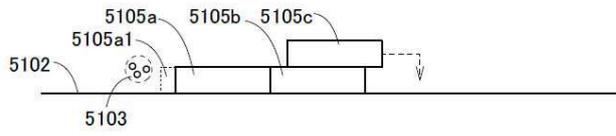


(C)

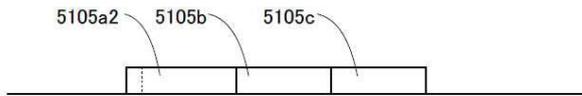


도면37

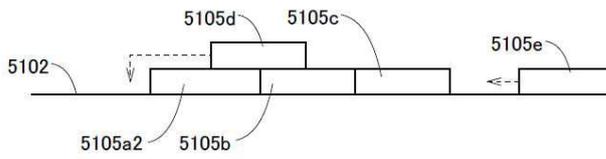
(A)



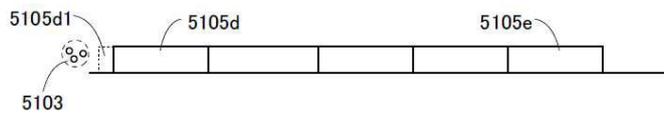
(B)



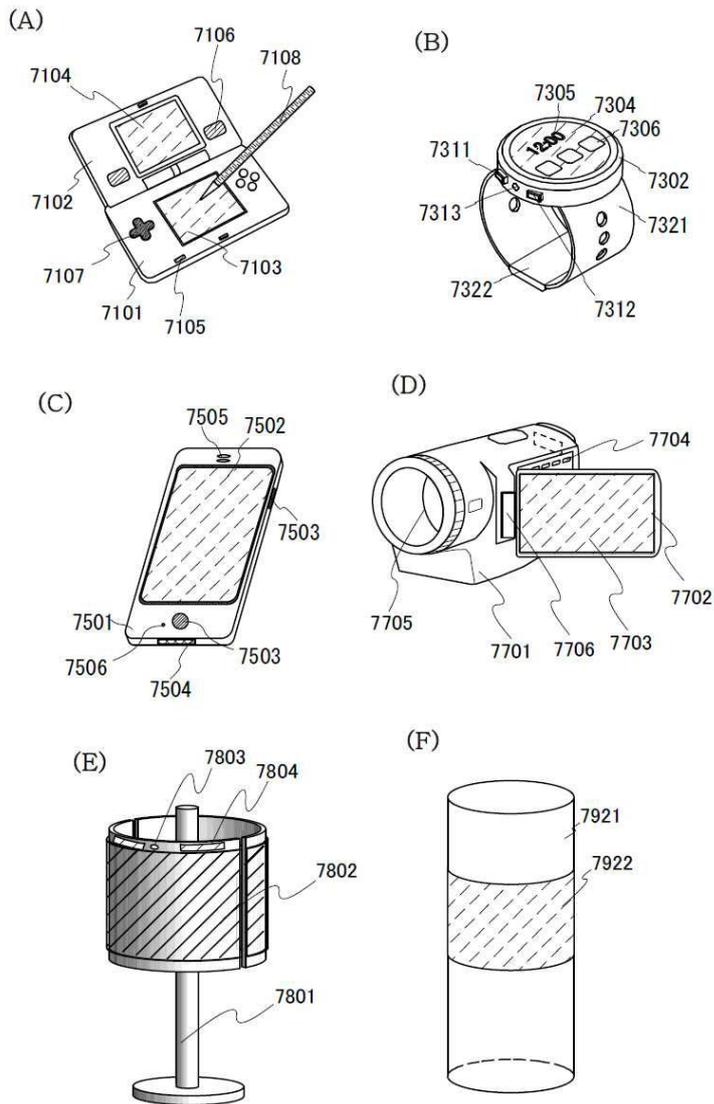
(C)



(D)



도면38



도면39

