

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 21/82	(11) 공개번호 (43) 공개일자	특 1999-023884 1999년 03월 25일
(21) 출원번호	특 1998-034625	
(22) 출원일자	1998년 08월 26일	
(30) 우선권주장	97-231148 1997년 08월 27일 일본(JP)	
(71) 출원인	닛뽕덴끼 가부시끼가이샤 가네꼬 히사시	
(72) 발명자	일본 도오교도 미나또꾸 시바 5초메 7방 1고 오구 세쓰야	
(74) 대리인	일본 시가켄 오쓰시 세이란 2초메 9-1간사이 닛뽕덴끼 가부시끼가이샤 나이 박해선, 조영원	

심사청구 : 있음

(54) 과도적인 효과에 의한 영향을 받지 않고 회로 스위칭이 가능한 반도체 논리회로 장치

요약

복수개의 논리회로 및 메모리를 구비한 FPGA 가 제공된다.
논리회로정보를 동작하고 있지 않은 논리회로의 메모리로 전송하고, 전송이 끝난 때에 동작중의 논리회로로 스위칭함으로써, FPGA 는 동작전송시간이 없도록 동작시킬 수 있게 된다.

대표도

도5

명세서

도면의 간단한 설명

- 도 1 은 종래의 FPGA 구성을 나타낸 다이어그램.
- 도 2a 는 논리회로의 부분적인 내부구성을 나타낸 다이어그램.
- 도 2b 는 입/출력회로부의 부분적인 내부구성을 나타낸 다이어그램.
- 도 3 은 제 1 실시형태로서 본 발명의 기본적인 구성을 나타낸 다이어그램.
- 도 4a 는 도 3 에 나타낸 FPGA 의 동작을 설명하는 3 개의 다이어그램중 하나를 나타낸 도면.
- 도 4b 는 도 3 에 나타낸 FPGA 의 동작을 설명하는 3 개의 다이어그램중 다른 하나를 나타낸 도면.
- 도 4c 는 도 3 에 나타낸 FPGA 의 동작을 설명하는 3 개의 다이어그램중 또 다른 하나를 나타낸 도면.
- 도 5 는 본 발명의 제 1 실시형태의 일례를 나타낸 다이어그램.
- 도 6 은 제 2 실시형태로서 본 발명의 또 다른 기본적인 구성을 나타낸 다이어그램.
- 도 7 은 본 발명의 제 2 실시형태의 일례를 나타낸 다이어그램.
- 도 8a 은 도 6 에 나타낸 FPGA 의 동작을 설명하는 3 개의 다이어그램중 하나를 나타낸 도면.
- 도 8b 는 도 6 에 나타낸 FPGA 의 동작을 설명하는 3 개의 다이어그램중 다른 하나를 나타낸 도면.
- 도 8c 는 도 6 에 나타낸 FPGA 의 동작을 설명하는 3 개의 다이어그램중 또 다른 하나를 나타낸 도면.
- 도 9 는 도 7 에 나타낸 회로의 기능전개를 나타낸 도면.
- 도 10 은 본 발명의 제 2 실시형태의 또 다른 예를 나타낸 다이어그램.
- 도 11 은 논리회로 및 입/출력회로의 내부구조 및 이들간의 관계를 나타낸 다이어그램.
- 도 12 는 도 6 에 나타낸 FPGA 의 내부구성을 나타낸 다이어그램.
- 도 13 은 본 발명의 제 2 실시형태의 또 다른 예를 나타낸 다이어그램.
- 도 14 는 본 발명의 제 1 실시형태의 FPGA 의 동작을 설명한 다이어그램.
- 도 15 는 본 발명의 제 1 실시형태의 FPGA 의 동작을 설명한 또 다른 다이어그램.

도면의 주요부분에 대한 부호의 설명

- 1 : 회로정보제어부 2 : 메모리
- 3 : 입출력회로부 4 : 논리회로
- 9 : 입출력전용메모리 14 : 논리회로선택부
- 80 : 상태신호 86 : 논리회로 스위칭신호
- 87 : 논리조건비교회로 88 : 비교조건

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플립플롭 및 전기적 기입가능 메모리소자 또는 전기적 소거가능 메모리소자를 구비한 메모리를 외부로부터 변경할 수 있는 논리회로에 관한 것이다. 특히, 본 발명은, 일반적으로 필드 프로그래머블 게이트 어레이 (field programmable gate array, FPGA) 로 불리는 반도체 메모리 장치에 관한 것이다.

도 1 에 나타난 FPGA 에 따르면, 논리회로에 대한 설정이 메모리 소자에 의해 이루어진다. 이러한 메모리 소자에는, 휘발성 메모리 소자 (RAM), 기입가능 및 소거불가능 비휘발성 메모리 소자 (PROM), 기입가능 및 소거가능 비휘발성 메모리 소자 (EPROM), 또는 전기적 기입가능 및 소거가능 메모리 소자 (EEPROM) 이 사용되고 있다.

도 2a 에 나타난 바와 같이, 논리회로는 패턴발생기 (7), 멀티플렉서 (6 및 8), 및 플립플롭 (5) 를 그 최소의 구성으로 하는 회로 어레이로서, 각 회로는 메모리로부터의 정보에 따라서 그 논리를 결정한다.

도 2b 에 나타난 바와 같이, 입/출력 회로는 플립플롭 (41 및 42), 멀티플렉서 (8), 및 버퍼 (39 및 43) 를 구비한다. 입/출력 회로는 입력 및 출력 신호의 유지 및 그 구동을 담당한다. 여기서, 단자의 기능은 메모리로부터의 정보에 따라서 결정된다.

종래의 FPGA의 응용에서는, FPGA 는, 장래에 그 기능이 변경되어지도록 제조된 전자기기에 사용되거나 또는 설계과정에서 회로변경이 빈번히 요구되는 경우에 사용되었다. 종래, 이 FPGA 는, 해당 전자기기가 작동정지 상태에 있거나 회로변경이 가능한 특수 상황에 있는, 조건하에서 회로변경이 수행되었다. 그러나, 실시간으로, 즉 해당 전자기기가 작동을 하고 있는 동안에, 회로변경을 수행할 수 있는 FPGA는 존재하지 않았다. 따라서, 종래의 FPGA 는, 하드웨어를 교체할 필요없이, 논리회로 정보를 전송함으로써 회로 갱신이 가능한 기능만을 이용할 수 있을 뿐이었다.

RAM을 이용한 FPGA 에서는, FPGA의 외부에 비휘발성 기억소자 (이하, ROM) 를 접속하여 논리회로정보를 전송하거나, 컴퓨터와 접속하여 논리회로정보를 전송하여 이용하는 것과 같은 회로변경 방법이 있다. 회로변경과정의 시간적인 순서는, ① 구 회로의 동작정지, ② 신 회로의 정보전송, ③ 회로변경을 위한 과도기간 (transitional period) 동안의 대기, ④ 신 회로의 동작으로 된다.

EEPROM을 이용한 FPGA 는, FPGA 내부에 논리회로정보를 저장하여 두는 것이 가능하며, 회로변경시 외부로부터 회로정보의 소거 및 기입이 가능하다. 회로변경과정의 시간적인 순서는, ① 구 회로의 동작정지, ② 구 저장정보의 소거, ③ 신 회로에 정보기입, ④ 신회로의 동작으로 된다.

상기 RAM을 사용한 FPGA 에서는, 논리회로정보의 전송중, 및 과도기간동안에는, 회로동작을 정지시켜야 한다. 마찬가지로, EEPROM을 이용한 FPGA 에서도, 논리회로정보의 소거중, 기입중, 및 과도기간동안에는, 회로동작을 정지시켜야 한다.

종래의 FPGA 에 대한 제 1 의 문제점으로는, RAM을 이용한 FPGA 에서는, 논리회로정보의 전송시간에 있으며, EEPROM을 이용한 FPGA 에서는, 논리회로정보의 소거 및 기입시간에 있다. 상기 문제의 본질은, 정보의 전송 또는 기입중애, FPGA 의 논리회로가 불안정하게 되어, 그로 인해, 회로의 동작을 정지하여야 하므로, 연속한 제어의 수행이 어렵다는 것이다. 이하, 설명의 간략화를 위하여, RAM을 이용한 FPGA 에 있어서의 논리회로정보의 전송시간 및 EEPROM을 이용한 FPGA 에 있어서의 소거 및 기입시간은, 모두, 전송시간으로 지칭하기로 한다. 전송시간은, 전송방법, FPGA 의 수용가능한 회로의 크기, 및 회로의 구성방법에 따라서 변화한다. 일례로서, 직렬전송으로 8 Kb 의 논리회로정보를 약 20MHz 의 클럭으로 전송하면, 약 6000 게이트 규모의 FPGA 에 대해 약 400 μ s (마이크로 초) 의 시간이 소요된다. 8 비트 병렬전송으로 동일한 전송을 수행하는 경우에도, 약 50 μ s 가 소요되며, 이시간 동안에 FPGA 의 동작이 정지되어야 한다. 50 K 게이트 규모의 FPGA 가 되면, 직렬전송의 경우 3 내지 4 ms 동안 회로가 정지되어야 한다.

종래의 FPGA 에 대한 제 2 의 문제점으로는, 회로 스위칭시의 출력신호의 과도적인 변동이다. 회로정보를 동일한 출력상태를 갖는 회로정보로 변경하여도, FPGA 의 회로구성을 변경하는 과정에 있는 동안에는, 출력논리가 불확정적으로 되는 것은 피할 수 없다. 이의 이유로는, FPGA 가, 내부의 플립플롭과 패턴 발생기의 신호선접속을, 논리회로정보에 따라서, 결정하는 방식으로 동작하므로, 제어를 하는 논리부들간의 변경동작 기간의 차이로 인해 과도적인 불안정상태가 발생되기 때문이다. 또한, 플립플롭의 상태를 설정하기 위하여, 소정 기간의 시간과 초기설정회로가 필요하게 되어, 초기설정중에는 출력이 불안정하게 된다. 과도적인 변동으로 인한 시간 (이하, 과도기간) 을 피하기 위한 시간설정의 기간은, FPGA 자체의 설계에도 의존하기는 하나, 100 ns 정도가 필요하다.

종래의 FPGA 에 대한 제 3 의 문제점으로는, 반복하여 동일한 회로가 사용되는 시분할회로 변경을 요하는 경우이다. 이 경우, 메모리의 회로정보가 이미 다른 회로에 재기입되고 있는 때에는, 회로정보제어부를 통하여 논리회로정보가 메모리부에 기입되어야 한다. 이 경우, 논리회로의 상태가 초기화되므로, 이전의 논리회로의 전이상태를 계승하는 것이 불가능하게 된다.

종래의 FPGA 에 대한 제 4 의 문제점으로는, 회로변경의 타이밍으로서, 이 타이밍은 논리회로의 내부 및 외부의 상황을 분석하여 결정된다. 입출력에 영향을 주지 않는 타이밍으로 회로 스위칭을 행할 수 있도록 이러한 타이밍을 무시할 수 있는 방법으로서, 일련의 작업을 하는 논리회로를, 소정 사이클 내에서 몇 개의 구간으로 분할하여, 더욱 복잡한 논리회로로서 입출력을 결합할 수도 있다. 그러나, 이러한 생각은, 고정시간 시분할에 기인한 신호 지연 등이 발생되므로, 불필요한 회로변경이 빈번히 발생하여, 전력소비의 증가가 예상되므로 실용적이지 못하다.

발명이 이루고자하는 기술적 과제

본 발명은 이러한 점들을 고려하여 실현한 것으로서, 본 발명의 목적은, 논리회로정보 전송시간에 관련된 문제점을 해결하기 위하여, 복수개의 논리회로 및 메모리를 배열함으로써, 그 논리회로정보를 그 순간에 동작하고 있지 않은 논리회로에 속한 메모리로 전송하고, 전송이 완료된 후에 동작중인 논리회로로 스위칭함으로써, 동작시 전송시간이 존재하지 않도록 기능한다.

발명의 구성 및 작용

본 발명에 따르면, 입출력회로부를 논리회로와 분리하여, 전용 메모리로 입출력회로를 구성함으로써, 회로 스위칭시의 과도적인 출력변동을 방지하는 것이 가능하게 된다. 논리회로의 스위칭은, 논리회로선택부를 통하여 논리회로를 선택적으로 접속함으로써 수행된다. 이는 스위칭시의 과도응답에 따른 오동작을 방지한다.

메모리에 저장된 회로정보에 기초하여 생성된 논리회로의 상태는 플립플롭의 상태이다. 그 논리회로의 전이상태를 회로정보제어부에 부설한 메모리에 할당하는 소정의 수단을 배치함으로써, 이전에 사용된 회로가 재현되어지는 경우에, 논리회로정보를 회로정보제어부를 통하여 메모리부에 기입하는 동안에, 초기화시키지 않고 회로상태를 계승하는 것이 가능하다.

스위칭의 타이밍은, 스위칭조건을 조정함으로써, 회로정보제어부에 설정되어, 외부신호에 의존하지 않는 스위칭이 가능하게 된다. 지정될 스위칭의 조건은, ① 동작중의 논리회로상태, ② 입/출력회로의 상태 및 ③ 선택신호 또는 상기 조건들의 가능한 조합으로부터 선택된다.

논리회로의 스위칭은, 출력논리반전에 의한 부분적인 변경 및 특정의 레지스터 비트 등의 재기입 등으로 수행될 수 있다. 따라서, 회로전체의 재기입 및 회로 스위칭이 불필요한 경우도 있다. 스위칭 조건을 설정하는 기능을 이용하여, 특정 논리회로정보의 일부분을 재기입하는 기능을 채용함으로써, 회로스위칭이 가능하게 된다.

이하, 도면을 참조하여, 본 발명의 바람직한 실시형태에 대하여 자세히 설명한다.

먼저, 바람직한 논리회로인 본 발명의 FPGA를 동작시키는 방법을 2 개의 논리회로부를 가지는 경우에 대하여 설명한다. FPGA 회로기능은, 제 1 논리회로 또는 제 2 논리회로에 의하여 제공된다. 각 논리회로의 논리는, 제 1 메모리 또는 제 2 메모리에 설정된 논리회로정보에 따라서 결정된다. 논리회로정보는, 회로정보제어부로부터 논리회로선택부를 통하여 각 메모리에 전송된다. 각 논리회로의 신호는, 신호입력 및 신호출력을 논리회로에 결합시킬 수 있도록, 입/출력회로부에 접속된다. 이 경우, 신호의 출력 및 입력과 접속되는 논리회로는, 입출력회로부 및 동작하는 논리회로의 상태가 회로정보제어부에 설정된 조건이 일치하는 경우에 발생하는 내부신호 또는 선택신호에 따라서 선택된다.

도 3 은, 본 발명의 제 1 실시형태로서, FPGA 의 기본적인 구성을 나타낸다.

이는 도 1 에 도시된 종래의 FPGA 와 용이하게 비교될 수 있도록 도시되어 있다. FPGA 회로의 기능은, 제 1 논리회로 (12) 또는 제 2 논리회로 (13) 에 의하여 주어진다. 각 논리회로의 논리는, 제 1 메모리 (10) 또는 제 2 메모리 (11) 에 설정된 논리회로정보에 의하여 결정된다. 논리회로정보는, 회로정보제어부 (1) 로부터 논리회로선택부 (14) 를 통하여 각 메모리에 전송된다. 각 논리회로의 신호는 논리회로선택부 (14) 를 통하여 입/출력회로부 (3) 에 접속되어, 신호입력 (38) 및 신호출력 (37) 을 논리회로와 결합한다. 이 경우에, 신호입력 (38) 및 신호출력 (37) 에 접속될 논리회로는, 선택신호 (36) 및 내부신호에 따라서 선택된다. 따라서, 각 논리회로는, 도 1 에 나타난 논리회로 (4) 의 경우와 마찬가지로, 프로그래머블 로직 어레이 (programmable logic array) 및 이들 어레이 사이의 배선수단으로 구성되며, 그 프로그래머블 로직은 패턴 발생기, 플립플롭 및 멀티플렉서를 포함한다.

종래의 경우에서 이미 설명한 바와 같이, 논리회로의 최소 기본구성요소인 프로그래머블 로직이 도 2a 에 도시되어 있다. 제 3 도 에 나타난 메모리는 패턴 발생기의 파라미터, 플립플롭의 상태, 멀티플렉서의 상태 및 프로그래머블 로직 간의 배선을 제공하는 역할을 한다. 입출력회로부는, 도 2b 에 나타난 바와 같이, 출력 버퍼 (39), 멀티플렉서 (8), 출력 플립플롭 (41), 입력 버퍼 (43) 및 입력 플립플롭 (42) 을 각 단자마다 구비함으로써, 단자기능의 설정이 가능하다.

본 발명의 FPGA 에 따르면, 도 3 에 나타난 바와 같이, 입/출력회로부 (3) 는, 다른 메모리들과는 별도로 구성된 입/출력 전용 메모리 (9) 를 구비한다. 이 구조는, 회로변경시, 입력 및 출력에 어떤 부정적인 영향을 주지 않도록 제공된다. 논리회로정보 (56) 는, 마이크로컴퓨터와 같은 제어장치로부터 출력되는 경우도 있으나, 일반적으로는 ROM 에 접속되어 있다. ROM 으로부터의 회로정보의 독출은, 회로정보제어부 (1) 로부터 출력된 정보제어신호 (81) 에 의하여 구동된다.

다음으로, 본 발명의 한 특징인 회로변경에 대하여 설명한다.

도 4a 에 나타낸 바와 같이, 어떤 논리회로에 대해 기능분석이 행한 결과 A, B, C, D 의 4 개의 동작이 반복되는 것으로 가정한다. 기능하는 논리회로는 2 개의 논리회로중의 하나이므로, 회로정보의 변경이 가능하게 된다. 도 4b 는, 동작하는 논리회로의 상태를 시간경과에 따라서 나타낸 것이며, 도 4c 는, 동일 타이밍에 수행될 논리정보전송의 상태를 나타낸 것이다. 논리회로정보는 동작의 바로 직전에 전송되며, 전송 및 회로변경을 수반하는 과도적 불안정 기간을 경과한 직후에 논리회로가 스위칭된다. 따라서, FPGA가 실제로는 2 개 논리회로만을 갖지만, 마치 A, B, C 및 D 의 4 개의 회로를 존재하는 것과 같이 동작이 가능하게 된다.

본 발명의 FPGA 는, 도 3 에 나타낸 구성을 기본구성으로서 채용할 수 있으며, 동시에 도 5 에 나타낸 구성을 채용할 수도 있다. 도 5 는, 도 3 에 나타낸 기본회로를 복수개 채용한 경우의 일례이다.

도 6 에 나타낸 FPGA 의 한 적용예로서, 도 7 에는 풀-듀얼 시리즈 (full-dual series, 전체 2 중) 의 직렬통신용의 시분할 다중 채널 접속 (time division multi-channel access, TDMA) 인터페이스 회로가 도시되어 있다. 이는 듀얼 시스템 (2 계통) 의 병렬 데이터를 직렬변환하여 데이터를 시분할로 송신 및 수신하는 회로이다. 이 회로는 2 개의 병렬/직렬 변환회로 (15), 2 개의 직렬/병렬 변환회로 (16), 직렬 데이터를 일시적으로 저장하기 위한 4 개의 데이터 레지스터, 및 직렬신호를 동기신호 (25) 에 따라서 각 데이터 레지스터에 분배하는 신호분별회로 (18) 로 구성되어 있다.

도 7 에 나타낸 회로의 동작을 살펴보면,

병렬송신신호 (19 또는 21) 가 병렬/직렬 변환회로에 의해 직렬 데이터로 변환되어 데이터 레지스터에 저장된다. 그 후, 병렬송신신호 (19 또는 21) 로부터 변환될 직렬 데이터가, 도 8a 에 나타낸 타이밍 (타이밍 슬롯) 에 동기한 프레임 동기신호 (25) 에 의하여 결정된 타이밍에서 신호분별회로 (18) 로부터 직렬송신신호 (23) 로서 출력된다. 직렬수신신호 (24) 는, 도 8a 에 나타낸 시분할 타이밍 (타이밍 슬롯) 에 동기한 프레임 동기신호 (25) 에 의하여 지정된 타이밍에서, 신호분별회로 (18) 에 의하여 취하여 질 데이터에 대응하는 데이터 레지스터에 입력된다. 그 데이터 레지스터 (17) 에 입력된 데이터는, 직렬/병렬 변환회로 (16) 에 의하여 병렬 데이터로 변환되어 병렬수신신호 (20 또는 22) 로서 출력된다.

도 6 은 PROM 또는 ROM을 도 3 에 나타낸 FPGA 구조에 적용한 본 발명의 제 2 실시형태를 나타낸 것이다. 이 FPGA 는, ROM (30 내지 35), 정보제어부 (1), 논리회로선택부 (14), 4 개의 메모리 (26, 27, 54 및 55), 3 개의 논리회로 (28, 29 및 53) 및 입/출력회로부 (3) 를 구비한다. 논리회로 (28 및 29) 는, 논리회로선택부 (14) 를 통하여 선택적으로 입/출력회로부 (23) 에 접속된다. 논리회로 (53) 는 입/출력회로부 (3) 에 직접 접속되어 있다. 각 논리회로 및 입/출력회로부 (3) 는, 각각 전용 메모리를 갖는다. 이 메모리들은 논리회로선택부 (14) 에 접속되어 있다.

도 7 및 도 8b를 참조하여 설명한 FPGA 의 동작을 분석하여 보면, 데이터 레지스터 (50) 및 직렬/병렬 변환회로 (51) 는, 도 9를 참조하면, 동시에 동작하지 않는다. 요컨대, 도 7 에 나타낸 회로는, 순간을 포착해서 보면, 구성회로의 약 1/4 밖에 동작하지 않는다. 따라서, 도 8a 에 나타낸 동일한 타이밍에서 데이터 레지스터 및 직렬/병렬 변환회로를 변경하면, 동일한 기능을 가진 회로를 구성할 수 있게 된다.

도 6 의 FPGA 에 따르면, 직렬/병렬 변환회로, 데이터 레지스터 및 신호분별회로는 논리회로 (28 또는 29) 에 의하여 실현한다. 각 논리회로는, 메모리 (26 또는 27) 의 논리정보를 변경함으로써, 논리를 변경할 수 있다. 도 8a 에 나타낸 동작을 실현하기 위하여, 논리회로를 도 8b 에 나타낸 바와 같이 스위칭한다. 각 논리회로가 제공하는 논리는, 논리회로가 동작하지 않는 때에, 도 6 의 ROM (30 내지 33) 의 중에서 대응하는 메모리로, 논리정보로서 전송된다. 논리회로 (53) 와 메모리 (54) 로 구성된 부분은, 논리회로선택부 (14) 를 통한 필요없이, 입/출력회로부 (3) 에 접속된다. 이 부분은, 논리회로의 스위칭에 의하여 영향을 받지 않는 공동 논리회로를 실현하기 위해 제공된다. 또한, 메모리 (54) 로는 ROM (34) 의 논리회로정보가, 메모리 (55) 로는 ROM (35) 의 논리회로정보가, 각각, 전원의 온 시에 또는 FPGA 의 초기화 때에, 논리회로선택기를 통하여, 1 회만 전송된다. ROM (34 및 35) 으로부터의 정보는, 다른 변경가능한 메모리 (26 및 27) 에는 전송되지 않는 것으로 한다.

도 7 에 나타낸 회로에 따르면, 신호분별회로 (18) 는 시간적으로 공통하여 필요한 회로이다. 도 6에서, 공통 논리회로정보는 ROM (34) 에 저장되며, 전원공급 등의 초기단계에 메모리 (54) 로 전송된다. 입출력의 설정을 실시하는 공통부분을 스위칭될 회로와 분리함으로써, 전송하는 논리회로 정보의 양을 저감하며, 그럼으로써 더 짧은 시간에 회로의 변경이 가능하게 된다. 입/출력회로부 (3) 는, 스위칭 동작을 행하는 논리회로의 신호에 따라서, 스위칭시에 발생하는 과도효과에 의하여 유발된 오동작을 방지하기 위하여, 스위칭 동안에 신호출력을 유지하고, 신호입력을 수신한다. 논리회로선택부 (14) 는, ROM (30 내지 35) 에 저장된 논리회로정보중의 하나의 정보를 회로정보제어부 (1) 를 통하여 받아들이며, 이를 전송 목적지의 메모리에 할당하는 기능을 가질 뿐 아니라, 동시에 동작시킬 논리회로를 입/출력회로부 (3) 에 선택적으로 접속하는 기능을 갖는다.

도 6 에서, 프레임 동기신호 (25) 는 시분할 타이밍으로서 주어지는 것으로 가정한다. 따라서, 논리회로의 스위칭시에, 동기신호가 외부선택신호단자에 입력되어야 하며, 펄스 극성 및 선택신호 목적지가 스위칭조건으로서 설정되어야 한다. 다만, 프레임 동기신호 (25) 가 주어지지 않고, 비트 동기신호 (83) 가 주어지는 경우에는, 도 10 에 나타낸 바와 같이, 프레임 동기신호 (85) 를 생성하는 프레임 카운터 (84) 가 내장되어야 한다. 마찬가지로, 회로를 스위칭하기 위한 신호를 FPGA 내부에서 발생시키지 않으면 안 되는 경우가 빈번히 발생한다.

도 11 은 회로정보제어부 (1) 의 내부에 제공된 논리조건 비교기 (87) 의 구성을 나타낸 것이다. 논리조건 비교기 (87) 는, 신호가 내부에서 발생한 시각과 입/출력단자의 특정한 상태를 검출하여, 논리회로 스위칭신호를 내부적으로 발생시킬 수 있다. 논리회로 스위칭의 타이밍을 특정하고 있는 비교조건 (88) 이 주어지면, 각 플립플롭의 출력신호의 논리가 조건과 일치하는 순간, 논리회로 스위칭신호 (86) 가 내

부적으로 발생된다. 그 결과, 논리회로가 스위칭되며, 스위칭 타이밍이 FPGA 의 외부에서 스위칭완료신호 (82) 로서 출력되어, 마이크로컴퓨터 등과 같은 외부장치와 동기가 이루어질 수 있게 된다. 비교조건 (88) 은, 논리회로정보에 부가되어 회로정보제어부의 논리조건비교기 (87) 에 전달된다.

도 10 의 4 개의 데이터 레지스터 (17) 와 마찬가지로, 논리회로를 재기입하는 과정에서 내부 데이터가 상실되는 문제가 발생한다. ROM 에 저장된 회로정보를 전송함으로써 플립플롭이 초기화되는 것을 방지하고자 하는 경우에는, 도 11 및 도 12 에 나타난 상태전이 메모리 (64) 에, 이전의 논리상태를 기억시켜 두어 이를 재이용하는 것이 가능하다.

도 12 는, 회로가 4 개로 분할된 예를 나타낸 것이다. 회로정보제어부 (1) 중에는 4 개의 상태전이 메모리 (64) 가 제공된다. 정보가 전송되는 ROM 에 대응하는 상태전이 메모리 (64) 는 도 12 에 나타난 수신 정보 레지스터 (62 또는 63) 에 의하여 참조되어, 플립플롭의 상태를 지정하는 정보를 상태전이 메모리에 저장된 정보에 부가하여, 그 메모리로 설정한다. 상태전이 메모리 (64) 는 동작정지시에 각 논리회로로 복사된 상태를 가지므로, 최후에 동작이 정지되는 경우에 그 상태를 따른다. 따라서, 어느 논리회로를 사용할 것인가에 대하여 고려할 필요없이 상태의 계승이 가능하게 된다.

도 11 의 논리조건 비교기 (87) 의 논리회로 스위칭신호 (86) 는, 도 13 과 같이, 메모리의 특정 어드레스의 내용을 재기입하는 신호로서도 이용가능하다. 비교조건 (88) 에 논리와 어드레스를 부가함으로써, 미리 메모리의 기입논리와 어드레스를 회로정보변경회로 (91) 에 지정하면, 어드레스신호 (89) 및 데이터/기입신호 (90) 가 발생하여 메모리의 회로정보를 변경한다. 이러한 기능은, 미미하거나 일부분의 변경이 필요한 경우에 유효하다. 또한, 논리회로가 스위칭되는 때마다 회로가 추가 또는 삭감되는 경우에도 유용하다.

도 12 는, 도 6 의 논리회로선택기 (14) 의 회로변경동작을 설명하기 위한 다이어그램이다. ROM (30 내지 33) 에 저장된 정보는, 멀티플렉서 (60 또는 61) 에 의하여 선택된 전송 목적지를 가지고, 메모리 (26 또는 27) 에 전송된다. ROM (30 내지 33) 은 정보를 메모리 (26 및 27) 로 전송하지 않기 때문에, 멀티플렉서에는 접속되어 있지 않다. 각 멀티플렉서는, 선택제어회로 (70) 에 의하여 제어된다. 회로스위칭은, 동기신호 (25) 또는 논리회로 스위칭신호 (86) 에서 조작된다. 선택제어회로 (70) 는, 논리회로 스위칭신호 또는 동기신호의 타이밍에서, ROM 으로부터 논리회로정보를 동작하지 않는 메모리 (26 또는 27) 로 전송한다. 또한, 논리회로와 입출력회로부 (3) 의 접속은 동일한 방식으로 스위칭되며, 입/출력회로부 (3) 의 출력이 스위칭조작에 기인한 과도변동으로 인하여 변화되지 않도록, 출력변경금지신호 (72) 를 이 과도변동의 동안에 출력한다.

본 발명의 FPGA 에 있어서, 메모리와 논리회로로 구성되는 복수의 논리회로부의 규모는, 반드시 동일한 크기일 필요는 없으며, 용도에 맞는 크기로 실현가능하다. 도 1 과 같이, 입출력회로부 (3) 및 논리회로선택부 (14) 가 공통이므로, 회로규모가 커져도 입출력신호의 수는, 입출력회로부 (3) 및 논리회로선택부 (14) 가 갖는 입출력의 최대수의 이하이어야 한다. 또한, 각 논리회로부가 동등한 크기의 규모인 경우, 전체의 회로화 가능한 영역을 사용할 필요는 없고, 분할당 사용하는 논리회로정보 (56) 의 크기가 다르게 사용되는 것이 보통이다.

본 발명의 FPGA 는, 논리회로변경의 타이밍을 자동발생하는 기능을 갖는다. 본 기능이 사용되는 경우, 마이크로 컴퓨터에 의한 소프트웨어 처리와 같은 동작을 하드웨어에 실현할 수 있다. 조건판단에 따라 분기처리를 실시하는 데에는, 적어도 3 개의 논리회로를 필요로 한다.

도 5, 도 14 및 도 15 를 참조하여, 분기처리에 관한 개요를 설명한다.

도 14 은, 조건판단조작의 간단한 일례이다. 도 15 는, 조건판단에 따른 논리회로변경을 설명하는 다이어그램이다. 도 15 에 나타난 논리회로정보에 나타난 참조번호는, 도 14 에 나타난 동일한 번호에 의하여 지시된 일련의 처리를 실현한다. 또한 이들 번호는 전송 타이밍을 나타내고 있다. 또한, 도 15 의 동작중의 논리회로 의 지시는, 도 14에서 조건불일치 (NO) 의 경우를 설명한다.

우선, 신호-입력 논리회로정보 (75) 가 논리회로 (LOGIC1) 에 전송된다. 논리회로 (LOGIC1) 의 동작중에, 조건일치 논리회로정보 (76) 가 논리회로 (LOGIC2) 에 전송된다. 논리회로 (LOGIC2) 의 동작중에, 제 1 처리 논리회로정보 (77) 가 논리회로 (LOGIC3) 에 전송됨과 동시에, 제 2 처리 논리회로정보 (78) 가 논리회로 (LOGIC4) 에 전송된다.

동작하는 논리회로가 소정의 조건을 충족하지 않는 경우에는, 논리회로 (LOGIC2) 는, 논리회로선택부에 대하여, 다음의 동작을 할 논리회로로서, 제 2 처리 논리회로 (LOGIC4) 를 지정한다. 그 후, 제 2 처리 논리회로로서 논리회로 (LOGIC4) 가 동작을 시작한다. 여기서 주목할 것은, 조건의 판정 이전에, 결과로서의 분기 목적지의 논리회로정보를 전송하지 않으면 안되며, 상기와 같이 분기 목적지의 논리회로정보를 몇 회 전송하지 않으면 안된다. 그러나, 저장된 프로그램 (stored program) 방식의 프로그램에서는, 미리 분기 목적지의 기능을 사전에 정해 두는 것이 보통이어서, 어떤 면에서도 장애가 되지 않는다. 또한, 조건판단시 다량의 논리회로정보를 전송할 필요가 있으므로, 시간적인 주의가 요구된다. 그러나, 외부 ROM을 사용하는 경우는, 병렬전송이 아닌 직렬전송으로, 1 개의 ROM 이 아닌 2 개의 ROM을 구동할 수 있는 회로정보제어부로 함으로써, 전송시간에 의한 제약을 없앨 수 있다.

발명의 효과

본 발명의 제 1 의 효과는, 논리회로를 재기입하여 동작함으로써, 종래의 경우와 비교하여, 제한된 반도체장치로서 보다 대규모의 논리회로를 실현할 수 있다. 따라서, 회로의 단가를 대폭으로 삭감할 수 있다. 또한, 본 발명의 반도체 논리장치에 따르면, 재기입을 기본으로 하므로, 에너지 절감이 가능할 뿐만 아니라 재활용도 가능하다. 따라서, 환경을 유지 및 보전에 기여하는 효과도 기대된다.

본 발명의 제 2 의 효과는, 조건판단 및 복잡한 논리연산을 하드웨어에 의해 고속의 회로에 의하여 실현

가능한 점이 있다.

본 발명의 제 3 의 효과는, FPGA 자체가 메모리를 주로서 구성되어 있으므로, 최소구성의 반도체 패턴을 전개함으로써 대규모화가 용이하며, 반도체 장치의 대량 생산성이 양호해 진다.

또한, 도 3 의 구성을 기본블록으로 하여 도 5 에 나타낸 다수의 블록을 결합하면, 더욱 대규모로 고성능의 FPGA를 구성할 수 있다. 이는, 반도체 장치의 설계를 용이하게 하며, 양산성을 높이는 것 이외에, 기본적인 수법의 반복사용으로 FPGA 가 용이하게 설계가능하게 되는 이점을 준다.

또한, 본 발명에 따르면, 다른 용도에도 본 반도체 장치를 사용할 수 있어, 상기 설명한 제 1 및 제 2 의 효과에 의한 용도범위의 확대로, 본 장치의 대량 생산효과가 더욱 더 얻어질 수 있다.

본 발명의 바람직한 실시형태는 특정한 용어를 사용하여 설명되었지만, 이러한 설명은 설명의 간략화를 위한 것으로, 이하의 청구항의 정신과 범위를 벗어나지 않으면서 다양한 변경 및 수정이 가해질 수 있는 것으로 이해되어야 한다.

(57) 청구의 범위

청구항 1

논리회로선택부,

프로그램 가능한 메모리 소자를 갖는 메모리에 각각 접속된 복수개의 논리회로,

전용 메모리를 갖는 입/출력회로부 및

회로정보제어부를 구비하며,

상기 입/출력회로부, 상기 복수의 논리회로중의 하나, 또는 상기 입/출력회로부 및 상기 복수의 논리회로중의 하나가 미리 지정된 특정의 논리조건에 충족함에 따라서, 상기 논리회로선택부를 조작하여, 상기 복수개의 논리회로 중의 하나로 스위칭하고, 시간경과에 따라 복수개의 입/출력논리로 동작하는 것이 가능한 것을 특징으로 하는 반도체 논리회로장치.

청구항 2

제 1 항에 있어서,

상기 논리회로와 상기 메모리를 각각 갖는 복수개의 논리회로부를 구비하는 것을 특징으로 하는 반도체 논리장치.

청구항 3

제 1 항에 있어서,

미리 지정가능한 특정의 논리조건에 따라서, 미리 지정된 메모리의 논리정보를 변경하는 변경수단을 구비하는 것을 특징으로 하는 반도체 논리장치.

청구항 4

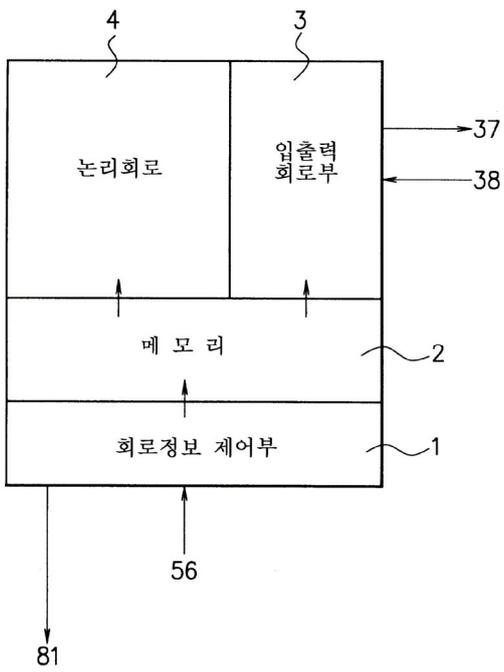
제 2 항에 있어서,

미리 지정가능한 특정의 논리조건에 따라서, 미리 지정된 메모리의 논리정보를 변경하는 변경수단을 구비하는 것을 특징으로 하는 반도체 논리장치.

도면

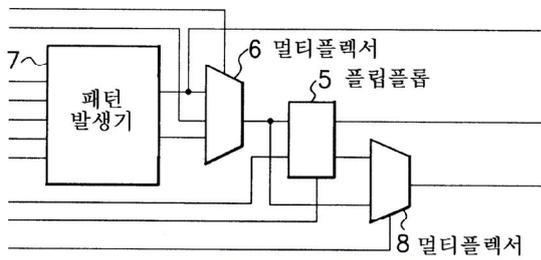
도면1

종래 기술

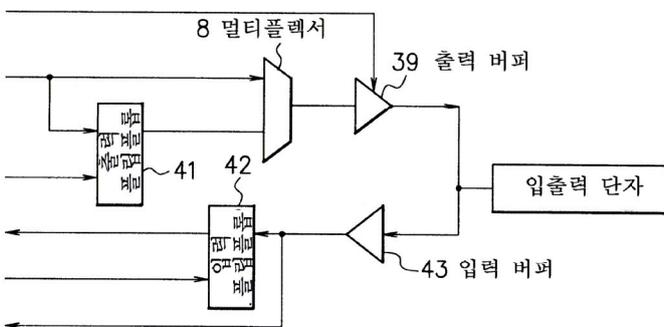


도면2

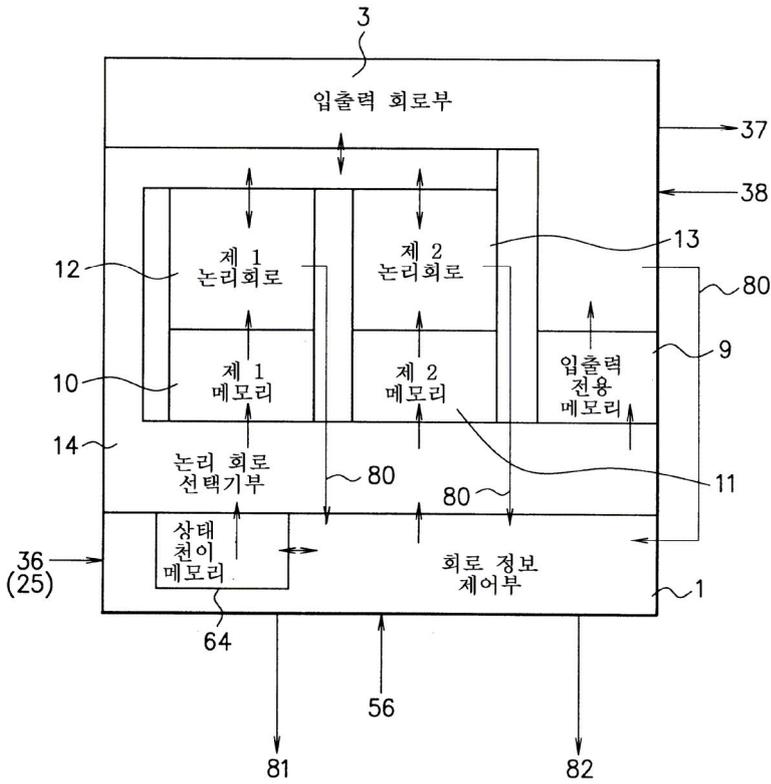
(A)



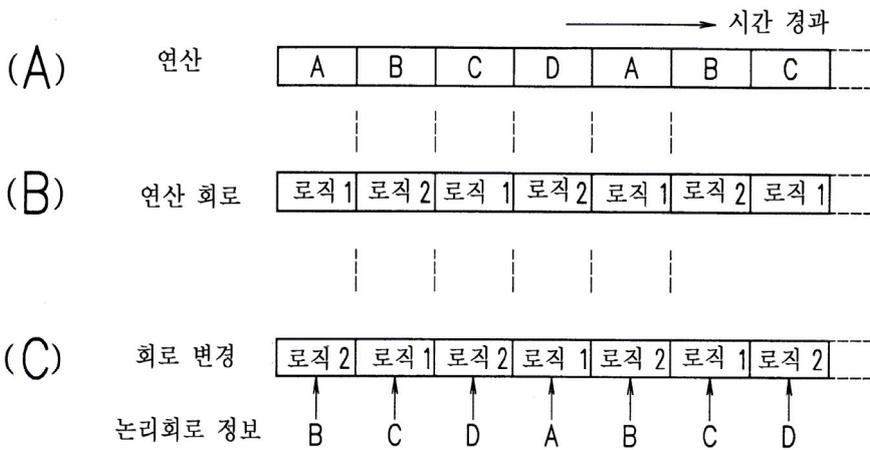
(B)



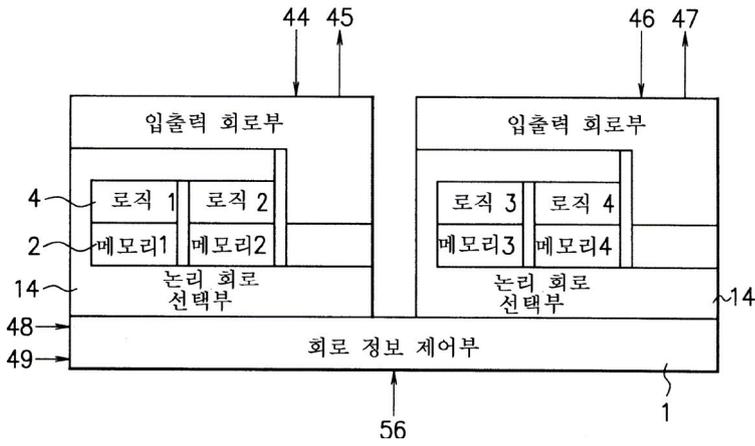
도면3



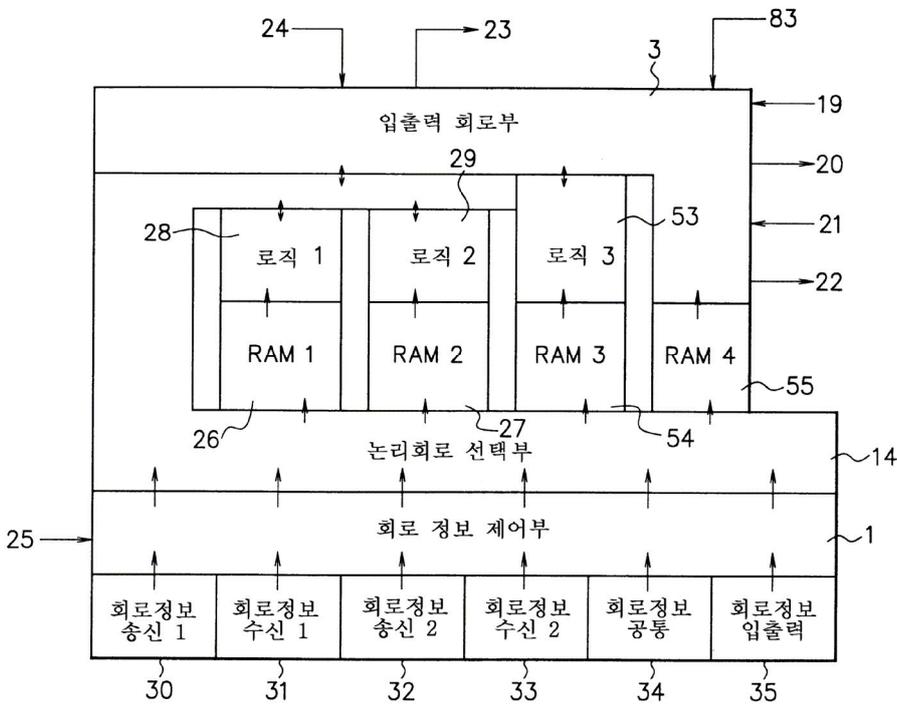
도면4



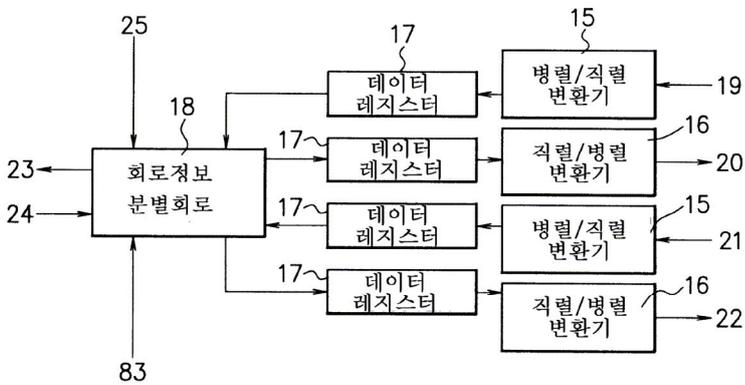
도면5



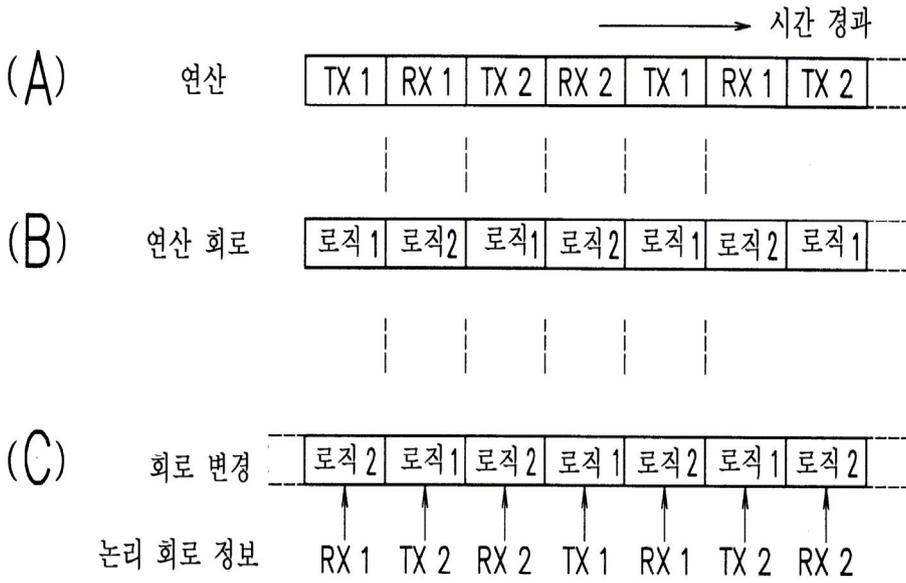
도면6



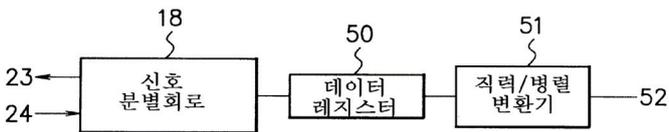
도면7



도면8



도면9



도면10

