



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년08월26일
(11) 등록번호 10-2697629
(24) 등록일자 2024년08월19일

(51) 국제특허분류(Int. Cl.)
H01L 29/788 (2006.01) H01L 21/02 (2006.01)
H01L 21/768 (2006.01) H01L 21/8234 (2006.01)
H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/788 (2013.01)
H01L 21/0217 (2013.01)
(21) 출원번호 10-2019-0086900
(22) 출원일자 2019년07월18일
심사청구일자 2022년07월15일
(65) 공개번호 10-2021-0010725
(43) 공개일자 2021년01월28일
(56) 선행기술조사문헌
W02019099103 A1
(뒷면에 계속)

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
임근원
경기도 화성시 효행로1156번길 22, 106동 1001호
(병점동, 신미주아파트)
백석천
경기도 화성시 탄요1길 64 (반송동) 2층
(74) 대리인
특허법인씨엔에스

전체 청구항 수 : 총 10 항

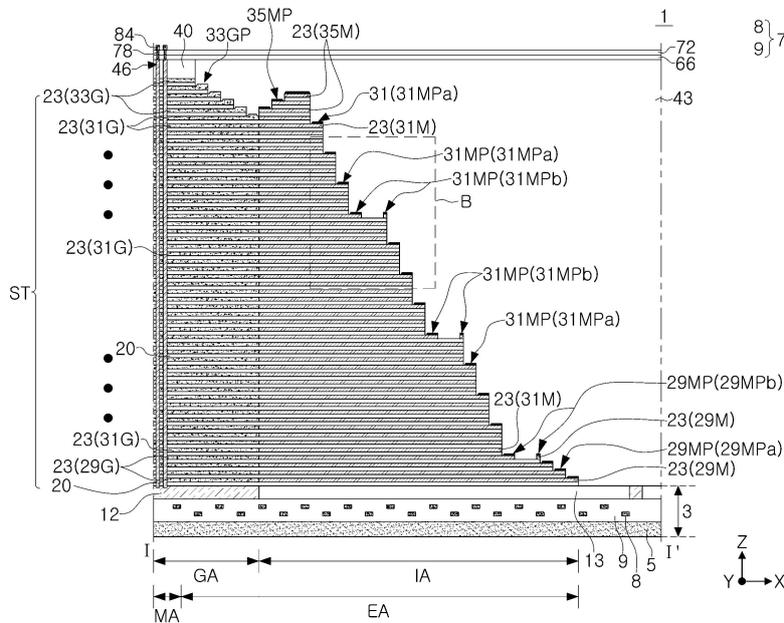
심사관 : 한상국

(54) 발명의 명칭 게이트 영역 및 절연 영역을 갖는 적층 구조물을 포함하는 반도체 소자

(57) 요약

반도체 소자를 제공한다. 이 반도체 소자는 하부 구조물 상의 메모리 셀 어레이 영역 내에 배치되며 상기 하부 구조물 상의 연결 영역 내로 연장되는 적층 구조물, 상기 적층 구조물은 복수의 게이트 패드들을 포함하는 게이트 영역 및 복수의 몰드 패드들을 포함하는 절연 영역을 포함하고; 및 상기 메모리 셀 어레이 영역 내의 상기 게 (뒷면에 계속)

대표도



이트 영역을 관통하는 메모리 셀 수직 구조물을 포함한다. 상기 복수의 몰드 패드들은 복수의 중간 몰드 패드들을 포함하고, 상기 복수의 중간 몰드 패드들은 복수의 제1 중간 몰드 패드들, 및 복수의 제1 중간 몰드 패드들 사이의 제2 중간 몰드 패드들을 포함하고, 상기 복수의 제1 중간 몰드 패드들의 각각은 제1 방향의 제1 길이를 갖고, 상기 제2 중간 몰드 패드는 상기 제1 길이 보다 큰 상기 제1 방향의 제2 길이를 갖고, 상기 복수의 중간 몰드 패드들 중 적어도 몇몇은 몰드 패드 부 및 상기 몰드 패드 부 상의 절연 돌출 부를 포함하고, 상기 복수의 제1 중간 몰드 패드들 중 적어도 몇몇은 상기 몰드 패드 부 및 상기 절연 돌출 부를 포함하고, 적어도 상기 제2 중간 몰드 패드의 가운데 영역은 상기 절연 돌출 부를 포함하지 않는다.

(52) CPC특허분류

- H01L 21/76829* (2013.01)
- H01L 21/76837* (2013.01)
- H01L 21/76841* (2013.01)
- H01L 21/8234* (2013.01)
- H01L 29/66825* (2013.01)

(56) 선행기술조사문헌

- CN109219885 A
- US20190067321 A1
- KR1020190004093 A
- KR1020180103233 A
- KR1020180050840 A
- KR1020170103076 A
- US20170117222 A1
- US20170250194 A1
- KR1020160136919 A
- KR1020150116681 A

명세서

청구범위

청구항 1

하부 기관, 상기 하부 기관 상의 상부 기관, 상기 하부 기관 상의 개구부를 갖는 상부 기관, 상기 하부 기관과 상기 상부 기관 사이에서 주변 배선들을 포함하는 주변 회로 영역, 및 상기 상부 기관을 관통하는 캡필 절연 층을 포함하는 하부 구조물;

상기 하부 구조물 상의 메모리 셀 어레이 영역 내에 배치되며 상기 하부 구조물 상의 연결 영역 내로 연장되는 적층 구조물, 상기 적층 구조물은 상기 연결 영역 내에서 계단 구조를 갖고, 상기 적층 구조물은 게이트 영역 및 제1 절연 영역을 포함하고, 상기 게이트 영역은 상기 메모리 셀 어레이 영역 내에 배치되며 상기 연결 영역 내로 연장되고, 상기 제1 절연 영역은 상기 연결 영역 내에 배치되고;

상기 적층 구조물 상의 캐핑 절연 층; 및

상기 메모리 셀 어레이 영역 내의 상기 게이트 영역을 관통하는 메모리 셀 수직 구조물을 포함하되,

상기 적층 구조물은 상기 하부 구조물 상에서 교대로 적층된 복수의 제1 층들 및 복수의 제2 층들을 포함하고,

상기 복수의 제2 층들은 상기 게이트 영역 내의 복수의 게이트 층들, 상기 제1 절연 영역 내의 복수의 몰드 층들, 상기 복수의 게이트 층들로부터 연장된 복수의 게이트 패드들, 및 상기 몰드 층들 중 적어도 일부의 몰드 층들로부터 연장된 복수의 몰드 패드들을 포함하고,

각각의 상기 복수의 게이트 층들은 도전성 물질을 포함하고,

각각의 상기 복수의 몰드 층들은 절연성 물질을 포함하고,

상기 복수의 몰드 층들은 하나 또는 복수의 하부 몰드 층, 상기 하부 또는 복수의 하부 몰드 층 상의 복수의 중간 몰드 층들, 및 상기 복수의 중간 몰드 층들 상의 하나 또는 복수의 플로팅 몰드 층을 포함하고,

상기 복수의 몰드 패드들은 상기 복수의 중간 몰드 층들 중 적어도 일부의 중간 몰드 층들로부터 연장된 복수의 중간 몰드 패드들을 포함하고,

상기 복수의 중간 몰드 패드들은 제1 방향으로 낮아지는 계단 구조를 갖고,

상기 제1 방향은 상기 메모리 셀 어레이 영역에서 상기 연결 영역을 향하는 방향이고,

상기 복수의 중간 몰드 패드들은 복수의 제1 중간 몰드 패드들, 및 상기 복수의 제1 중간 몰드 패드들 중 일부와 상기 복수의 제1 중간 몰드 패드들 중 일부 사이의 제2 중간 몰드 패드를 포함하고,

상기 복수의 제1 중간 몰드 패드들의 각각은 상기 제1 방향의 제1 길이를 갖고,

상기 제2 중간 몰드 패드는 상기 제1 길이 보다 큰 상기 제1 방향의 제2 길이를 갖고,

상기 복수의 중간 몰드 패드들 중 몇몇은 몰드 패드 부 및 상기 몰드 패드 부 상의 절연 돌출 부를 포함하고,

상기 복수의 제1 중간 몰드 패드들 중 적어도 몇몇은 상기 몰드 패드 부 및 상기 절연 돌출 부를 포함하고,

적어도 상기 제2 중간 몰드 패드의 가운데 영역은 상기 절연 돌출 부를 포함하지 않는 반도체 소자.

청구항 2

제 1 항에 있어서,

상기 제2 중간 몰드 패드는 제1 방향으로 서로 이격된 제1 부분 및 제2 부분을 포함하고,

상기 제2 중간 몰드 패드의 상기 제1 부분과 상기 제2 부분은 각각 상기 몰드 패드 부 및 상기 절연 돌출 부를 포함하고,

상기 제2 중간 몰드 패드의 상기 제1 부분의 상기 제1 방향의 길이는 상기 제2 중간 몰드 패드의 상기 제2 부분의 상기 제1 방향의 길이 보다 크고,

상기 몰드 패드 부는 각각의 상기 중간 몰드 층들과 동일한 물질 및 동일한 두께로 형성되고,

상기 몰드 패드 부는 실리콘 질화물 계열의 제1 절연성 물질로 형성되고,

상기 절연 돌출 부는 상기 제1 절연성 물질 보다 식각 속도가 빠른 실리콘 질화물 계열의 제2 절연성 물질로 형성되는 반도체 소자.

청구항 3

제 1 항에 있어서,

상기 제1 절연 영역을 관통하며 상기 주변 배선들의 주변 콘택 패드들과 전기적으로 연결되는 복수의 주변 콘택 구조물들;

상기 복수의 게이트 패드들 상의 복수의 게이트 콘택 구조물들; 및

상기 복수의 주변 콘택 구조물들 및 상기 복수의 게이트 콘택 구조물들 상의 복수의 게이트 연결 배선들을 더 포함하되,

상기 복수의 게이트 층들은 하나 또는 복수의 하부 게이트 층, 상기 하나 또는 복수의 하부 게이트 층 상의 복수의 중간 게이트 층들 및 상기 복수의 중간 게이트 층들 상의 복수의 상부 게이트 층들을 포함하고,

상기 복수의 게이트 패드들은 상기 복수의 상부 게이트 층들로부터 연장된 복수의 상부 게이트 패드들, 상기 복수의 중간 게이트 층들로부터 연장된 복수의 중간 게이트 패드들, 및 상기 하나 또는 복수의 하부 게이트 층들로부터 연장된 하나 또는 복수의 하부 게이트 패드를 포함하고,

상기 복수의 중간 게이트 패드들은 상기 제1 방향으로 낮아지고, 상기 제1 방향과 수직한 제2 방향으로 낮아지는 계단 구조를 갖고,

상기 복수의 중간 게이트 패드들은 복수의 제1 중간 게이트 패드들, 및 상기 복수의 제1 중간 게이트 패드들 중 일부와 상기 복수의 제1 중간 게이트 패드들 중 일부 사이의 제2 중간 게이트 패드를 포함하고,

각각의 상기 복수의 제1 중간 게이트 패드들은 상기 복수의 게이트 층들 각각의 두께 보다 큰 제1 두께를 갖고,

상기 제1 중간 게이트 패드들의 각각은 상기 제1 방향의 제1 길이를 갖고,

상기 제2 중간 게이트 패드는 상기 제1 길이 보다 큰 상기 제1 방향의 제2 길이를 갖고,

상기 복수의 게이트 연결 배선들 중 어느 하나의 게이트 연결 배선은 상기 복수의 주변 콘택 구조물들 중 어느 하나의 주변 콘택 구조물 및 상기 복수의 게이트 콘택 구조물들 중 어느 하나의 게이트 콘택 구조물과 전기적으로 연결되는 반도체 소자.

청구항 4

제 3 항에 있어서,

상기 제2 중간 게이트 패드는 제1 부분 및 제2 부분, 상기 제1 부분과 상기 제2 부분 사이의 가운데 영역을 포함하고,

상기 제2 중간 게이트 패드의 상기 가운데 영역은 상기 제1 두께 보다 작은 두께를 갖는 도전성 물질 층을 포함하거나, 또는 상기 캐핑 절연 층으로 채워지고,

상기 제2 중간 게이트 패드의 상기 제1 부분은 상기 복수의 중간 게이트 층들 중 어느 하나의 중간 게이트 층들로부터 연장되고,

상기 복수의 게이트 콘택 구조물들 중 어느 하나의 게이트 콘택 구조물은 상기 제2 중간 게이트 패드의 상기 제1 부분과 접촉하는 반도체 소자.

청구항 5

제 4 항에 있어서,
 상기 제2 중간 몰드 패드는 복수개가 배치되고,
 상기 복수의 제2 중간 몰드 패드들의 각각은 상기 복수의 제1 중간 몰드 패드들 중 일부와 상기 복수의 제1 중간 몰드 패드들 중 일부 사이에 배치되고,
 상기 제2 중간 게이트 패드는 복수개가 배치되고,
 상기 복수의 제2 중간 게이트 패드들의 각각은 상기 복수의 제1 중간 게이트 패드들과 상기 복수의 제1 중간 게이트 패드들 사이에 배치되고,
 상기 하나 또는 복수의 하부 몰드 층은 복수개로 배치되고,
 상기 하나 또는 복수의 하부 몰드 패드는 복수개로 배치되고,
 상기 복수의 하부 몰드 패드들은 제1 하부 몰드 패드 및 제2 하부 몰드 패드를 포함하고,
 상기 제2 하부 몰드 패드의 상기 제1 방향의 길이는 상기 제1 하부 몰드 패드의 상기 제1 방향의 길이 보다 크고,
 상기 제2 하부 몰드 패드는 상기 복수의 제1 중간 몰드 패드들과 인접하고,
 상기 제2 하부 몰드 패드는 상기 제2 중간 몰드 패드와 동일한 구조 및 동일한 물질로 형성되는 반도체 소자.

청구항 6

제 5 항에 있어서,
 상기 적층 구조물을 관통하는 복수의 분리 구조물들을 더 포함하되,
 상기 적층 구조물은 제2 절연 영역을 더 포함하고,
 상기 게이트 영역 중 일부는 상기 제1 절연 영역과 상기 제2 절연 영역 사이에 배치되고,
 상기 복수의 제1 중간 게이트 패드들은 상기 제1 절연 영역과 상기 제2 절연 영역 사이에 배치되고,
 상기 복수의 제1 중간 게이트 패드들은 상기 제1 절연 영역에서 상기 제2 절연 영역을 향하는 방향으로 갈수록 낮아지는 계단 구조를 갖고,
 상기 복수의 분리 구조물들은 상기 제1 절연 영역과 상기 제2 절연 영역 사이에 위치하는 상기 게이트 영역을 관통하고,
 상기 복수의 분리 구조물들 중 상기 제1 절연 영역과 인접하는 분리 구조물의 측면과 상기 제1 절연 영역의 측면 사이에는 상기 게이트 영역의 일부가 배치되고,
 상기 복수의 분리 구조물들 중 상기 제2 절연 영역과 인접하는 분리 구조물의 측면과 상기 제2 절연 영역의 측면 사이에는 상기 게이트 영역의 다른 일부가 배치되는 반도체 소자.

청구항 7

하부 구조물;
 상기 하부 구조물 상의 메모리 셀 어레이 영역 내에 배치되며 상기 하부 구조물 상의 연결 영역 내로 연장되는 적층 구조물, 상기 적층 구조물은 복수의 게이트 패드들을 포함하는 게이트 영역 및 복수의 몰드 패드들을 포함하는 절연 영역을 포함하고; 및
 상기 메모리 셀 어레이 영역 내의 상기 게이트 영역을 관통하는 메모리 셀 수직 구조물을 포함하되,

상기 복수의 몰드 패드들은 복수의 중간 몰드 패드들을 포함하고,
 상기 복수의 중간 몰드 패드들은 복수의 제1 중간 몰드 패드들, 및 복수의 제1 중간 몰드 패드들 사이의 제2 중간 몰드 패드를 포함하고,
 상기 복수의 제1 중간 몰드 패드들의 각각은 제1 방향의 제1 길이를 갖고,
 상기 제2 중간 몰드 패드는 상기 제1 길이 보다 큰 상기 제1 방향의 제2 길이를 갖고,
 상기 복수의 중간 몰드 패드들 중 적어도 몇몇은 몰드 패드 부 및 상기 몰드 패드 부 상의 절연 돌출 부를 포함하고,
 상기 복수의 제1 중간 몰드 패드들 중 적어도 몇몇은 상기 몰드 패드 부 및 상기 절연 돌출 부를 포함하고,
 적어도 상기 제2 중간 몰드 패드의 가운데 영역은 상기 절연 돌출 부를 포함하지 않는 반도체 소자.

청구항 8

제 7 항에 있어서,
 상기 몰드 패드 부 및 상기 절연 돌출 부를 포함하는 상기 제1 중간 몰드 패드에서, 상기 몰드 패드 부의 제2 방향의 폭은 상기 절연 돌출 부의 상기 제2 방향의 폭 보다 크고,
 상기 제1 방향은 상기 메모리 셀 어레이 영역에서 상기 연결 영역을 향하는 방향이고,
 상기 제2 방향은 상기 제1 방향과 수직한 방향인 반도체 소자.

청구항 9

하부 기판, 상기 하부 기판 상의 상부 기판, 상기 하부 기판과 상기 상부 기판 사이에서 주변 배선들을 포함하는 주변 회로 영역, 및 상기 상부 기판을 관통하는 깎필 절연 층을 포함하는 하부 구조물;
 상기 하부 구조물 상의 메모리 셀 어레이 영역 내에 배치되며 상기 하부 구조물 상의 연결 영역 내로 연장되는 적층 구조물, 상기 적층 구조물은 게이트 영역 및 절연 영역을 포함하고, 상기 게이트 영역은 상기 메모리 셀 어레이 영역 내에 배치되며 상기 연결 영역 내로 연장되고, 상기 절연 영역은 상기 연결 영역 내에 배치되고;
 상기 메모리 셀 어레이 영역 내의 상기 게이트 영역을 관통하는 메모리 셀 수직 구조물; 및
 상기 적층 구조물 상의 캐핑 절연 층을 포함하되,
 상기 적층 구조물은 상기 하부 구조물 상에서 교대로 적층된 복수의 제1 층들 및 복수의 제2 층들을 포함하고,
 상기 제1 층들은 층간 절연 층들이고,
 상기 복수의 제2 층들은 상기 게이트 영역 내의 복수의 게이트 층들, 상기 절연 영역 내의 복수의 몰드 층들, 상기 게이트 층들로부터 연장된 복수의 게이트 패드들 및 상기 몰드 층들 중 적어도 일부의 몰드 층들로부터 연장된 복수의 몰드 패드들을 포함하고,
 상기 복수의 몰드 패드들은 복수의 중간 몰드 패드들을 포함하고,
 상기 복수의 중간 몰드 패드들은 복수의 제1 중간 몰드 패드들, 및 복수의 제1 중간 몰드 패드들 사이의 제2 중간 몰드 패드를 포함하고,
 상기 복수의 제1 중간 몰드 패드들의 각각은 제1 방향의 제1 길이를 갖고,
 상기 제2 중간 몰드 패드는 상기 제1 길이 보다 큰 상기 제1 방향의 제2 길이를 갖고,
 상기 제1 방향은 상기 메모리 셀 어레이 영역에서 상기 연결 영역을 향하는 방향이고,
 상기 복수의 제1 중간 몰드 패드들 중 적어도 몇몇은 제1 두께를 갖고,
 상기 제2 중간 몰드 패드의 가운데 영역은 상기 제1 두께 보다 작은 제2 두께를 갖는 절연성 물질 층을 포함하

거나, 또는 상기 제2 중간 몰드 패드의 가운데 영역은 상기 캐핑 절연 층으로 채워지는 반도체 소자.

청구항 10

제 9 항에 있어서,

상기 제2 중간 몰드 패드는 제1 부분 및 제2 부분을 포함하고,

상기 제2 중간 몰드 패드의 상기 가운데 영역은 상기 제2 중간 몰드 패드의 상기 제1 부분과 상기 제2 부분 사이에 위치하고,

상기 복수의 중간 몰드 패드들 중 몇몇은 몰드 패드 부 및 상기 몰드 패드 부 상의 절연 돌출 부를 포함하고,

상기 복수의 제1 중간 몰드 패드들 중 적어도 몇몇은 상기 몰드 패드 부 및 상기 절연 돌출 부를 포함하고,

적어도 상기 제2 중간 몰드 패드의 가운데 영역은 상기 절연 돌출 부를 포함하지 않고,

상기 복수의 게이트 패드들은 복수의 중간 게이트 패드들을 포함하고,

상기 복수의 중간 게이트 패드들은 복수의 제1 중간 게이트 패드들, 및 복수의 제1 중간 게이트 패드들 사이의 제2 중간 게이트 패드를 포함하고,

상기 복수의 제1 중간 게이트 패드들의 각각은 상기 제1 방향의 상기 제1 길이를 갖고,

상기 제2 중간 게이트 패드는 상기 제1 방향의 상기 제2 길이를 갖고,

상기 복수의 제1 중간 게이트 패드들의 각각은 상기 제1 두께를 갖고,

상기 복수의 제1 중간 게이트 패드들 중에서, 상기 몰드 패드 부 및 상기 절연 돌출 부를 포함하는 상기 제1 중간 몰드 패드와 인접하는 제1 중간 게이트 패드는 상기 제1 중간 몰드 패드의 상기 몰드 패드 부의 상부면과 접촉하며 상기 절연 돌출 부의 측면과 접촉하는 게이트 연장 부를 포함하는 반도체 소자.

발명의 설명

기술 분야

[0001] 본 발명의 기술적 사상은 반도체 소자에 관한 것으로, 특히 게이트 영역 및 절연 영역을 갖는 적층 구조물을 포함하는 반도체 소자에 관한 것이다.

배경 기술

[0003] 반도체 기판의 표면으로부터 수직인 방향으로 적층되는 게이트 전극들을 포함하는 반도체 소자가 개발되고 있다. 반도체 소자의 고집적화를 위하여, 상기 적층되는 게이트 전극들의 수를 증가시키고 있다. 이와 같이, 반도체 기판의 표면과 수직인 방향으로 적층되는 게이트 전극들의 수가 점점 증가하면서, 게이트 전극들을 주변 회로와 전기적으로 연결시키는 공정의 난이도가 점점 증가하고, 예상치 못한 불량들이 발생하고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 기술적 사상이 해결하려는 과제는 집적도를 향상시킬 수 있는 반도체 소자를 제공하는데 있다.

과제의 해결 수단

[0007] 본 발명의 기술적 사상의 일 실시 예에 따른 반도체 소자를 제공한다. 이 반도체 소자는 하부 기판, 상기 하부 기판 상의 상부 기판, 상기 하부 기판 상의 개구부를 갖는 상부 기판, 상기 하부 기판과 상기 상부 기판 사이에서 주변 배선들을 포함하는 주변 회로 영역, 및 상기 상부 기판을 관통하는 갭필 절연 층을 포함하는 하부 구조물; 상기 하부 구조물 상의 메모리 셀 어레이 영역 내에 배치되며 상기 하부 구조물 상의 연결 영역 내로 연장되는 적층 구조물, 상기 적층 구조물은 상기 연결 영역 내에서 계단 구조를 갖고, 상기 적층 구조물은 게이트

영역 및 제1 절연 영역을 포함하고, 상기 게이트 영역은 상기 메모리 셀 어레이 영역 내에 배치되며 상기 연결 영역 내로 연장되고, 상기 제1 절연 영역은 상기 연결 영역 내에 배치되고; 상기 적층 구조물 상의 캐핑 절연 층; 및 상기 메모리 셀 어레이 영역 내의 상기 게이트 영역을 관통하는 메모리 셀 수직 구조물을 포함한다. 상기 적층 구조물은 상기 하부 구조물 상에서 교대로 적층된 복수의 제1 층들 및 복수의 제2 층들을 포함하고, 상기 복수의 제2 층들은 상기 게이트 영역 내의 복수의 게이트 층들, 상기 제1 절연 영역 내의 복수의 몰드 층들, 상기 복수의 게이트 층들로부터 연장된 복수의 게이트 패드들, 및 상기 몰드 층들 중 적어도 일부의 몰드 층들로부터 연장된 복수의 몰드 패드들을 포함하고, 각각의 상기 복수의 게이트 층들은 도전성 물질을 포함하고, 각각의 상기 복수의 몰드 층들은 절연성 물질을 포함하고, 상기 복수의 몰드 층들은 하나 또는 복수의 하부 몰드 층, 상기 하부 또는 복수의 하부 몰드 층 상의 복수의 중간 몰드 층들, 및 상기 복수의 중간 몰드 층들 상의 하나 또는 복수의 플로팅 몰드 층을 포함하고, 상기 복수의 몰드 패드들은 상기 복수의 중간 몰드 층들 중 적어도 일부의 중간 몰드 층들로부터 연장된 복수의 중간 몰드 패드들을 포함하고, 상기 복수의 중간 몰드 패드들은 제1 방향으로 낮아지는 계단 구조를 갖고, 상기 제1 방향은 상기 메모리 셀 어레이 영역에서 상기 연결 영역을 향하는 방향이고, 상기 복수의 중간 몰드 패드들은 복수의 제1 중간 몰드 패드들, 및 상기 복수의 제1 중간 몰드 패드들과 상기 복수의 제1 중간 몰드 패드들 사이의 제2 중간 몰드 패드를 포함하고, 상기 복수의 제1 중간 몰드 패드들의 각각은 상기 제1 방향의 제1 길이를 갖고, 상기 제2 중간 몰드 패드는 상기 제1 길이 보다 큰 상기 제1 방향의 제2 길이를 갖고, 상기 복수의 중간 몰드 패드들 중 몇몇은 몰드 패드 부 및 상기 몰드 패드 부 상의 절연 돌출 부를 포함하고, 상기 복수의 제1 중간 몰드 패드들 중 적어도 몇몇은 상기 몰드 패드 부 및 상기 절연 돌출 부를 포함하고, 적어도 상기 제2 중간 몰드 패드의 가운데 영역은 상기 절연 돌출 부를 포함하지 않는다.

[0008] 본 발명의 기술적 사상의 일 실시 예에 따른 반도체 소자를 제공한다. 이 반도체 소자는 하부 구조물 상의 메모리 셀 어레이 영역 내에 배치되며 상기 하부 구조물 상의 연결 영역 내로 연장되는 적층 구조물, 상기 적층 구조물은 복수의 게이트 패드들을 포함하는 게이트 영역 및 복수의 몰드 패드들을 포함하는 절연 영역을 포함하고; 및 상기 메모리 셀 어레이 영역 내의 상기 게이트 영역을 관통하는 메모리 셀 수직 구조물을 포함한다. 상기 복수의 몰드 패드들은 복수의 중간 몰드 패드들을 포함하고, 상기 복수의 중간 몰드 패드들은 복수의 제1 중간 몰드 패드들, 및 복수의 제1 중간 몰드 패드들 사이의 제2 중간 몰드 패드를 포함하고, 상기 복수의 제1 중간 몰드 패드들의 각각은 제1 방향의 제1 길이를 갖고, 상기 제2 중간 몰드 패드는 상기 제1 길이 보다 큰 상기 제1 방향의 제2 길이를 갖고, 상기 복수의 중간 몰드 패드들 중 적어도 몇몇은 몰드 패드 부 및 상기 몰드 패드 부 상의 절연 돌출 부를 포함하고, 상기 복수의 제1 중간 몰드 패드들 중 적어도 몇몇은 상기 몰드 패드 부 및 상기 절연 돌출 부를 포함하고, 적어도 상기 제2 중간 몰드 패드의 가운데 영역은 상기 절연 돌출 부를 포함하지 않는다.

[0009] 본 발명의 기술적 사상의 일 실시 예에 따른 반도체 소자를 제공한다. 이 반도체 소자는 하부 기판, 상기 하부 기판 상의 상부 기판, 상기 하부 기판 상의 개구부를 갖는 상부 기판, 상기 하부 기판과 상기 상부 기판 사이에서 주변 배선들을 포함하는 주변 회로 영역, 및 상기 상부 기판을 관통하는 집필 절연 층을 포함하는 하부 구조물; 상기 하부 구조물 상의 메모리 셀 어레이 영역 내에 배치되며 상기 하부 구조물 상의 연결 영역 내로 연장되는 적층 구조물, 상기 적층 구조물은 게이트 영역 및 절연 영역을 포함하고, 상기 게이트 영역은 상기 메모리 셀 어레이 영역 내에 배치되며 상기 연결 영역 내로 연장되고, 상기 절연 영역은 상기 연결 영역 내에 배치되고; 상기 메모리 셀 어레이 영역 내의 상기 게이트 영역을 관통하는 메모리 셀 수직 구조물; 및 상기 적층 구조물 상의 캐핑 절연 층을 포함하되, 상기 적층 구조물은 상기 하부 구조물 상에서 교대로 적층된 복수의 제1 층들 및 복수의 제2 층들을 포함하고, 상기 제1 층들은 중간 절연 층들이고, 상기 복수의 제2 층들은 상기 게이트 영역 내의 복수의 게이트 층들, 상기 절연 영역 내의 복수의 몰드 층들, 상기 게이트 층들로부터 연장된 복수의 게이트 패드들 및 상기 몰드 층들 중 적어도 일부의 몰드 층들로부터 연장된 복수의 몰드 패드들을 포함하고, 상기 복수의 몰드 패드들은 복수의 중간 몰드 패드들을 포함하고, 상기 복수의 중간 몰드 패드들은 복수의 제1 중간 몰드 패드들, 및 복수의 제1 중간 몰드 패드들 사이의 제2 중간 몰드 패드를 포함하고, 상기 복수의 제1 중간 몰드 패드들의 각각은 제1 방향의 제1 길이를 갖고, 상기 제2 중간 몰드 패드는 상기 제1 길이 보다 큰 상기 제1 방향의 제2 길이를 갖고, 상기 제1 방향은 상기 메모리 셀 어레이 영역에서 상기 연결 영역을 향하는 방향이고, 상기 복수의 제1 중간 몰드 패드들 중 적어도 몇몇은 제1 두께를 갖고, 상기 제2 중간 몰드 패드의 가운데 영역은 상기 제1 두께 보다 작은 제2 두께를 갖거나, 또는 상기 제2 중간 몰드 패드의 가운데 영역은 상기 캐핑 절연 층으로 채워진다.

발명의 효과

[0011] 본 발명의 기술적 사상의 실시 예들에 따르면, 주변 회로 영역을 포함하는 하부 구조물 상에 게이트 영역 및 절연 영역을 포함하는 적층 구조물을 제공함으로써, 반도체 소자의 집적도를 향상시킬 수 있다.

도면의 간단한 설명

- [0013] 도 1은 본 발명의 실시예들에 따른 반도체 소자의 개략적인 평면도이다.
- 도 2는 도 1의 'A'로 표시된 부분을 확대한 부분 확대 평면도이다.
- 도 3 내지 도 12는 본 발명의 일 실시예에 따른 반도체 소자의 일 예를 나타낸 단면도들이다.
- 도 13a 및 도 13b는 본 발명의 일 실시예에 따른 반도체 소자의 변형 예를 나타낸 부분 확대 단면도들이다.
- 도 14 및 도 15는 본 발명의 일 실시예에 따른 반도체 소자의 다른 변형 예를 나타낸 부분 확대 단면도들이다.
- 도 16은 본 발명의 일 실시예에 따른 반도체 소자의 다른 변형 예를 나타낸 부분 확대 단면도이다.
- 도 17은 본 발명의 일 실시예에 따른 반도체 소자의 다른 변형 예를 나타낸 부분 확대 단면도이다.
- 도 18은 본 발명의 일 실시예에 따른 반도체 소자의 다른 변형 예를 나타낸 부분 확대 단면도이다.
- 도 19는 본 발명의 일 실시예에 따른 반도체 소자의 다른 변형 예를 나타낸 평면도이다.
- 도 20a 내지 20c는 본 발명의 일 실시예에 따른 반도체 소자의 다른 변형 예를 나타낸 단면도들이다.
- 도 21은 본 발명의 일 실시예에 따른 반도체 소자 형성 방법의 일 예를 나타낸 공정 흐름도이다.
- 도 22a 내지 도 23b는 본 발명의 일 실시예에 따른 반도체 소자 형성 방법의 일 예를 나타낸 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들에 따른 반도체 소자 및 그 형성 방법에 대하여 설명하기로 한다.
- [0015] 도 1 내지 도 12를 참조하여 본 발명의 일 실시예에 따른 반도체 소자의 일 예를 설명하기로 한다. 이하에서, 보다 쉬운 이해를 위하여 도 1 내지 도 12 전체 도면을 참조하여 각 구성요소들을 개략적으로 설명하고, 이어서 도 1 내지 도 12 중 일부 도면을 참조하여 각 구성요소들의 구체적인 예를 설명하기로 한다. 도 1 내지 도 12에서, 도 1은 본 발명의 실시예들에 따른 반도체 소자의 개략적인 평면도이고, 도 2는 도 1의 'A'로 표시된 부분을 확대한 부분 확대 평면도이고, 도 3은 도 2의 I-I'선을 따라 나타낸 단면도이고, 도 4는 도 3의 'B'로 표시된 부분을 확대한 부분 확대 평면도이고, 도 5은 도 2의 II-II'선을 따라 나타낸 단면도이고, 도 6은 도 5의 'C'로 표시된 부분을 확대한 부분 확대 평면도이고, 도 7은 도 2의 III-III'선을 따라 나타낸 단면도이고, 도 8은 도 7의 'D'로 표시된 부분을 확대한 부분 확대 평면도이고, 도 9는 도 2의 IV-IV'선을 따라 나타낸 단면도이고, 도 10은 도 9의 'E'로 표시된 부분을 확대한 부분 확대 평면도이고, 도 11은 도 2의 V-V'선을 따라 나타낸 단면도이고, 도 12는 도 11의 'F1' 및 "F2"로 표시된 부분을 확대한 부분 확대도이다.
- [0016] 우선, 도 1 내지 도 12를 참조하면, 일 실시예에 따른 반도체 소자(1)는 하부 구조물(3), 및 상기 하부 구조물(3) 상의 메모리 셀 어레이 영역(MA) 및 연결 영역(EA)을 포함할 수 있다. 상기 메모리 셀 어레이 영역(MA) 및 상기 연결 영역(EA)은 서로 인접할 수 있다.
- [0017] 상기 하부 구조물(3)은 하부 기판(5), 상기 하부 기판(5) 상의 상부 기판(12), 상기 하부 기판(5)과 상기 상부 기판(12) 사이의 주변 회로 영역(7)을 포함할 수 있다.
- [0018] 상기 하부 구조물(3)은 상기 상부 기판(12)을 관통하는 갭필 절연 층(13), 및 상기 상부 기판(12)의 주위를 둘러싸는 중간 절연 층(14)을 더 포함할 수 있다. 상기 주변 회로 영역(7)은 주변 배선들(8) 및 상기 주변 배선들(8)을 덮는 하부 절연 층(9)을 포함할 수 있다.
- [0019] 일 실시예에 따른 반도체 소자(1)는 상기 하부 구조물(3) 상의 적층 구조물(ST)을 포함할 수 있다.
- [0020] 상기 적층 구조물(ST)은 상기 메모리 셀 어레이 영역(MA) 내에 배치될 수 있으며, 상기 연결 영역(EA) 내로 연장될 수 있다.
- [0021] 상기 적층 구조물(ST)은 도전성 물질을 포함하는 게이트 영역(GA) 및 도전성 물질을 포함하지 않는 절연 영역

(IA)을 포함할 수 있다.

- [0022] 상기 게이트 영역(GA)은 상기 메모리 셀 어레이 영역(MA) 내에 배치되며 상기 연결 영역(EA)의 일부 내에 배치될 수 있다. 상기 절연 영역(IA)은 상기 연결 영역(EA) 내에 배치될 수 있으며, 상기 게이트 영역(GA)과 인접할 수 있다.
- [0023] 상기 적층 구조물(ST)은 상기 하부 구조물(3) 상에서 교대로 반복적으로 적층되는 제1 층들(20) 및 제2 층들(23)을 포함할 수 있다.
- [0024] 상기 제1 층들(20)은 상기 게이트 영역(GA) 및 상기 절연 영역(IA) 내에 배치될 수 있다. 상기 제1 층들(20)은 층간 절연 층들일 수 있다.
- [0025] 상기 제2 층들(23)은 상기 게이트 영역(GA) 내에 배치될 수 있는 게이트 층들(29G, 31G, 33G, 35G) 및 상기 절연 영역(IA) 내에 배치될 수 있는 몰드 층들(29M, 31M, 35M)을 포함할 수 있다.
- [0026] 일 예에서, 상기 몰드 층들(29M, 31M, 35M)은 상기 제1 층들(20)과 다른 식각 선택성을 갖는 절연성 물질로 형성될 수 있다. 예를 들어, 상기 제1 층들(20)은 실리콘 산화물로 형성될 수 있고, 상기 몰드 층들(29M, 31M, 35M)은 실리콘 질화물로 형성될 수 있다.
- [0027] 일 예에서, 상기 게이트 층들(29G, 31G, 33G, 35G)의 각각은 도전성 물질을 포함할 수 있다. 예를 들어, 상기 게이트 층들(29G, 31G, 33G, 35G)의 각각은 게이트 전극일 수 있다.
- [0028] 상기 게이트 층들(29G, 31G, 33G, 35G)은 하나 또는 복수의 하부 게이트 층(29G), 상기 하나 또는 복수의 하부 게이트 층(29G) 상의 복수의 중간 게이트 층들(31G), 및 상기 복수의 중간 게이트 층들(31G) 상의 복수의 상부 게이트 층들(33G)을 포함할 수 있다.
- [0029] 상기 몰드 층들(29M, 31M, 35M)은 하나 또는 복수의 하부 몰드 층(29M), 상기 하나 또는 복수의 하부 몰드 층(29M) 상의 복수의 중간 몰드 층들(31M), 및 상기 복수의 중간 몰드 층들(31M) 상의 복수의 상부 몰드 층들(33M)을 포함할 수 있다.
- [0030] 상기 게이트 영역(GA)과 상기 절연 영역(IA)의 경계 영역에서, 서로 동일 높이 레벨에 위치하는 상기 하부 및 중간 게이트 층들(29G, 31G)과 상기 하부 및 중간 몰드 층들(29M, 31M)은 서로 마주볼 수 있으며, 서로 접촉할 수 있다.
- [0031] 상기 게이트 층들(29G, 31G, 33G, 35G)은 플로팅 게이트 층들(35G)을 더 포함할 수 있고, 상기 몰드 층들 몰드 층들(29M, 31M, 35M)은 플로팅 몰드 층들(32M)을 더 포함할 수 있다.
- [0032] 상기 플로팅 게이트 층들(35G)은 상기 연결 영역(EA) 내에서 상기 복수의 중간 게이트 층들(31G) 상에 배치될 수 있으며, 상기 복수의 상부 게이트 층들(33G)과 이격될 수 있다. 상기 플로팅 몰드 층들(35M)은 상기 연결 영역(EA) 내에서 상기 복수의 중간 몰드 층들(31M) 상에 배치될 수 있으며, 상기 복수의 상부 게이트 층들(33G)과 이격될 수 있다.
- [0033] 상기 게이트 층들(29G, 31G, 33G, 35G)은 계단 구조로 배열되는 복수의 게이트 패드들을 포함할 수 있고, 상기 몰드 층들(29M, 31M, 35M)은 계단 구조로 배열되는 복수의 몰드 패드들을 포함할 수 있다.
- [0034] 상기 하나 또는 복수의 하부 게이트 층(29G)은 하나 또는 복수의 하부 게이트 패드(29GP)를 포함할 수 있고, 상기 중간 게이트 층들(31G)은 중간 게이트 패드들(31GP)을 포함할 수 있고, 상기 상부 게이트 층들(33G)은 상부 게이트 패드들(33GP)를 포함할 수 있고, 상기 플로팅 게이트 층들(35G)은 플로팅 게이트 패드들(35GP)을 포함할 수 있다.
- [0035] 상기 하나 또는 복수의 하부 몰드 층들(29M)은 하나 또는 복수의 하부 몰드 패드(29MP)를 포함할 수 있고, 상기 중간 몰드 층들(31M)은 중간 몰드 패드들(31MP)을 포함할 수 있고, 상기 플로팅 몰드 층들(35M)은 플로팅 몰드 패드들(35MP)을 포함할 수 있다.
- [0036] 일 실시예에 따른 반도체 소자(1)는 상기 메모리 셀 어레이 영역(MA) 내의 메모리 셀 수직 구조물(46)을 더 포함할 수 있다. 상기 메모리 셀 수직 구조물(46)은 상기 적층 구조물(ST)의 상기 게이트 영역(GA)을 관통할 수 있다.
- [0037] 일 실시예에 따른 반도체 소자(1)는 복수의 분리 구조물들(69a, 69b, 69c)을 더 포함할 수 있다.
- [0038] 상기 분리 구조물들(69a, 69b, 69c)은 상기 메모리 셀 어레이 영역(MA) 및 상기 연결 영역(EA)을 가로지르는 복

수의 제1 분리 구조물들(69a), 상기 메모리 셀 어레이 영역(MA)을 가로지르며 상기 연결 영역(EA)의 일부 영역 내로 연장되는 복수의 제2 분리 구조물들(69b), 및 상기 연결 영역(EA) 내에 배치되는 제3 분리 구조물들(69c)을 포함할 수 있다.

- [0039] 상기 제2 분리 구조물들(69b)은 상기 제1 분리 구조물들(69a) 사이에 배치될 수 있다. 상기 제3 분리 구조물들(69c)은 상기 제1 분리 구조물들(69a) 사이에 배치될 수 있다.
- [0040] 상기 적층 구조물(ST)은 상기 제1 분리 구조물들(69a)에 의해 복수개로 분리될 수 있다. 도 2에서와 같이, 상기 연결 영역(EA) 내에서, 상기 적층 구조물(ST)은 제1 적층 영역(ST1), 상기 제1 적층 영역(ST1)의 제1 층의 제2 적층 영역(ST2), 및 상기 제1 적층 영역(ST1)의 제2 층의 제3 적층 영역(ST3)을 포함할 수 있다. 따라서, 상기 연결 영역(EA) 내에서, 상기 제1 적층 영역(ST1)은 상기 제2 적층 영역(ST2)과 상기 제3 적층 영역(ST3) 사이에 배치될 수 있다. 상기 제1 적층 영역(ST1), 상기 제2 적층 영역(ST2) 및 상기 제3 적층 영역(ST3)은 상기 제1 분리 구조물들(69a)에 의해 서로 분리될 수 있다.
- [0041] 상기 제3 분리 구조물들(69c)은 상기 제1 적층 영역(ST1) 내에 배치될 수 있고, 상기 제2 적층 영역(ST2) 및 상기 제3 적층 영역(ST3) 내에 배치되지 않을 수 있다.
- [0042] 상기 제1 적층 영역(ST1) 내에서, 상기 제3 분리 구조물들(69c)과 상기 제2 분리 구조물들(69b)은 서로 마주보는 끝 부분들을 가질 수 있다.
- [0043] 상기 적층 구조물(ST) 내에서, 상기 게이트 영역(GA)은 상기 메모리 셀 어레이 영역(MA) 및 상기 제1 적층 영역(ST1) 전체에 걸쳐서 위치할 수 있고, 상기 제2 적층 영역(ST2)의 일부 및 상기 제3 적층 영역(ST2)의 일부에 위치할 수 있다.
- [0044] 상기 적층 구조물(ST) 내에서, 상기 절연 영역(IA)은 상기 제2 적층 영역(ST2)의 일부에 배치되는 제1 절연 영역(IA1) 및 상기 제3 적층 영역(ST3)의 일부에 배치되는 제2 절연 영역(IA2)을 포함할 수 있다.
- [0045] 상기 연결 영역(EA) 내에서, 상기 상부 게이트 층들(33G)은 제1 방향(X)으로 제1 높이로 낮아지는 상부 패드들(33GP)을 포함할 수 있다. 상기 제1 방향(X)은 상기 메모리 셀 어레이 영역(MA)에서 상기 연결 영역(EA)을 향하는 방향일 수 있다.
- [0046] 상기 연결 영역(EA) 내에서, 상기 중간 게이트 층들(31G) 및 상기 중간 몰드 층들(31M)은 상기 제1 방향(X)으로 상기 제1 높이 보다 큰 제2 높이로 낮아지는 중간 패드들(31GP, 31MP)을 포함할 수 있다.
- [0047] 상기 중간 패드들(31GP, 31MP)은 상기 중간 게이트 층들(31G)의 중간 게이트 패드들(31GP) 및 상기 중간 몰드 층들(31M)의 중간 몰드 패드들(31MP)을 포함할 수 있다. 상기 제2 적층 영역(ST2) 및 상기 제3 적층 영역(ST3) 내에서, 상기 중간 패드들(31GP, 31MP)은 제2 방향(Y)으로 일정한 높이 레벨로 배치될 수 있고, 상기 제1 적층 영역(ST1) 내에서, 상기 중간 패드들(31GP, 31MP)은 상기 제2 적층 영역(ST2)에서 상기 제3 적층 영역(ST3)을 향하는 방향으로 상기 제1 높이로 낮아질 수 있다.
- [0048] 상기 연결 영역(EA) 내에서, 상기 하부 게이트 층들(29G) 및 상기 하부 몰드 층들(29M)은 상기 제2 적층 영역(ST2) 내에서의 일정한 높이 레벨의 계단으로부터 상기 제1 방향(X)으로 제1 높이로 낮아지면서, 상기 제1 적층 영역(ST1) 내에서 상기 제2 적층 영역(ST2)으로부터 상기 제3 적층 영역(ST3)을 향하는 방향으로 상기 제1 높이로 낮아지는 하부 패드들(29GP, 29MP)을 포함할 수 있다. 상기 하부 패드들(29GP, 29MP)은 상기 하부 게이트 층들(29G)의 하부 게이트 패드들(29GP) 및 상기 하부 몰드 층들(29M)의 하부 몰드 패드들(29MP)을 포함할 수 있다.
- [0049] 상기 제1 방향(X)은 상기 메모리 셀 어레이 영역(MA)에서 상기 연결 영역(EA)을 향하는 방향일 수 있고, 상기 제2 방향(Y)은 상기 제1 방향(X)과 수직한 방향일 수 있다.
- [0050] 상기 연결 영역(EA) 내에서, 상기 플로팅 게이트 층들(35G) 및 상기 플로팅 몰드 층들(35M)은 상기 제2 적층 영역(ST2) 내에서 일정한 높이 레벨의 계단으로부터 상기 상부 패드들(33GP)을 향하는 방향으로 제1 높이로 낮아지면서, 상기 제1 적층 영역(ST1) 내에서 상기 제2 적층 영역(ST2)으로부터 상기 제3 적층 영역(ST3)을 향하는 방향으로 상기 제1 높이로 낮아지는 플로팅 패드들(35GP, 35MP)을 포함할 수 있다.
- [0051] 상기 플로팅 패드들(35GP, 35MP)은 상기 플로팅 게이트 층들(35G)의 플로팅 게이트 패드들(35GP) 및 상기 플로팅 몰드 층들(35M)의 플로팅 몰드 패드들(35MP)을 포함할 수 있다.
- [0052] 실시 예들에서, 상기 제1 높이는 수직 방향(Z)으로 서로 인접하는 상기 제2 층들(23)의 상부면들 사이의 거리를

의미할 수 있다.

- [0053] 실시 예들에서, 상기 제2 높이는 상기 제1 높이 보다 큰 높이를 의미할 수 있다. 예를 들어, 상기 제2 높이는 상기 수직 방향(Z)으로 배열되는 4개의 제2 층들(23) 중 최하위 제2 층의 상부면과 최상위 제2 층의 상부면 사이의 거리를 의미할 수 있다.
- [0054] 상기 적층 구조물(ST) 상에 제1 캐핑 절연 층(40) 및 제2 캐핑 절연 층(43)이 배치될 수 있다. 상기 제1 캐핑 절연 층(40)은 상기 제2 층들(23) 중 최상위 제2 층을 덮을 수 있고, 상기 제2 캐핑 절연 층(43)은 상기 제1 캐핑 절연 층(40)의 상부면과 공면을 이루는 상부면을 가질 수 있으며, 상기 적층 구조물(ST)의 나머지 부분을 덮을 수 있다.
- [0055] 상기 제1 캐핑 절연 층(40) 및 상기 제2 캐핑 절연 층(43) 상에 차례로 적층된 제1 상부 절연 층(66) 및 제2 상부 절연 층(72)이 배치될 수 있다. 상기 제1 내지 제3 분리 구조물들(69a, 69b, 69c)은 상기 적층 구조물(ST)을 관통하며 상부로 연장되어, 상기 제1 및 제2 캐핑 절연 층들(40, 43), 및 상기 제1 상부 절연 층(66)을 관통할 수 있다.
- [0056] 상기 제1 상부 절연 층(66) 및 상기 제2 상부 절연 층(72)을 관통하며 상기 메모리 셀 수직 구조물들(46)과 전기적으로 연결되는 비트라인 콘택 플러그들(78)이 배치될 수 있다.
- [0057] 상기 연결 영역(EA) 내에서, 상기 제1 상부 절연 층(66) 및 상기 제2 상부 절연 층(72)을 관통하며 하부로 연장되어 상기 하부, 중간 및 상부 게이트 패드들(29GP, 31GP, 33GP)과 전기적으로 연결되는 게이트 콘택 구조물들(75)이 배치될 수 있다.
- [0058] 상기 주변 배선들(8)의 주변 패드 부분들(8P)과 접촉하며 상부로 연장되어 상기 갭필 절연 층(13) 및 상기 적층 구조물(ST)의 상기 절연 영역(IA)을 관통하는 주변 콘택 구조물들(81)이 배치될 수 있다.
- [0059] 상기 게이트 콘택 구조물들(75) 및 상기 주변 콘택 구조물들(81) 상에 게이트 연결 배선들(85)이 배치될 수 있다.
- [0060] 일 예에서, 상기 연결 영역(EA) 내에서, 상기 제1 상부 절연 층(66) 및 상기 제2 상부 절연 층(72)을 관통하며 하부로 연장되어 상기 플로팅 게이트 패드들(35GP)과 전기적으로 연결되는 더미 콘택 플러그들(75d)이 배치될 수 있다. 상기 더미 콘택 플러그들(75d)은 상기 게이트 연결 배선들(85)과 전기적으로 절연될 수 있다. 상기 비트라인 콘택 플러그들(78) 상에 비트라인들(84)이 배치될 수 있다.
- [0062] 다음으로, 도 3 및 도 4를 참조하여, 상기 중간 몰드 층들(31M)의 상기 중간 몰드 패드들(31MP)을 중심으로 설명하기로 한다.
- [0063] 도 3 및 도 4를 참조하면, 상기 중간 몰드 층들(31M)의 상기 중간 몰드 패드들(31MP)은 제1 중간 몰드 패드들(31MPa) 및 상기 제1 중간 몰드 패드들(31MPa) 사이의 제2 중간 몰드 패드(31MPb)를 포함할 수 있다. 상기 제2 중간 몰드 패드(31MPb)는 복수의 제1 중간 몰드 패드들(31MPa)과 복수의 제1 중간 몰드 패드들(31MPa) 사이에 배치될 수 있다.
- [0064] 상기 제1 중간 몰드 패드들(31MPa)은 실질적으로 서로 동일한 구조일 수 있고, 상기 제2 중간 몰드 패드(31MPb)는 각각의 상기 제1 중간 몰드 패드들(31MPa)과 다른 구조일 수 있다.
- [0065] 일 예에서, 각각의 상기 제1 중간 몰드 패드들(31MPa)은 상기 제1 방향(X)의 제1 길이를 가질 수 있고, 상기 제2 중간 몰드 패드(31MPb)는 상기 제1 길이 보다 큰 상기 제1 방향(X)의 제2 길이를 가질 수 있다.
- [0066] 일 예에서, 각각의 상기 제1 중간 몰드 패드들(31MPa) 및 상기 제2 중간 몰드 패드(31MPb)는 몰드 패드 부(24a) 및 상기 몰드 패드 부(24a) 상의 절연 돌출 부(24b)를 포함할 수 있다.
- [0067] 상기 절연 돌출 부(24b)는 상기 몰드 패드 부(24a)과 다른 식각 선택성을 갖는 물질로 형성될 수 있다. 예를 들어, 상기 몰드 패드 부(24a)는 실리콘 질화물 계열의 제1 절연성 물질로 형성될 수 있고, 상기 절연 돌출 부(24b)는 상기 제1 절연성 물질 보다 식각 속도가 빠른 실리콘 질화물 계열의 제2 절연성 물질로 형성될 수 있다. 예를 들어, 상기 몰드 패드 부(24a)은 제1 실리콘 질화물로 형성될 수 있고, 상기 절연 돌출 부(24b)는 상기 제1 실리콘 질화물 보다 포러스한 제2 실리콘 질화물로 형성될 수 있다. 상기 제2 실리콘 질화물은 상기 제1 실리콘 질화물 보다 인산을 포함하는 식각 용액에 대한 식각 속도가 클 수 있다.
- [0068] 일 예에서, 상기 제2 중간 몰드 패드(31MPb)는 상기 제1 방향(X)으로 서로 이격된 제1 부분(31Mb1) 및 제2 부분

(31Mb2)을 포함할 수 있다. 상기 제1 부분(31Mb1) 및 상기 제2 부분(31Mb2)은 상기 메모리 셀 어레이 영역(MA)으로부터 차례로 멀어질 수 있다.

- [0069] 상기 제1 부분(31Mb1) 및 상기 제2 부분(31Mb2)의 각각은 앞에서 상술한 것과 같은 상기 몰드 패드 부(24a) 및 상기 절연 돌출 부(24b)를 포함할 수 있다. 상기 제1 부분(31Mb1)의 상기 제1 방향(X)의 길이는 상기 제2 부분(31Mb2)의 상기 제1 방향(X)의 길이 보다 클 수 있다.
- [0070] 상기 제1 부분(31Mb1)의 상기 제1 방향(X)의 길이는 각각의 상기 제1 중간 몰드 패드들(31MPa)의 상기 제1 방향(X)의 길이와 실질적으로 동일할 수 있다. 상기 제2 부분(31Mb2)의 상기 제1 방향(X)의 길이는 각각의 상기 제1 중간 몰드 패드들(31MPa)의 상기 제1 방향(X)의 길이 보다 작을 수 있다.
- [0071] 일 실시예에서, 상기 제2 중간 몰드 패드(31MPb)는 하나 또는 복수개가 배치될 수 있다. 상기 제2 중간 몰드 패드(31MPb)가 복수개가 배치되는 경우에, 복수개의 제2 중간 몰드 패드들(31MPb)의 각각은 복수개의 제1 중간 몰드 패드들(31MPa)과 복수개의 제1 중간 몰드 패드들(31MPa) 사이에 배치될 수 있다. 상기 제2 중간 몰드 패드(31MPb)가 복수개가 배치되는 경우에, 상기 복수의 제2 중간 몰드 패드들(31MPb)의 각각은 상기 제1 부분(31Mb1) 및 상기 제2 부분(31Mb2)을 가질 수 있다.
- [0072] 상기 복수의 제2 중간 몰드 패드들(31MPb)은 상기 제1 절연 영역(IA1) 및 상기 제2 절연 영역(IA2) 내에 각각 배치될 수 있으며, 도 2에서, 상기 제1 절연 영역(IA1) 및 상기 제2 절연 영역(IA2)과 중첩하는 도면 부호 "CTa"로 표시된 부분은 각각의 상기 복수의 제2 중간 몰드 패드들(31MPb)의 상기 제1 부분(31Mb1) 및 상기 제2 부분(31Mb2) 사이의 상기 제2 중간 몰드 패드(31MPb)의 가운데 영역을 나타낼 수 있다.
- [0073] 상기 제2 중간 몰드 패드(31MPb)의 상기 가운데 영역은 상기 캐핑 절연 층(43)으로 채워질 수 있다. 상기 캐핑 절연 층(43)은 상기 몰드 층들(31M)과 다른 절연성 물질을 포함할 수 있다. 예를 들어, 상기 캐핑 절연 층(43)이 실리콘 산화물 등과 같은 단일 물질로 형성되는 경우에, 상기 제2 중간 몰드 패드(31MPb)의 상기 제1 부분(31Mb1) 및 상기 제2 부분(31Mb2) 사이는 상기 캐핑 절연 층(43)의 실리콘 산화물로 채워질 수 있다. 이와는 달리, 상기 캐핑 절연 층(43)이 배리어 절연 층 및 캐핑 절연 층의 적어도 두 개의 물질 층으로 형성되는 경우에, 상기 제2 중간 몰드 패드(31MPb)의 상기 제1 부분(31Mb1) 및 상기 제2 부분(31Mb2) 사이는 상기 캐핑 절연 층(43)의 배리어 절연 층으로 채워질 수 있다. 상기 캐핑 절연 층(43)의 상기 배리어 절연 층은 상기 몰드 층들(31M)의 실리콘 질화물과 다른 물질, 예를 들어 알루미늄 산화물 등과 같은 물질로 형성될 수 있고, 상기 캐핑 절연 층(43)의 상기 캐핑 절연 층은 실리콘 산화물로 형성될 수 있다.
- [0075] 다시, 도 3을 참조하면, 상기 하부 몰드 층들(29M)의 상기 하부 몰드 패드들(29MP)은 제1 하부 몰드 패드들(29MPa) 및 제2 하부 몰드 패드(29MPb)를 포함할 수 있다. 상기 제2 하부 몰드 패드(29MPb)는 상기 제1 하부 몰드 패드들(29MPa)과 상기 제1 중간 몰드 패드들(31MPa) 사이에 배치될 수 있다.
- [0076] 상기 제2 하부 몰드 패드(29MPb)의 상기 제1 방향(X)의 길이는 각각의 상기 제1 하부 몰드 패드들(29MPa)의 상기 제1 방향(X)의 길이 보다 클 수 있다. 상기 제2 하부 몰드 패드(29MPb)는 앞에서 상술한 상기 제2 중간 몰드 패드(31MPb)와 실질적으로 동일한 구조 및 동일한 물질로 형성될 수 있다.
- [0077] 도 2에서, 상기 제1 절연 영역(IA1) 및 상기 제2 절연 영역(IA2)과 중첩하는 도면 부호 "CTb"로 표시된 부분은 각각의 상기 제2 하부 몰드 패드들(29MPb)의 가운데 영역을 나타낼 수 있다.
- [0079] 다음으로, 도 5 및 도 6를 참조하여, 상기 중간 게이트 층들(31G)의 상기 제1 방향(X)으로 배열되는 상기 중간 게이트 패드들(31GP)을 중심으로 설명하기로 한다.
- [0080] 도 5 및 도 6를 참조하면, 상기 중간 게이트 층들(31G)은 두께가 증가된 상기 중간 게이트 패드들(31GP)을 포함할 수 있다.
- [0081] 상기 중간 게이트 패드들(31GP)은 제1 중간 게이트 패드들(31GPa), 및 상기 제1 중간 게이트 패드들(31GP) 사이의 제2 중간 게이트 패드(31GPb)를 포함할 수 있다. 예를 들어, 상기 제2 중간 게이트 패드(31GPb)는 복수의 제1 중간 게이트 패드들(31GPa)과 복수의 제1 중간 게이트 패드들(31GPa) 사이에 배치될 수 있다.
- [0082] 상기 제2 중간 게이트 패드(31GPb)는 각각의 상기 제1 중간 게이트 패드들(31GPa)과 다른 구조일 수 있다.
- [0083] 일 예에서, 각각의 상기 제1 중간 게이트 패드들(31GPa)은 상기 제1 방향(X)의 제1 길이를 가질 수 있고, 상기 제2 중간 게이트 패드(31GPb)는 상기 제1 길이 보다 큰 상기 제1 방향(X)의 제2 길이를 가질 수 있다.
- [0084] 일 예에서, 상기 제2 중간 게이트 패드(31GPb)는 상기 제1 방향(X)으로 서로 이격된 제1 부분(31GPb1) 및 제2

부분(31GPb2)을 포함할 수 있다. 상기 제1 부분(31GPb1)의 상기 제1 방향(X)의 길이는 상기 제2 부분(31GPb2)의 상기 제1 방향(X)의 길이 보다 클 수 있다.

- [0085] 상기 제1 부분(31GPb1)의 상기 제1 방향(X)의 길이는 각각의 상기 제1 중간 게이트 패드들(31GPa)의 상기 제1 방향(X)의 길이와 실질적으로 동일할 수 있다. 상기 제2 부분(31GPb2)의 상기 제1 방향(X)의 길이는 각각의 상기 제1 중간 게이트 패드들(31GPa)의 상기 제1 방향(X)의 길이 보다 작을 수 있다.
- [0086] 일 실시예에서, 상기 제2 중간 게이트 패드(31GPb)는 하나 또는 복수개가 배치될 수 있다. 상기 제2 중간 게이트 패드(31GPb)가 복수개가 배치되는 경우에, 복수개의 제2 중간 게이트 패드들(31GPb)의 각각은 복수개의 제1 중간 게이트 패드들(31GPa)과 복수개의 제1 중간 게이트 패드들(31GPa) 사이에 배치될 수 있다.
- [0087] 상기 제2 중간 몰드 패드(31MPb)와 마찬가지로, 상기 제2 중간 게이트 패드(31GPb)의 가운데 영역은 상기 캐핑 절연 층(43)으로 채워질 수 있다. 예를 들어, 상기 제2 중간 게이트 패드(31GPb)의 상기 제1 부분(31Gb1) 및 상기 제2 부분(31Gb2) 사이의 가운데 영역은 상기 캐핑 절연 층(43)의 물질로 채워질 수 있다. 도 2에서, 상기 게이트 영역(GA)과 중첩하는 도면 부호 "CTa"로 표시된 부분은 각각의 상기 제2 중간 게이트 패드(31GPb)의 가운데 영역을 나타낼 수 있다.
- [0088] 상기 하부 게이트 층들(29G)의 상기 하부 게이트 패드들(29GP)은 제1 하부 게이트 패드들(29GPa) 및 제2 하부 게이트 패드(29GPb)를 포함할 수 있다. 상기 제2 하부 게이트 패드(29GPb)는 상기 제1 하부 게이트 패드들(29GPa)과 상기 제1 중간 게이트 패드들(31GPa) 사이에 배치될 수 있다.
- [0089] 상기 제2 하부 게이트 패드(29GPb)의 상기 제1 방향(X)의 길이는 각각의 상기 제1 하부 게이트 패드들(29GPa)의 상기 제1 방향(X)의 길이 보다 클 수 있다. 상기 제2 하부 게이트 패드(29GPb)는 앞에서 상술한 상기 제2 중간 게이트 패드(31GPb)와 실질적으로 동일한 구조 및 동일한 물질로 형성될 수 있다. 도 2에서, 상기 게이트 영역(GA)과 중첩하는 도면 부호 "CTb"로 표시된 부분은 각각의 상기 제2 하부 게이트 패드들(29GPb)의 가운데 영역을 나타낼 수 있다.
- [0091] 다음으로, 도 7, 도 8, 도 9 및 도 10을 참조하여, 상기 절연 영역(IA) 및 상기 게이트 영역(GA)을 중심으로 설명하기로 한다. 도 7 및 도 8은 도 4에서 설명한 상기 제1 방향(X)으로 서로 이격된 상기 제2 중간 몰드 패드(31MPb)의 상기 제1 부분(31Mb1) 및 상기 제2 부분(31Mb2) 사이를 상기 제2 방향(Y)을 따라 절단한 단면 구조를 나타낼 수 있고, 도 9 및 도 10은 상기 제1 중간 몰드 패드들(31MPa) 중 어느 하나의 제1 중간 몰드 패드의 가운데 영역을 상기 제2 방향(Y)으로 절단한 단면구조를 나타낼 수 있다.
- [0092] 우선, 도 7 및 도 8을 참조하면, 상기 제1 부분(도 4의 31Mb1) 및 상기 제2 부분(도 4의 31Mb2) 사이를 상기 제2 방향(Y)을 따라 절단한 단면 구조에서, 상기 제2 층들(23) 중 최상위의 제2 층, 즉 상기 제2 중간 몰드 층(31M) 및 상기 제2 중간 게이트 층(31G)은 두께가 증가된 부분을 포함하지 않을 수 있다.
- [0093] 상기 제1 부분(도 4의 31Mb1) 및 상기 제2 부분(도 4의 31Mb2) 사이를 상기 제2 방향(Y)을 따라 절단한 단면 구조에서, 상기 절연 영역(IA)의 상기 제2 방향(Y)의 폭은 상기 제2 중간 몰드 층(31M)의 상기 제2 방향(Y)의 폭에 의해 결정될 수 있다.
- [0094] 다음으로, 도 9 및 도 10을 참조하면, 상기 제2 적층 영역(도 2의 ST2) 내에서, 상기 중간 패드들(31GP, 31MP)은 일정한 높이 레벨로 배치될 수 있고, 상기 제1 적층 영역(도 2의 ST1) 내에서, 상기 중간 패드들(31GP, 31MP) 중 상기 게이트 중간 패드들(31GP)은 상기 제2 적층 영역(ST2)에서 상기 제3 적층 영역(도 2의 ST3)을 향하는 방향으로 상기 제1 높이로 낮아질 수 있고, 상기 제3 적층 영역(도 2의 ST3) 내에서, 상기 중간 패드들(31GP, 31MP)은 일정한 높이 레벨로 배치될 수 있다.
- [0095] 앞에서 도 3 및 도 4를 참조하여 설명한 바와 같이, 각각의 상기 제1 중간 몰드 패드들(31MPa)은 상기 몰드 패드 부(24a) 및 상기 몰드 패드 부(24a) 상의 상기 절연 돌출 부(24b)를 포함할 수 있다. 상기 절연 돌출 부(24b)의 상기 제2 방향(Y)의 길이는 상기 몰드 패드 부(24a)의 상기 제2 방향(Y)의 길이 보다 작을 수 있다.
- [0096] 상기 제1 중간 게이트 패드들(31GPa) 중에서, 상기 제1 중간 몰드 패드 부분들(31MPa)과 인접하는 제1 중간 게이트 패드들의 각각은 두께가 증가된 부분의 상부 영역으로부터 인접하는 상기 몰드 패드 부(24a)의 상부면 상으로 연장되어 상기 절연 돌출 부(24b)의 측면과 인접하는 게이트 연장 부(31GPe)를 포함할 수 있다. 상기 게이트 연장 부(31GPe)는 상기 몰드 패드 부(24a)의 상부면과 접촉하며 상기 절연 돌출 부(24b)의 측면과 접촉할 수 있다. 따라서, 상기 제1 중간 게이트 패드들(31GPa) 중에서, 상기 제1 중간 몰드 패드 부분들(31MPa)과 인접하는 제1 중간 게이트 패드들의 각각은 인접하는 상기 제1 중간 몰드 패드 부(31MPa)의 상기 몰드 패드 부(24a)의

상부면과 중첩하는 상기 게이트 연장 부(31GPe)를 포함할 수 있다. 상기 절연 영역(IA)의 상기 제2 방향(Y)의 폭은 상기 절연 돌출 부(24b)의 상기 제2 방향(Y)의 길이에 의해 결정될 수 있다. 상기 절연 돌출 부(24b)의 상기 제2 방향(Y)의 길이는 각각의 상기 제1 중간 몰드 층들(31M)의 상기 제2 방향(Y)의 길이 보다 작을 수 있다. 상기 몰드 패드 부(24a)의 상기 제2 방향(Y)의 길이는 각각의 상기 제1 중간 몰드 층들(31M)의 상기 제2 방향(Y)의 길이와 같을 수 있다.

- [0097] 상기 절연 영역(IA)은, 도 7 및 도 8에서 설명한 것과 같이 상기 제1 부분(도 4의 31MPb1) 및 상기 제2 부분(도 4의 31MPb2) 사이를 상기 제2 방향(Y)으로 절단한 단면 구조에서 상기 제2 방향(Y)의 제1 길이(L1)를 가질 수 있고, 도 9 및 도 10에서 설명한 것과 같이 상기 제1 중간 몰드 패드들(31MPa) 중 어느 하나의 제1 중간 몰드 패드의 가운데 영역을 상기 제2 방향(Y)으로 절단한 단면구조에서, 상기 제2 방향(Y)의 제2 길이(L2)를 가질 수 있다. 여기서, 상기 제1 길이(L1)는 상기 제2 길이(L2) 보다 클 수 있다.
- [0099] 다음으로, 도 11 및 도 12를 참조하여 상기 게이트 층들(29G, 31G, 33G, 35G), 상기 메모리 셀 수직 구조물(46), 및 상기 분리 구조물들(69a, 69b, 69c)에 대하여 설명하기로 한다.
- [0100] 도 11 및 도 12를 참조하면, 상기 게이트 층들(29G, 31G, 33G, 35G)의 각각은 제1 게이트 층(27a) 및 제2 게이트 층(27b)을 포함할 수 있다. 상기 제1 게이트 층(27a)은 상기 제2 게이트 층(27b)의 하부면 및 상부면을 덮으면서 상기 제2 게이트 층(27b)과 상기 메모리 셀 수직 구조물(46) 사이로 연장될 수 있다.
- [0101] 일 예에서, 상기 제1 게이트 층(27a)은 제1 도전성 물질(e.g., W 등)을 포함할 수 있고, 상기 제2 게이트 층(27b)은 상기 제1 도전성 물질과 다른 제2 도전성 물질(e.g., TiN 또는 WN 등)을 포함할 수 있다.
- [0102] 다른 예에서, 상기 제1 게이트 층(27a)은 유전체 물질을 포함할 수 있고, 상기 제2 게이트 층(27b)은 도전성 물질(e.g., TiN, W 등)을 포함할 수 있다. 상기 제1 층(27a)의 유전체 물질은 A10 등과 같은 고유전체(high-k dielectric)를 포함할 수 있다.
- [0103] 상기 메모리 셀 수직 구조물(46)은 유전체 구조물(48), 채널 층(57), 코어 층(60) 및 패드 층(63)을 포함할 수 있다. 상기 채널 층(57)은 상기 코어 층(60)의 측면 상에 배치될 수 있고, 상기 패드 층(63)은 상기 코어 층(60) 상에 배치될 수 있고, 상기 유전체 구조물(48)은 상기 채널 층(63)의 외측면 상에 배치될 수 있다.
- [0104] 상기 유전체 구조물(48)은 제1 유전체 층(50), 제2 유전체 층(54) 및 상기 제1 유전체 층(50)과 상기 제2 유전체 층(54) 사이의 정보 저장 층(52)을 포함할 수 있다. 상기 제3 유전체 층(54)은 상기 채널 층(57)과 상기 정보 저장 층(52) 사이에 배치될 수 있다.
- [0105] 상기 비트라인 콘택 플러그(78)는 상기 패드 층(63)과 접촉할 수 있다.
- [0106] 일 예에서, 상기 중간 게이트 층들(31G)은 워드라인들을 포함할 수 있다. 워드라인들일 수 있는 상기 중간 게이트 층들(31G)과 마주보는 상기 정보 저장 층(52)의 영역들은 플래시 메모리 소자에서 정보를 저장할 수 있는 정보 저장 영역들일 수 있다.
- [0107] 일 예에서, 상기 하나 또는 복수의 하부 게이트 층(29G) 중 적어도 하나는 하부 선택 게이트 전극일 수 있고, 상기 복수의 상부 게이트 층들(33G) 중 적어도 하나는 상부 선택 게이트 전극일 수 있다.
- [0108] 다른 예에서, 상기 하나 또는 복수의 하부 게이트 층(29G)가 복수개인 경우에, 상기 복수의 하부 게이트 층들(29G) 중 어느 하나는 하부 선택 게이트 전극일 수 있고, 다른 하나는 플래시 메모리 소자의 소거 동작에 이용되는 하부 소거 게이트 전극일 수 있다. 상기 복수의 상부 게이트 층들(33G) 중 어느 하나는 상부 선택 게이트 전극일 수 있고, 다른 하나는 플래시 메모리 소자의 소거 동작에 이용되는 상부 소거 게이트 전극일 수 있다.
- [0109] 일 예에서, 상기 제1 내지 제3 분리 구조물들(69a, 69b, 69c)의 각각은 분리 스페이서(70a) 및 분리 코어 패턴(70b)을 포함할 수 있다. 상기 분리 스페이서(70a)는 절연성 물질로 형성될 수 있고, 상기 분리 코어 패턴(70b)은 도전성 물질로 형성될 수 있다.
- [0110] 다른 예에서, 상기 제1 내지 제3 분리 구조물들(69a, 69b, 69c)의 각각은 절연성 물질, 예를 들어 실리콘 산화물로 형성될 수 있다.
- [0112] 다음으로, 도 13a를 참조하여, 도 4에서 설명한 상기 제2 중간 몰드 패드(도 4의 31MPb)의 변형 예를 설명하기로 한다. 도 13a는 도 4에서 설명한 상기 제2 중간 몰드 패드(도 4의 31MPb)의 변형 예를 나타낸 부분 확대도이다.

- [0113] 변형 예에서, 도 13a를 참조하면, 제2 중간 몰드 패드(31Mb')는 몰드 패드 부(24a') 및 상기 몰드 패드 부(24a') 상에서 서로 이격된 제1 절연 돌출 부(24b1) 및 제2 절연 돌출 부(24b2)를 포함할 수 있다. 상기 제1 절연 돌출 부(24b1) 및 상기 제2 절연 돌출 부(24b2)는 상기 메모리 셀 어레이 영역(MA)으로부터 차례로 멀어질 수 있다. 상기 제1 절연 돌출 부(24b1)의 상기 제1 방향(X)의 길이는 상기 제2 절연 돌출 부(24b2)의 상기 제1 방향(X)의 길이 보다 클 수 있다.
- [0115] 다음으로, 도 13b를 참조하여, 도 6에서 설명한 상기 제2 중간 게이트 패드(도 6의 31GPb)의 변형 예를 설명하기로 한다. 도 13b는 도 6에서 설명한 상기 제2 중간 게이트 패드(도 6의 31GPb)의 변형 예를 나타낸 부분 확대도이다.
- [0116] 변형 예에서, 도 13b를 참조하면, 제2 중간 게이트 패드(31GPb')는 상기 제1 방향(X)으로 차례로 배열되며 증가된 두께를 갖는 제1 부분(31GPb1') 및 제2 부분(31GPb2'), 및 상기 제1 부분(31GPb1')과 상기 제2 부분(31GPb2') 사이를 연결하는 제3 부분(31GPb3')을 포함할 수 있다. 상기 제3 부분(31GPb3')의 두께는 각각의 상기 제1 부분(31GPb1')과 상기 제2 부분(31GPb2')의 두께 보다 작을 수 있다.
- [0118] 다음으로, 도 14를 참조하여, 도 4에서 설명한 상기 제2 중간 몰드 패드(도 4의 31MPb)의 변형 예를 설명하기로 한다. 도 14는 도 4에서 설명한 상기 제2 중간 몰드 패드(도 4의 31MPb)의 변형 예를 나타낸 부분 확대도이다.
- [0119] 변형 예에서, 도 14를 참조하면, 제2 중간 몰드 패드(31Mb")는 몰드 패드 부(24a") 및 상기 몰드 패드 부(24a") 상에서 서로 이격된 제1 절연 돌출 부(24b1') 및 제2 절연 돌출 부(24b2')를 포함할 수 있다. 상기 제1 절연 돌출 부(24b1') 및 상기 제2 절연 돌출 부(24b2') 각각의 상기 제1 방향(X)의 길이는 상기 제1 중간 몰드 패드들(31Ma) 각각의 상기 제1 방향(X)의 길이 보다 작을 수 있다.
- [0121] 다음으로, 도 15를 참조하여, 도 6에서 설명한 상기 제2 중간 게이트 패드(도 6의 31GPb)의 변형 예를 설명하기로 한다. 도 15는 도 6의 부분 확대도에 대응하는 부분 확대도이다. 도 15는 도 6에서 설명한 상기 제2 중간 게이트 패드(도 6의 31GPb)의 변형 예를 나타낸 부분 확대도이다.
- [0122] 변형 예에서, 도 15를 참조하면, 제2 중간 게이트 패드(31GPb")는 각각의 상기 제1 중간 게이트 패드들(31GPa)의 두께와 실질적으로 동일한 두께를 갖고, 각각의 상기 제1 중간 게이트 패드들(31GPa)의 상기 제1 방향(X)의 길이 보다 큰 상기 제1 방향(X)의 길이를 가질 수 있다.
- [0124] 다음으로, 도 16을 참조하여, 상기 제2 중간 몰드 패드(도 4의 31MPb)의 변형 예를 설명하기로 한다. 도 16는 도 4에서 설명한 상기 제2 중간 몰드 패드(31MPb)의 또 다른 변형 예를 나타낸 부분 확대도이다.
- [0125] 변형 예에서, 도 16을 참조하면, 제2 중간 몰드 패드(31Mb")는 상기 제1 방향(X)으로 서로 이격된 제1 부분(31MPb1') 및 제2 부분(31MPb2')을 포함할 수 있다. 상기 제1 부분(31MPb1) 및 상기 제2 부분(31MPb2)의 각각은 앞에서 상술한 것과 같은 상기 몰드 패드 부(도 4의 24a) 및 상기 절연 돌출 부(도 4의 24b)를 포함할 수 있다.
- [0126] 각각의 상기 제1 부분(31MPb1) 및 상기 제2 부분(31MPb2)의 상기 제1 방향(X)의 길이는 각각의 상기 제1 중간 몰드 패드들(31MPa)의 상기 제1 방향(X)의 길이 보다 작을 수 있다.
- [0128] 다음으로, 도 17 및 도 18을 각각 참조하여, 상기 제1 중간 몰드 패드들(도 4의 31MPa) 및 상기 제2 중간 몰드 패드(도 4의 31MPb)의 변형 예를 설명하기로 한다. 각각의 도 17 및 도 18은 도 4에서 설명한 상기 제1 중간 몰드 패드들(도 4의 31MPa) 및 상기 제2 중간 몰드 패드(도 4의 31MPb)의 변형 예를 나타낸 부분 확대도이다.
- [0129] 변형 예에서, 도 17을 참조하면, 제2 중간 몰드 패드(31Mbb')는 증가된 두께를 가지지 않을 수 있다. 제1 중간 몰드 패드들(31MPaa) 중에서, 상기 제2 중간 몰드 패드(31Mbb')에 인접하는 일부 제1 중간 몰드 패드들(31MPa1)은 증가된 두께를 가지지 않을 수 있고, 나머지 제1 중간 몰드 패드들(31MPa2)은 증가된 두께를 가질 수 있다. 예를 들어, 제1 중간 몰드 패드들(31MPaa) 중에서 두께가 증가된 제1 중간 몰드 패드들(31MPa2)은 앞에서 상술한 것과 같은 상기 몰드 패드 부(24a) 및 상기 절연 돌출 부(24b)을 포함할 수 있고, 상기 제1 중간 몰드 패드들(31MPaa) 중에서 두께가 증가되지 않은 제1 중간 몰드 패드들(31MPa1)은 상기 몰드 패드 부(24A)만으로 구성되며 상기 절연 돌출 부(24B)를 포함하지 않을 수 있다.
- [0131] 변형 예에서, 도 18을 참조하면, 도 17에서 설명한 것과 마찬가지로, 제2 중간 몰드 패드(31MPbb")는 증가된 두께를 가지지 않을 수 있고, 제1 중간 몰드 패드들(31MPaa') 중에서, 상기 제2 중간 몰드 패드(31MPbb")에 인접하는 일부 제1 중간 몰드 패드들(31MPa1')은 증가된 두께를 가지지 않을 수 있고, 나머지 제1 중간 몰드 패드들

(31MPa2')는 증가된 두께를 가질 수 있다.

- [0132] 여기서, 두께가 증가되지 않은 제1 중간 몰드 패드들(31MPa1')은 얇은 제1 중간 몰드 패드로 지칭하고, 두께가 증가된 제1 중간 몰드 패드들(31MPa2')은 두꺼운 제1 중간 몰드 패드로 지칭하기로 한다.
- [0133] 상기 제2 중간 몰드 패드(31MPbb") 보다 높은 레벨에 위치하는 제1 중간 몰드 패드들(31MPaa') 중에서, 상기 제2 중간 몰드 패드(31MPbb")에 인접하는 상기 얇은 제1 중간 몰드 패드(31MPa1')와 상기 제2 중간 몰드 패드(31MPbb") 사이의 높이 차이는 상기 얇은 제1 중간 몰드 패드(31MPa1')과 상기 두꺼운 제1 중간 몰드 패드(31MPa2') 사이의 높이 차이 보다 작을 수 있다.
- [0134] 상기 제2 중간 몰드 패드(31MPbb") 보다 낮은 레벨에 위치하는 제1 중간 몰드 패드들(31MPaa') 중에서, 상기 제2 중간 몰드 패드(31MPbb")에 인접하는 얇은 제1 중간 몰드 패드(31MPa1')와 상기 제2 중간 몰드 패드(31MPbb") 사이의 높이 차이는 상기 얇은 제1 중간 몰드 패드(31MPa1')과 상기 두꺼운 중간 몰드 패드(31MPa2') 사이의 높이 차이 보다 클 수 있다.
- [0136] 상술한 실시예들에서, 상기 복수의 중간 몰드 패드들(31MP) 중 몇몇은 상기 몰드 패드 부(24a) 및 상기 몰드 패드 부(24a) 상의 상기 절연 돌출 부(24b)를 포함할 수 있고, 상기 복수의 제1 중간 몰드 패드들(31MPa) 중 적어도 몇몇은 상기 몰드 패드 부(24a) 및 상기 절연 돌출 부(24b)를 포함할 수 있다.
- [0137] 상술한 실시예들에서, 적어도 상기 제2 중간 몰드 패드(31MPb)의 가운데 영역은 상기 절연 돌출 부(24b)를 포함하지 않을 수 있다. 예를 들어, 도 4에서와 같이, 상기 제2 중간 몰드 패드(31MPb)의 가운데 영역은 상기 캐핑 절연 층(43)에 의해 채워질 수 있다.
- [0138] 몇몇 실시예들에서, 상기 복수의 제1 중간 몰드 패드들(31MPa) 중에서 상기 몰드 패드 부(24a) 및 상기 절연 돌출 부(24b)를 포함하는 제1 중간 몰드 패드는 제1 두께를 가질 수 있고, 몇몇 실시예의 제2 중간 몰드 패드의 가운데 영역은 상기 제1 두께 보다 작은 제2 두께를 가질 수 있다. 예를 들어, 도 13a에서와 같이, 상기 제2 중간 몰드 패드(도 13a의 31MPb')의 가운데 영역은 상기 제1 두께 보다 작은 제2 두께를 가질 수 있다.
- [0139] 실시예들에서, 상기 게이트 영역(GA) 및 상기 절연 영역(IA)을 포함하는 적층 구조물(ST)을 제공함으로써, 반도체 소자의 집적도를 향상시킬 수 있다.
- [0141] 다음으로, 도 19 내지 도 20c를 참조하여 변형 실시예에 따른 반도체 소자(1a)를 설명하기로 한다. 도 19 내지 도 20c에서, 도 19는 변형 실시예에 따른 반도체 소자를 나타낸 평면도이고, 도 20a는 도 19의 VI-VI'선을 따라 취해진 영역을 나타낸 단면도이고, 도 20b는 도 19의 VII-VII'선을 따라 취해진 영역을 나타낸 단면도이고, 도 20c는 도 19의 VIII-VIII'선 및 IX-IX'선을 따라 취해진 영역들을 나타낸 단면도이다.
- [0142] 도 19 내지 도 20c를 참조하면, 앞에서 상술한 것과 실질적으로 동일한 상기 하부 구조물(3)이 배치될 수 있다. 상기 하부 구조물(3)은 하부 기판(5), 상기 하부 기판(5) 상의 상부 기판(12), 상기 하부 기판(5)과 상기 상부 기판(12) 사이의 주변 회로 영역(7), 상기 하부 기판(5)를 관통하는 깎필 절연 층(13), 상기 하부 기판(5)의 측면을 둘러싸는 중간 절연 층(14)을 포함할 수 있다.
- [0143] 상기 하부 구조물(3) 상에 적층 구조물(ST')이 배치될 수 있다. 상기 적층 구조물(ST')은 상기 하부 구조물(3) 상의 메모리 셀 어레이 영역(MA) 및 연결 영역(EA) 내에 배치될 수 있다. 상기 적층 구조물(ST')은 도전성 물질을 포함하는 게이트 영역(GA') 및 도전성 물질을 포함하지 않는 절연 영역(IA')을 포함할 수 있다.
- [0144] 상기 게이트 영역(GA')은 상기 메모리 셀 어레이 영역(MA) 내에 배치되며 상기 연결 영역(EA)의 일부 내에 배치될 수 있다.
- [0145] 상기 적층 구조물(ST)은 상기 하부 구조물(3) 상에서 교대로 반복적으로 적층되는 제1 층들(120) 및 제2 층들(123)을 포함할 수 있다. 상기 제1 층들(120)은 상기 게이트 영역(GA') 및 상기 절연 영역(IA') 내에 배치될 수 있다. 상기 제1 층들(120)은 층간 절연 층들일 수 있다.
- [0146] 상기 적층 구조물(ST') 상에 제1 캐핑 절연 층(140) 및 제2 캐핑 절연 층(143)이 배치될 수 있다. 상기 제1 캐핑 절연 층(140)은 상기 제2 층들(123) 중 최상위 제2 층을 덮을 수 있고, 상기 제2 캐핑 절연 층(143)은 상기 제1 캐핑 절연 층(140)의 상부면과 공면을 이루는 상부면을 가질 수 있으며, 상기 적층 구조물(ST')의 나머지 부분을 덮을 수 있다.
- [0147] 상기 하부 구조물(3) 상에 상기 적층 구조물(ST)을 관통하는 복수의 분리 구조물들(169a, 169b, 169c)이 배치될 수 있다. 상기 복수의 분리 구조물들(169a, 169b, 169c)은 상기 메모리 셀 어레이 영역(MA) 및 상기 연결 영역

(EA)을 가로지르는 제1 분리 구조물들(169a) 및 상기 메모리 셀 어레이 영역(MA)을 가로지르며 상기 연결 영역(EA)의 일부 내로 연장되는 제2 분리 구조물(169b), 및 상기 연결 영역(EA)의 일부 내에 배치되는 제3 분리 구조물(169c)을 포함할 수 있다.

- [0148] 상기 제1 분리 구조물들(169a)의 각각은 상기 메모리 셀 어레이 영역(MA)을 가로지르며 상기 연결 영역(EA)의 일부 내로 연장되는 한 쌍의 제1 부분들(169aa) 및 상기 연결 영역(EA) 내에서 상기 한 쌍의 제1 부분들(169aa)과 연결되며 제1 방향(X)으로 연장되는 제2 부분(169a2)을 포함할 수 있다.
- [0149] 상기 제3 분리 구조물(169c)은 상기 제1 분리 구조물들(169a)의 상기 제2 부분들(169b) 사이에 배치될 수 있다. 상기 제2 분리 구조물들(169b)은 상기 제1 분리 구조물들(169a)의 상기 제1 부분들(169a) 사이에 배치될 수 있다.
- [0150] 상기 제3 분리 구조물(169c)의 측면과 상기 제3 분리 구조물(169c)과 인접하는 제1 분리 구조물들(169a)의 제2 부분(169b)의 측면 사이의 거리는 서로 인접하는 상기 제2 분리 구조물들(169b)의 측면들 사이의 거리 보다 클 수 있다. 상기 제3 분리 구조물(169c)의 측면과 상기 제3 분리 구조물(169c)과 인접하는 제1 분리 구조물들(169a)의 제2 부분(169b)의 측면 사이의 거리는 서로 인접하는 어느 하나의 제2 분리 구조물(169b)의 측면과 제1 분리 구조물(169a)의 제1 부분(169a)의 측면 사이의 거리 보다 클 수 있다.
- [0151] 상기 제2 층들(123)은 상기 게이트 영역(GA') 내에 배치될 수 있는 게이트 층들(129G, 131G, 133G, 135G) 및 상기 절연 영역(IA') 내에 배치될 수 있는 몰드 층들(129M, 131M, 135M)을 포함할 수 있다. 따라서, 상기 게이트 영역(GA')과 상기 절연 영역(IA') 사이의 경계 영역에서 서로 동일 높이 레벨에 위치하는 상기 하부 및 중간 게이트 층들(129G, 131G)과 상기 하부 및 중간 몰드 층들(129M, 131M)은 서로 마주볼 수 있다.
- [0152] 일 예에서, 상기 몰드 층들(129M, 131M, 135M)은 도 1 내지 도 12에서 설명한 상기 몰드 층들(12M, 31M, 35M)과 실질적으로 동일한 물질로 형성될 수 있다.
- [0153] 일 예에서, 상기 게이트 층들(29G, 31G, 33G, 35G)의 각각은 도전성 물질을 포함할 수 있다. 예를 들어, 상기 게이트 층들(29G, 31G, 33G, 35G)의 각각은 게이트 전극일 수 있다.
- [0154] 상기 게이트 층들(129G, 131G, 133G, 135G)은 하나 또는 복수의 하부 게이트 층(129G), 상기 하나 또는 복수의 하부 게이트 층(129G) 상의 복수의 중간 게이트 층들(131G), 상기 복수의 중간 게이트 층들(131G) 상의 복수의 상부 게이트 층들(133G), 및 상기 복수의 중간 게이트 층들(131G) 상의 플로팅 게이트 층(135G)을 포함할 수 있다.
- [0155] 상기 몰드 층들(129M, 131M, 135M)은 하나 또는 복수의 하부 몰드 층(129M), 상기 하나 또는 복수의 하부 몰드 층(129M) 상의 복수의 중간 몰드 층들(131M), 및 상기 복수의 중간 몰드 층들(131M) 상의 플로팅 몰드 층(135M)을 포함할 수 있다.
- [0156] 상기 게이트 층들(29G, 31G, 33G, 35G)은 계단 구조로 배열되는 복수의 게이트 패드들을 포함할 수 있고, 상기 몰드 층들(29M, 31M, 35M)은 계단 구조로 배열되는 복수의 몰드 패드들을 포함할 수 있다. 예를 들어, 상기 하나 또는 복수의 하부 게이트 층(129G)은 하나 또는 복수의 하부 게이트 패드(129GP)를 포함할 수 있고, 상기 중간 게이트 층들(131G)은 중간 게이트 패드들(131GP)을 포함할 수 있고, 상기 상부 게이트 층들(133G)은 상부 게이트 패드들(133GP)를 포함할 수 있다. 상기 하나 또는 복수의 하부 몰드 층들(129M)은 하나 또는 복수의 하부 몰드 패드(129MP)를 포함할 수 있고, 상기 중간 몰드 층들(131M)은 중간 몰드 패드들(131MP)을 포함할 수 있다.
- [0157] 상기 하부, 중간 및 상부 게이트 패드들(129GP, 131GP, 133GP) 중 적어도 하나는 각각의 상기 게이트 층들(129G, 131G, 133G)의 두께 보다 큰 두께를 가질 수 있다. 여기서, 각각의 상기 게이트 층들(129G, 131G, 133G)의 두께는 상기 하부, 중간 및 상부 게이트 패드들(129GP, 131GP, 133GP)이 위치하지 않는 상기 게이트 층들(129G, 131G, 133G)의 영역의 두께를 의미할 수 있다.
- [0158] 상기 하부 및 중간 몰드 패드들(129MP, 131MP) 중 적어도 하나는 각각의 상기 게이트 층들(129G, 131G, 133G)의 두께 보다 큰 두께를 가질 수 있다. 여기서, 각각의 상기 게이트 층들(129G, 131G, 133G)의 두께는 상기 하부, 중간 및 상부 게이트 패드들(129GP, 131GP, 133GP)이 위치하지 않는 상기 게이트 층들(129G, 131G, 133G)의 영역의 두께를 의미할 수 있다.
- [0160] 상기 중간 게이트 패드들(131GP)은 도 6에서 설명한 상기 제1 중간 패드들(도 6의 31GPa)과 실질적으로 동일한 물질 및 구조의 제1 중간 게이트 패드들(131GPa)를 포함할 수 있고, 도 6에서 설명한 상기 제2 중간 게이트 패드(도 6의 31GPb)와 실질적으로 동일한 물질 및 구조의 제2 중간 게이트 패드(131GPb)를 포함할 수 있다. 상기

제2 중간 게이트 패드(131GPb)는, 도 6에서 설명한 것과 마찬가지로, 서로 이격된 제1 부분(131GPb1) 및 제2 부분(131GPb2)을 포함할 수 있고, 상기 제1 부분(131GPb1) 및 상기 제2 부분(131GPb2) 사이의 상기 제2 중간 게이트 패드(131GPb)의 가운데 영역은 상기 캐핑 절연 층(143)에 의해 채워질 수 있다.

[0161] 상기 하부 게이트 패드들(129GP)은 도 5에서 설명한 상기 제1 하부 게이트 패드들(도 5의 29GPa)과 실질적으로 동일한 물질 및 구조의 제1 하부 게이트 패드들(129GPa)를 포함할 수 있고, 도 5에서 설명한 상기 제2 하부 게이트 패드(도 5의 29GPb)과 실질적으로 동일한 물질 및 구조의 제2 하부 게이트 패드(129GPb)를 포함할 수 있다. 상기 제2 하부 게이트 패드(129GPb)는, 도 5에서 설명한 것과 마찬가지로, 서로 이격된 제1 부분(129GPb1) 및 제2 부분(129GPb2)을 포함할 수 있고, 상기 제1 부분(129GPb1) 및 상기 제2 부분(129GPb2) 사이의 상기 제2 하부 게이트 패드(129GPb)의 가운데 영역은 상기 캐핑 절연 층(143)에 의해 채워질 수 있다.

[0162] 상기 중간 몰드 패드들(131MP)은 도 4에서 설명한 상기 제1 중간 몰드 패드들(도 4의 31MPa)과 실질적으로 동일한 물질 및 구조의 제1 중간 몰드 패드들(131MPa)를 포함할 수 있고, 도 4에서 설명한 상기 제2 중간 몰드 패드(도 4의 31MPb)과 실질적으로 동일한 물질 및 구조의 제2 중간 몰드 패드(131MPb)를 포함할 수 있다. 예를 들어, 상기 중간 몰드 패드들(131MP)의 각각은, 도 4에서 설명한 것과 마찬가지로, 몰드 패드 부(124a) 및 상기 몰드 패드 부(124a) 상의 절연 돌출 부(124b)를 포함할 수 있다. 상기 제2 중간 몰드 패드(131MPb)는, 도 4에서 설명한 것과 마찬가지로, 서로 이격된 제1 부분(131MPb1) 및 제2 부분(131MPb2)을 포함할 수 있다. 상기 제2 중간 몰드 패드(131MPb)의 가운데 영역은 상기 절연 돌출 부(124b)를 포함하지 않을 수 있다. 예를 들어, 상기 제1 부분(131MPb1) 및 상기 제2 부분(131MPb2) 사이의 상기 제2 중간 몰드 패드(131MPb)의 가운데 영역은 상기 캐핑 절연 층(143)에 의해 채워질 수 있다.

[0163] 상기 하부 몰드 패드들(129MP)은 제1 하부 몰드 패드(129MPa) 및 제2 하부 몰드 패드(129MPb)를 포함할 수 있다. 상기 제2 하부 몰드 패드(129MPb)는 상기 중간 몰드 패드들(131MP)과 인접할 수 있으며, 서로 이격된 제1 부분(129MPb1) 및 제2 부분(129MPb2)을 포함할 수 있다. 상기 제2 하부 몰드 패드(129MPb)의 가운데 영역은 상기 절연 돌출 부(124b)를 포함하지 않을 수 있다. 예를 들어, 상기 제1 부분(129MPb1) 및 상기 제2 부분(129MPb2) 사이의 상기 제2 하부 몰드 패드(129MPb)의 가운데 영역은 상기 캐핑 절연 층(143)에 의해 채워질 수 있다.

[0164] 도 19에서, 도면부호 "CT"는 상술한 상기 제2 중간 몰드 패드(131MPb)의 가운데 영역과 상기 제2 중간 게이트 패드(131GPb)의 가운데 영역, 및 상기 제2 하부 몰드 패드(129MPb)의 가운데 영역과 상기 제2 하부 게이트 패드(129GPb)의 가운데 영역을 나타낼 수 있다.

[0165] 상기 제1 캐핑 절연 층(140) 및 상기 제2 캐핑 절연 층(143) 상에 차례로 적층된 제1 상부 절연 층(166) 및 제2 상부 절연 층(172)이 배치될 수 있다. 상기 제1 내지 제3 분리 구조물들(169a, 169b, 169c)은 상기 적층 구조물(ST')을 관통하며 상부로 연장되어, 상기 제1 및 제2 캐핑 절연 층들(140, 143), 및 상기 제1 상부 절연 층(166)을 관통할 수 있다.

[0166] 상기 제1 상부 절연 층(166) 및 상기 제2 상부 절연 층(172)을 관통하며 상기 메모리 셀 수직 구조물(146)과 전기적으로 연결되는 비트라인 콘택 플러그들(178)이 배치될 수 있다.

[0167] 상기 연결 영역(EA) 내에서, 상기 제1 상부 절연 층(166) 및 상기 제2 상부 절연 층(172)을 관통하며 하부로 연장되어 상기 하부, 중간 및 상부 게이트 패드들(129GP, 131GP, 133GP)과 전기적으로 연결되는 게이트 콘택 구조물들(175)이 배치될 수 있다.

[0168] 상기 주변 배선들(8)의 주변 패드 부분들(8P)과 접촉하며 상부로 연장되어 상기 갭필 절연 층(113) 및 상기 적층 구조물(ST')의 상기 절연 영역(IA')을 관통하는 주변 콘택 구조물들(181)이 배치될 수 있다.

[0169] 상기 게이트 콘택 구조물들(175) 및 상기 주변 콘택 구조물들(181) 상에 게이트 연결 배선들(185)이 배치될 수 있다.

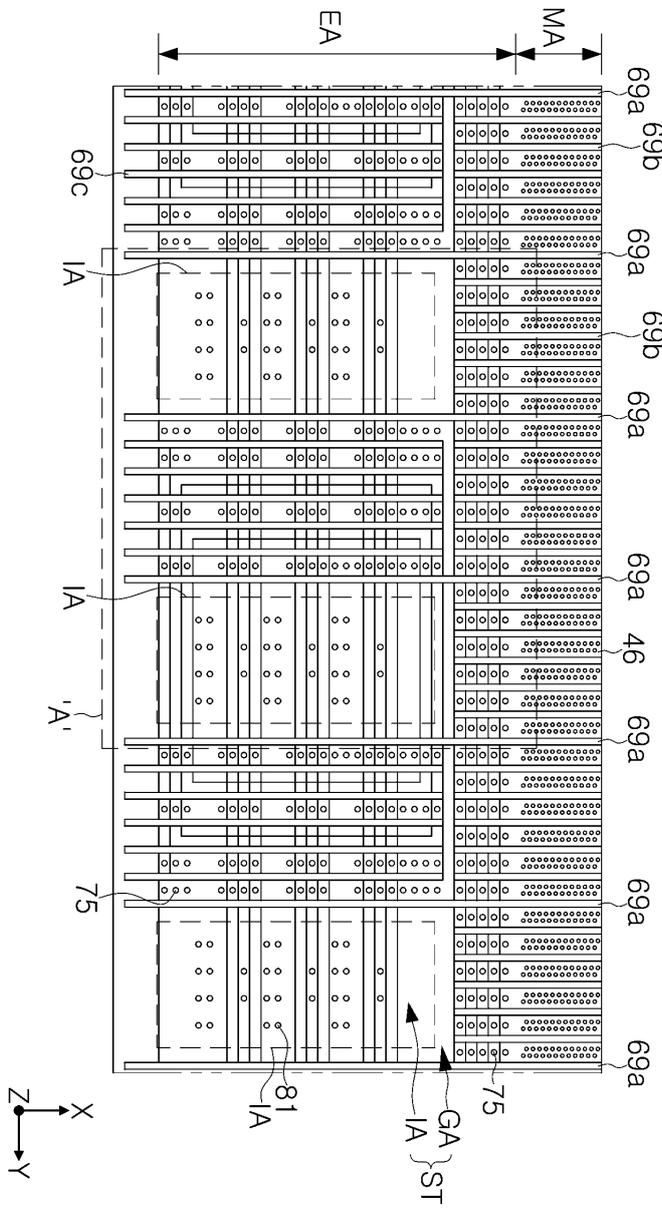
[0170] 상기 비트라인 콘택 플러그들(78) 상에 비트라인들(84)이 배치될 수 있다.

[0172] 다음으로, 도 21, 도 22a 내지 도 23b를 참조하여 본 발명의 일 실시예에 따른 반도체 소자 형성 방법의 일 예를 설명하기로 한다. 도 21은 본 발명의 일 실시예에 따른 반도체 소자 형성 방법을 나타낸 공정 흐름도이고, 도 22a 내지 도 23b는 본 발명의 일 실시예에 따른 반도체 소자 형성 방법의 일 예를 나타낸 단면도들이다. 도 22a 내지 도 23b에서, 도 22a 및 도 23a는 도 19의 VII-VII'선을 따라 취해진 영역을 나타낸 단면도들이고, 도 22b 및 도 23b는 도 19의 VIII-VIII'선 및 IX-IX'선을 따라 취해진 영역들을 나타낸 단면도들이다.

- [0173] 도 19, 도 21, 도 22a 및 도 22b를 참조하면, 하부 구조물(3) 상에 층간 절연 층들(120) 및 몰드 층들(121)을 포함하는 몰드 구조물(119)을 형성할 수 있다 (S10). 상기 층간 절연 층들(120)은 실리콘 산화물로 형성할 수 있고, 상기 몰드 층들(121)은 제1 실리콘 질화물로 형성할 수 있다. 상기 층간 절연 층들(120) 및 상기 몰드 층들(121)은 교대로 반복적으로 적층될 수 있다.
- [0174] 상기 하부 구조물(3)은 하부 기판(5), 상기 하부 기판(5) 상의 상부 기판(12), 상기 하부 기판(5)과 상기 상부 기판(12) 사이의 주변 회로 영역(7), 상기 하부 기판(5)을 관통하는 갭필 절연 층(13), 상기 하부 기판(5)의 측면을 둘러싸는 중간 절연 층(14)을 포함할 수 있다.
- [0175] 상기 몰드 구조물(119)은 상기 하부 구조물(3) 상의 메모리 셀 어레이 영역(MA) 및 연결 영역(EA) 내에 형성될 수 있다.
- [0176] 상기 연결 영역(EA) 내에서, 상기 몰드 층들(121)을 노출시키는 계단 구조를 형성할 수 있다 (S20). 예를 들어, 상기 층간 절연 층들(120) 및 상기 몰드 층들(121)을 패터닝하여 계단 구조를 형성하고, 이와 같은 계단 구조에 의해서 상기 몰드 층들(121)이 노출될 수 있다. 이와 같은 계단 구조는 도면에 도시된 형태 뿐만 아니라, 다양한 형태로 형성될 수 있다. 예를 들어, 도 1 내지 도 12에서 설명한 적층 구조물(ST)의 계단 구조와 같이 형성될 수도 있다.
- [0177] 상기 연결 영역(EA) 내에서, 상기 노출된 몰드 층들(121) 상에 추가 몰드 층들(124b)을 형성하여, 두께가 증가된 패드 영역들(121P)을 형성할 수 있다 (S30).
- [0178] 사진 및 식각 공정을 진행하여, 상기 패드 영역들(121P)중 일부 패드 영역을 식각할 수 있다 (S40).
- [0179] 일 예에서, 이와 같이 식각되는 일부 패드 영역은 식각되지 않은 다른 패드 영역의 제1 방향(X)의 길이 보다 큰 제1 방향(X)의 길이를 가질 수 있다. 이와 같이 식각되는 일부 패드 영역은 식각되어 서로 이격된 제1 부분(121P1) 및 제2 부분(121P2)으로 구분될 수 있다.
- [0180] 일 예에서, 상기 패드 영역들(121P)중 일부 패드 영역을 식각하는 것은 식각되는 패드 영역의 추가 몰드 층 및 몰드 층을 모두 제거하는 것을 포함할 수 있다.
- [0181] 다른 예에서, 상기 패드 영역들(121P)중 일부 패드 영역을 식각하는 것은 식각되는 패드 영역의 추가 몰드 층 및 몰드 층 중에서 추가 몰드 층만 제거하고 몰드 층은 잔존시키는 것을 포함할 수 있다.
- [0182] 상기 몰드 구조물(119)을 덮는 캐핑 절연 층(140, 143)을 형성할 수 있다. 상기 캐핑 절연 층(140, 143)은 상기 계단 구조를 형성하기 전에 형성하는 제1 캐핑 절연 층(140) 및 상기 계단 구조를 형성한 후에 형성하는 제2 캐핑 절연 층(143)을 포함할 수 있다. 상기 제1 캐핑 절연 층(140) 및 상기 몰드 구조물(119)을 관통하는 메모리 셀 수직 구조물(146)을 형성할 수 있다. 상기 메모리 셀 수직 구조물(146)은 앞의 도 12에서 설명한 상기 메모리 수직 구조물(도 12의 46)과 동일한 구조로 형성될 수 있다.
- [0183] 도 19, 도 21, 도 23a 및 도 23b와 함께, 도 20a 내지 도 20c를 참조하면, 절연 층(166)을 형성할 수 있다 (S50). 예를 들어, 상기 제1 및 제2 캐핑 절연 층들(140, 143) 상에 제1 상부 절연 층(166)을 형성할 수 있다. 상기 제1 상부 절연 층(166), 상기 제1 및 제2 캐핑 절연 층들(140, 143) 및 상기 몰드 구조물(도 22a의 119)을 차례로 관통하는 분리 트렌치들(165)을 형성할 수 있다.
- [0184] 상기 몰드 층들(121) 중 일부 및 상기 추가 몰드 층들(124b) 중 일부를 게이트 층들(도 20a 내지 도 20c의 129G, 131G, 133G, 135G)로 대체할 수 있다 (S60).
- [0185] 상기 몰드 층들(121) 중 일부 및 상기 추가 몰드 층들(124b) 중 일부를 게이트 층들(도 20a 내지 도 20c의 129G, 131G, 133G, 135G)로 대체하는 것은 상기 분리 트렌치들(165)에 의해 노출된 상기 몰드 층들(121) 및 상기 추가 몰드 층들(124b)을 부분 식각하여, 빈 공간들(167)을 형성하고, 상기 빈 공간들(167) 내에 상기 게이트 층들(도 20a 내지 도 20c의 129G, 131G, 133G, 135G)을 형성하는 것을 포함할 수 있다.
- [0186] 잔존하는 상기 몰드 층들(도 23a 및 도 23b의 121) 및 상기 추가 몰드 층들(도 23a 및 도 23b의 124b)은 앞에서 도 20a 및 도 20b를 참조하여 설명한 상기 몰드 층들(129M, 131M, 135M)을 구성할 수 있다.
- [0187] 도 19 및 도 20a 내지 도 20c를 참조하면, 상기 분리 트렌치들(도 23b의 165)를 채우는 분리 구조물들(도 20c의 169a, 169b, 169c)를 형성할 수 있다. 상기 제1 상부 절연 층(166) 상에 제2 상부 절연 층(172)을 형성할 수 있다.

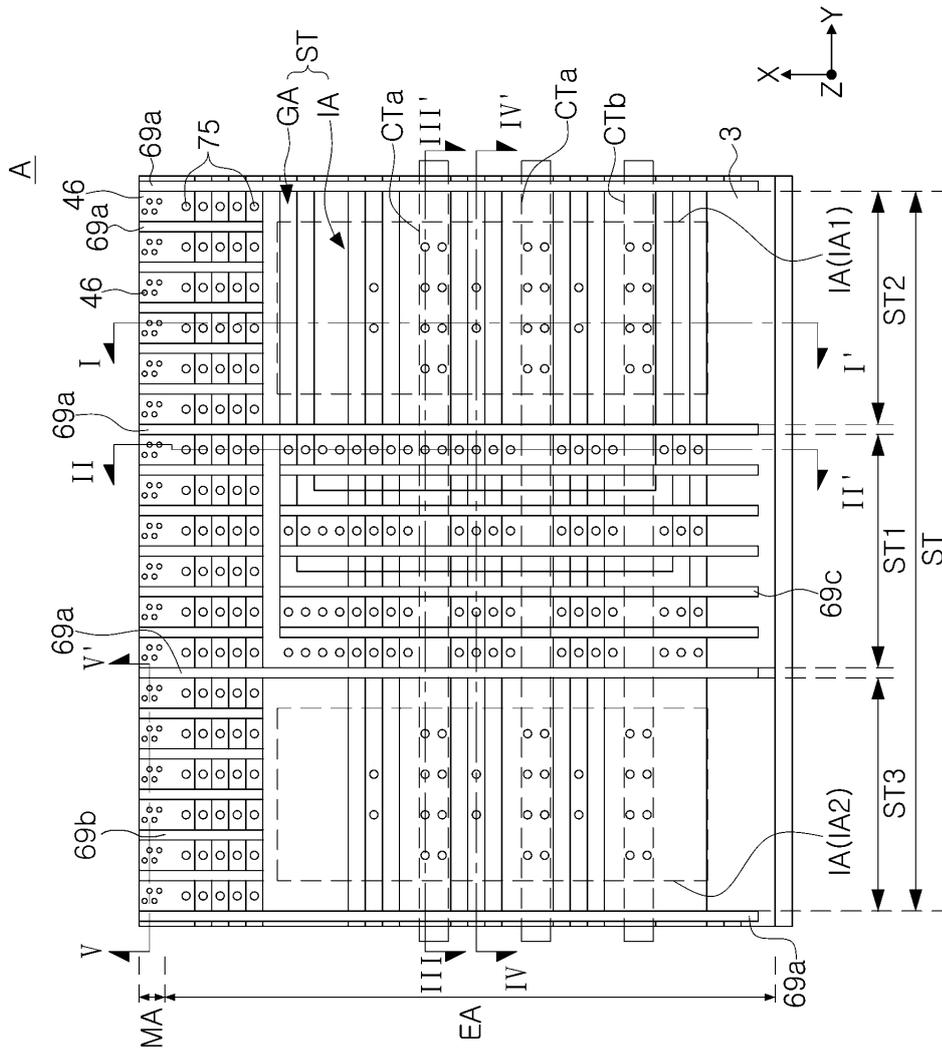
도면

도면1

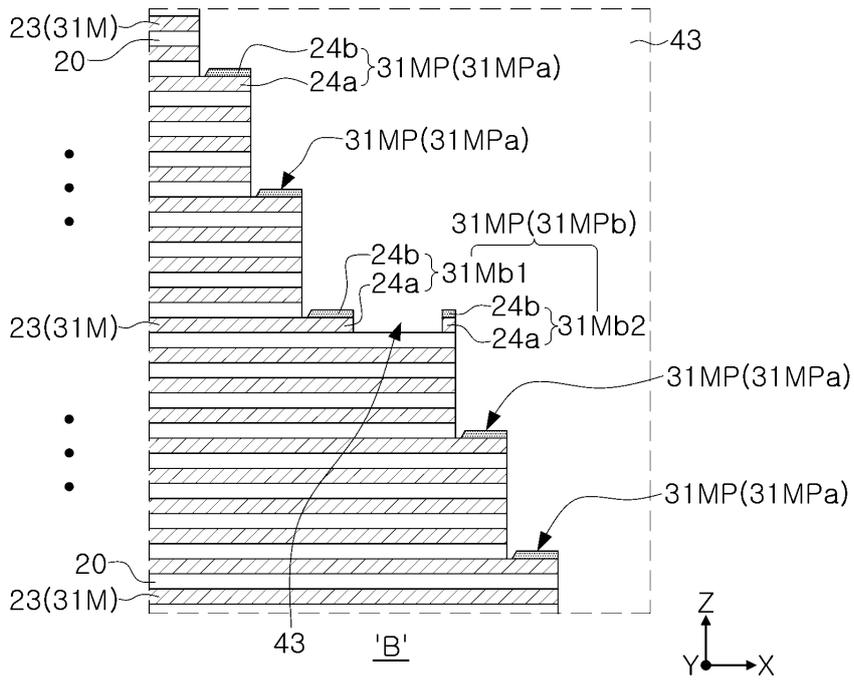


1

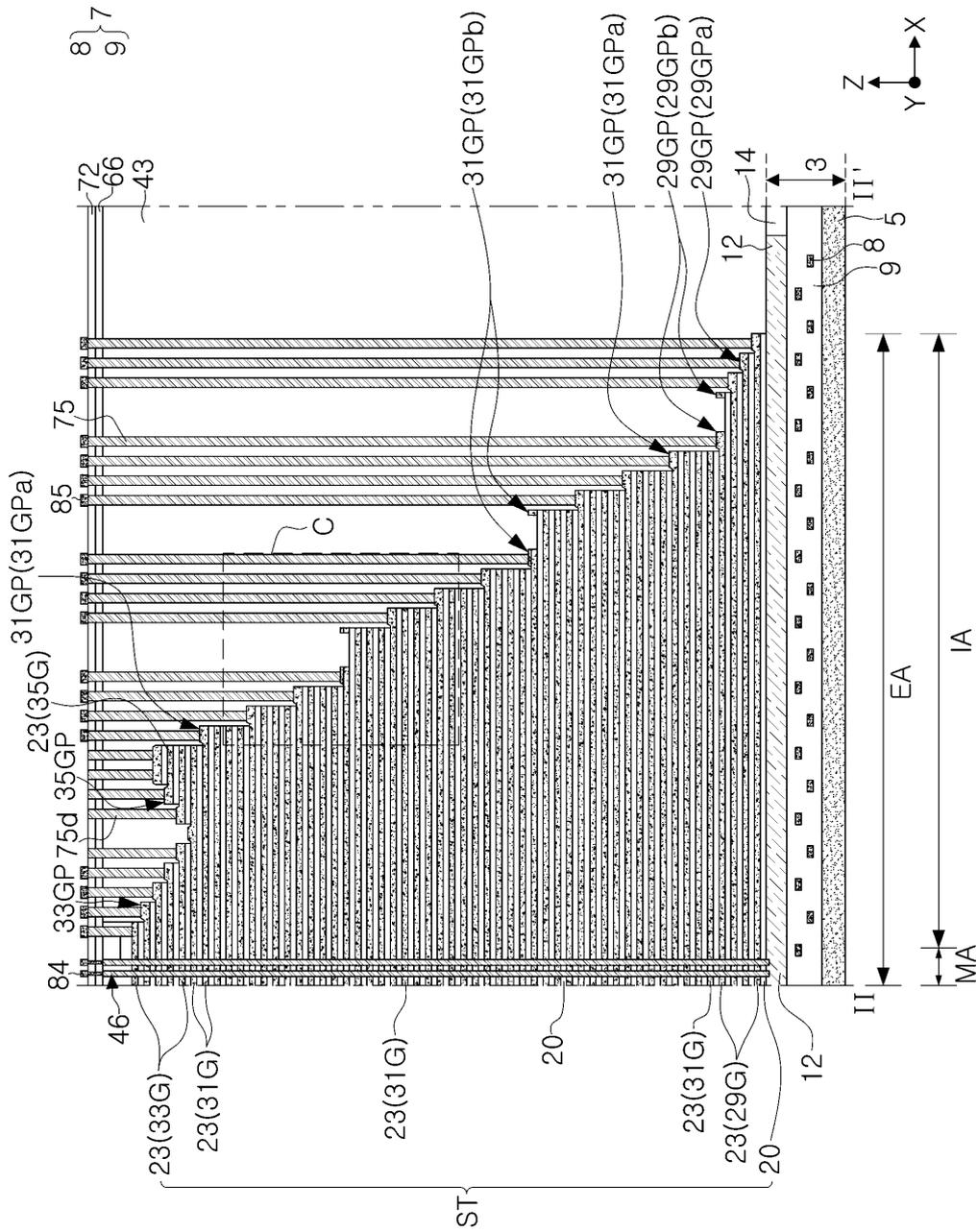
도면2



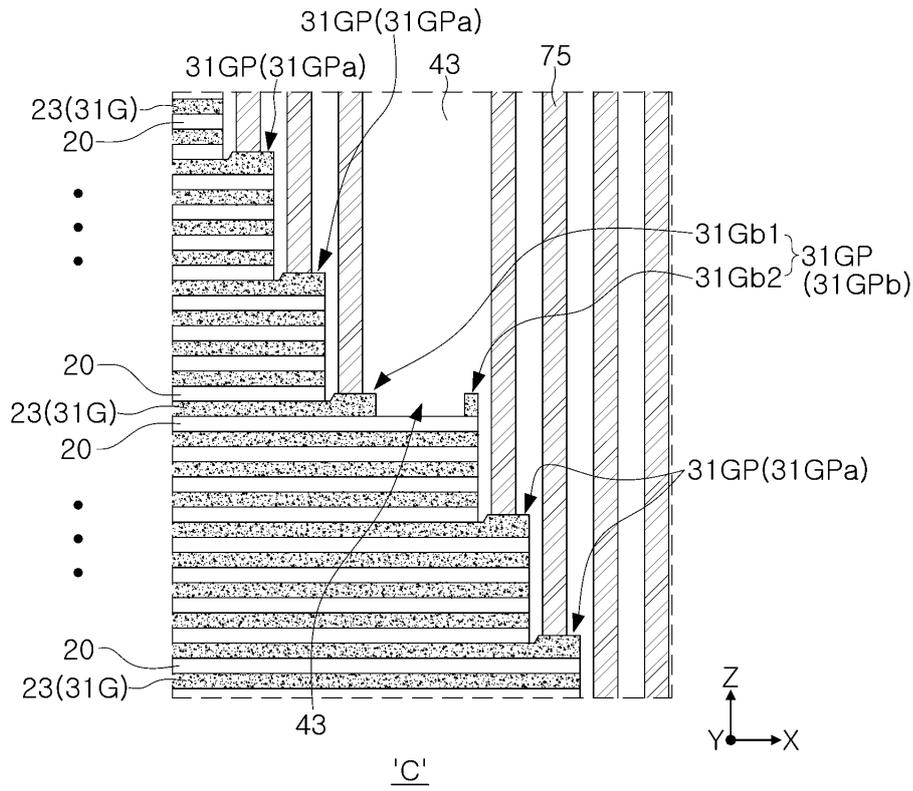
도면4



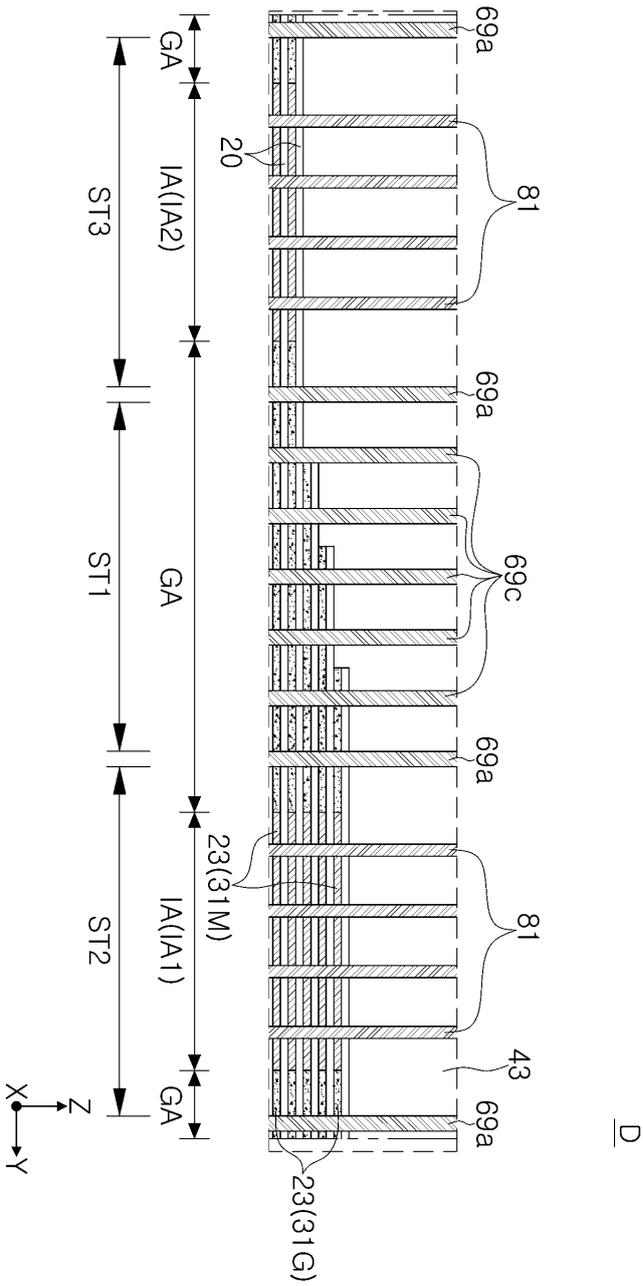
도면5



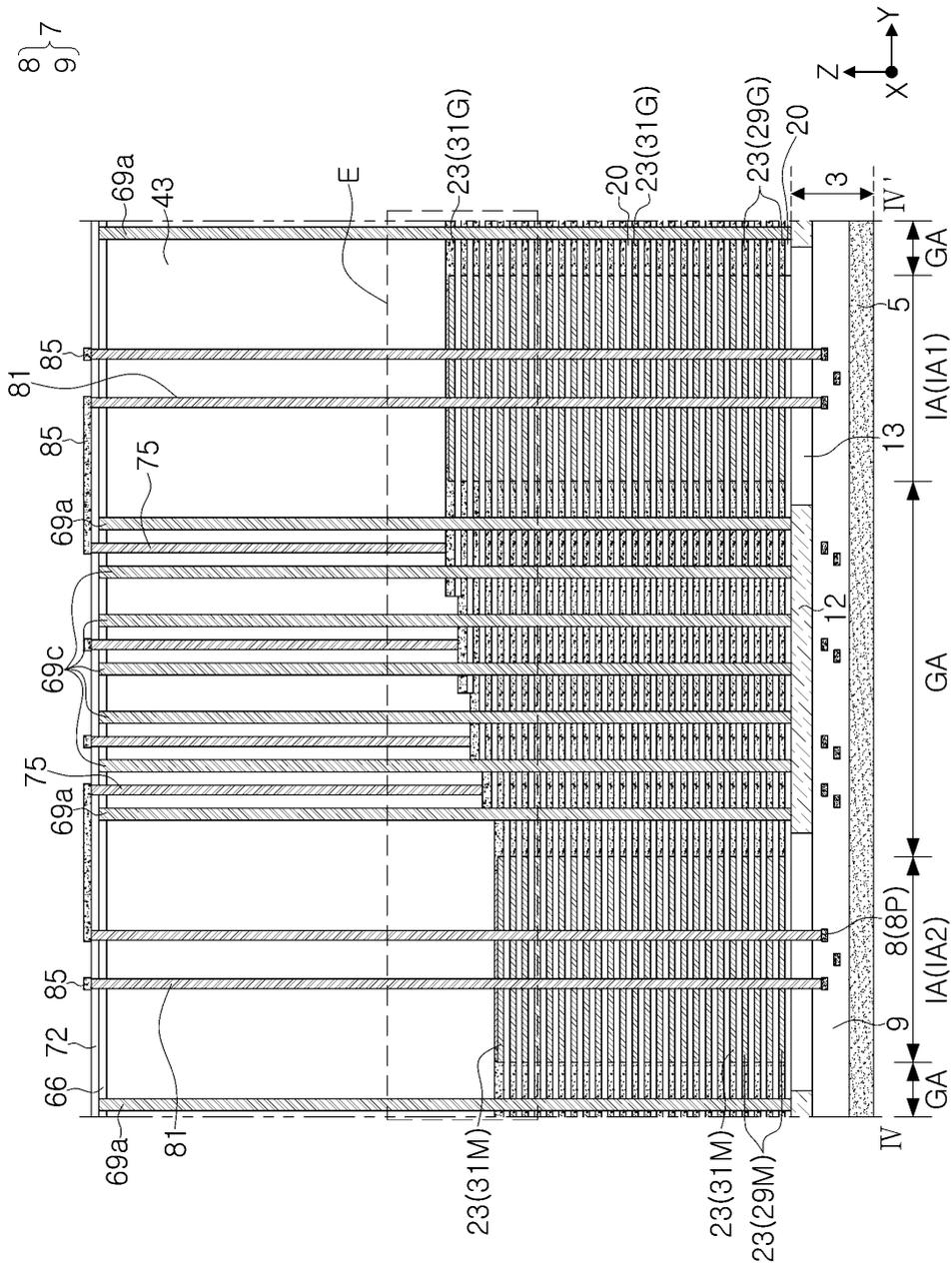
도면6



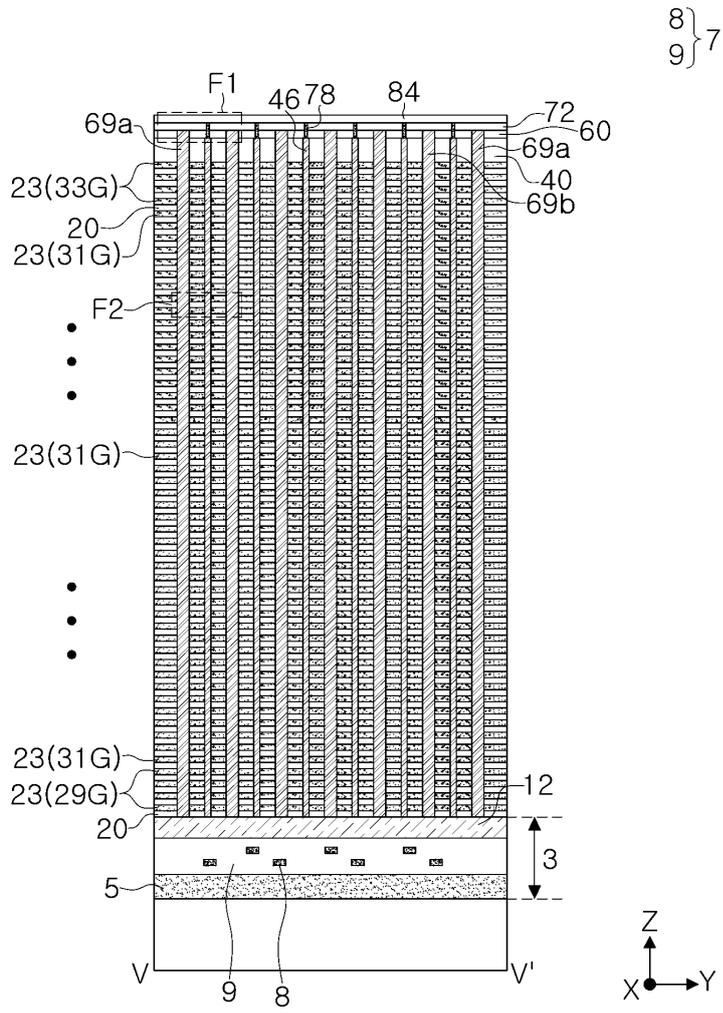
도면8



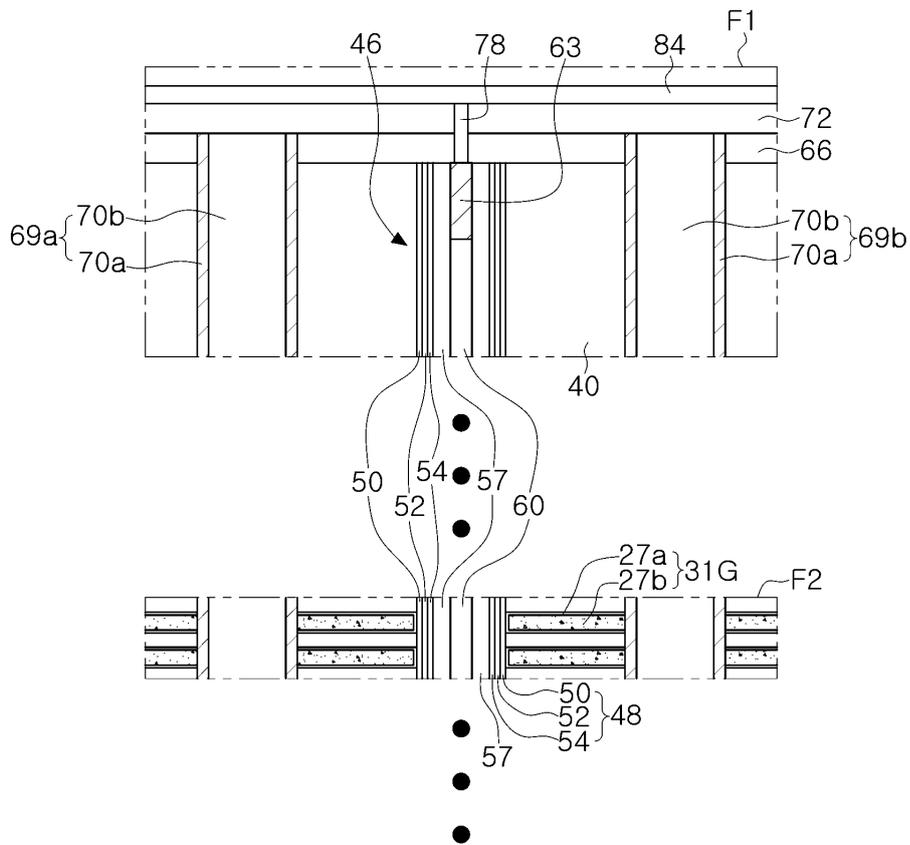
도면9



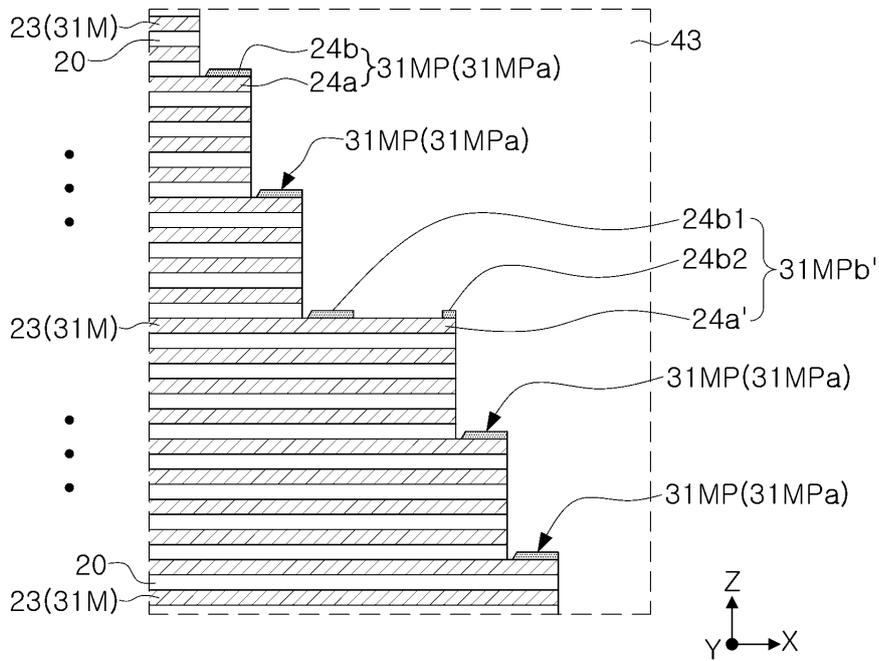
도면11



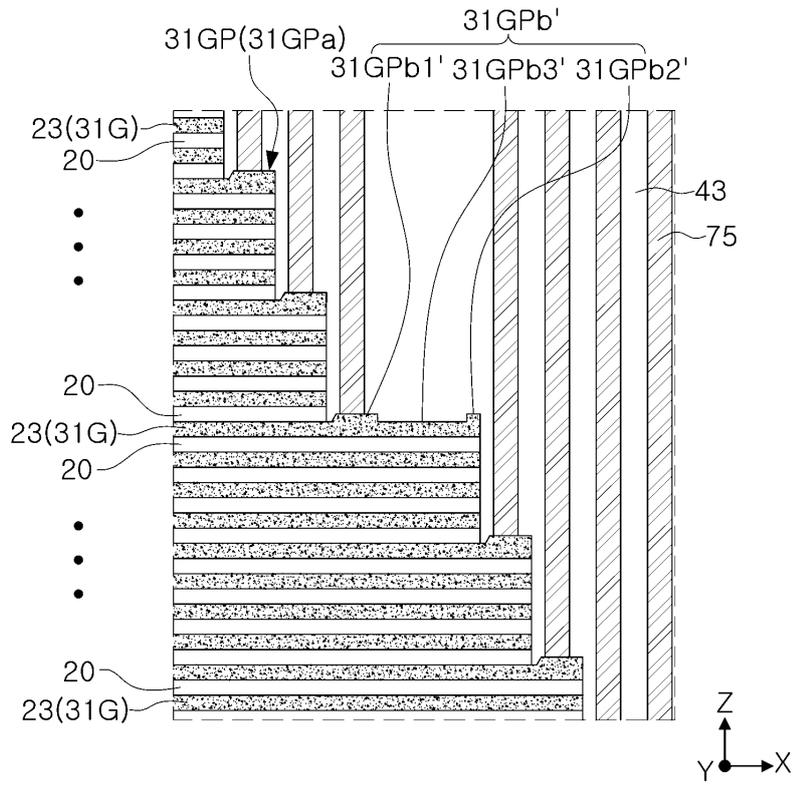
도면12



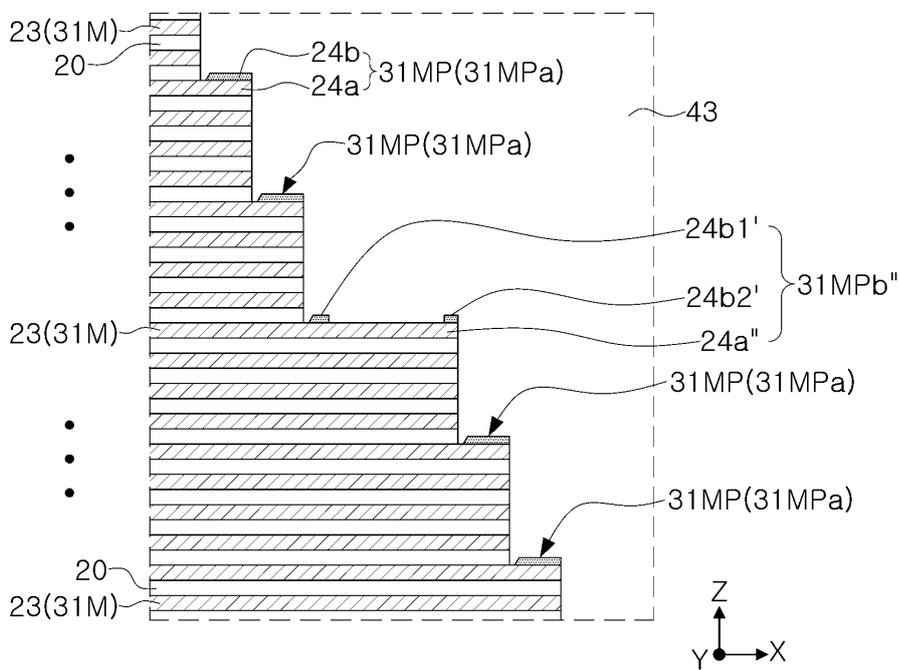
도면13a



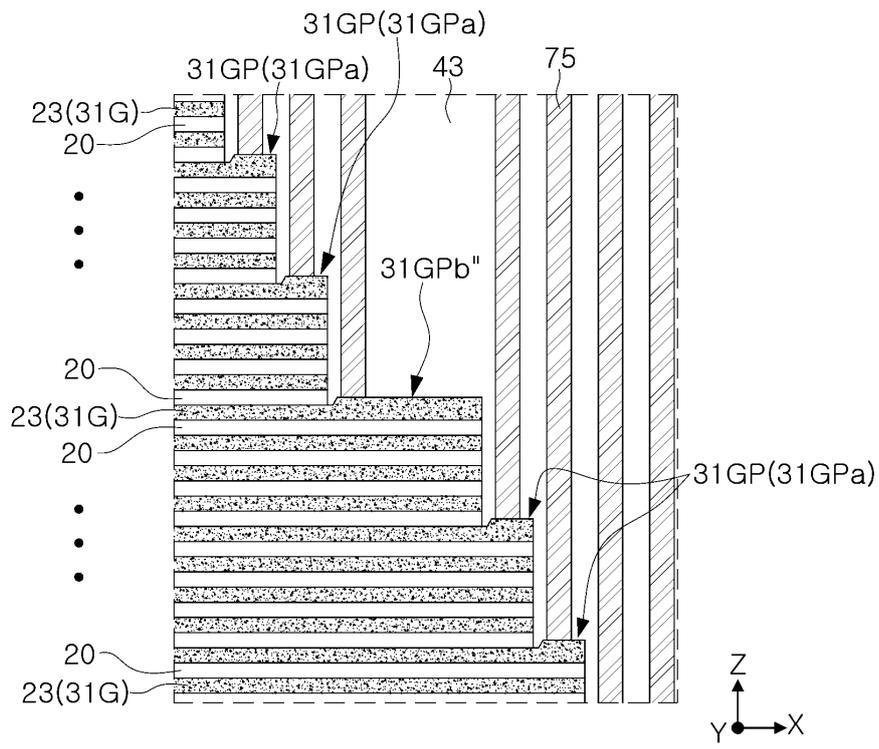
도면13b



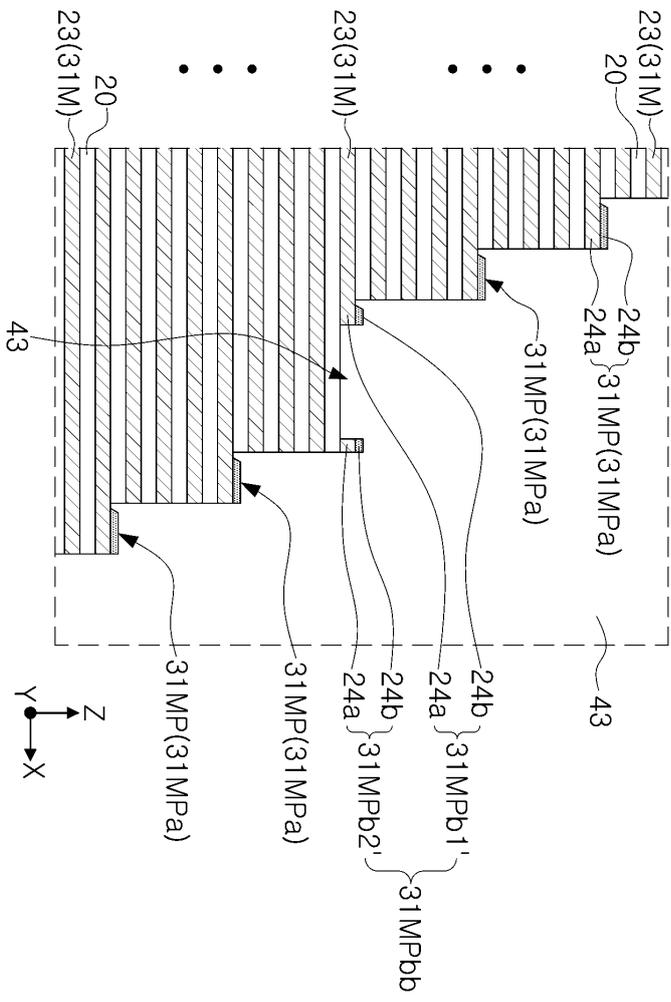
도면14



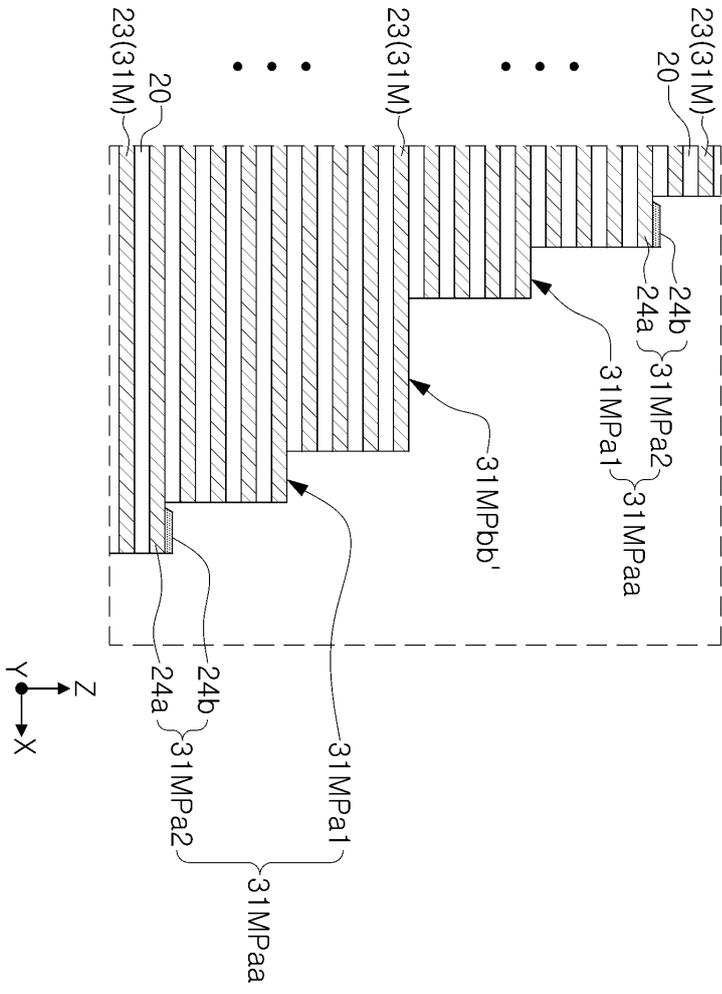
도면15



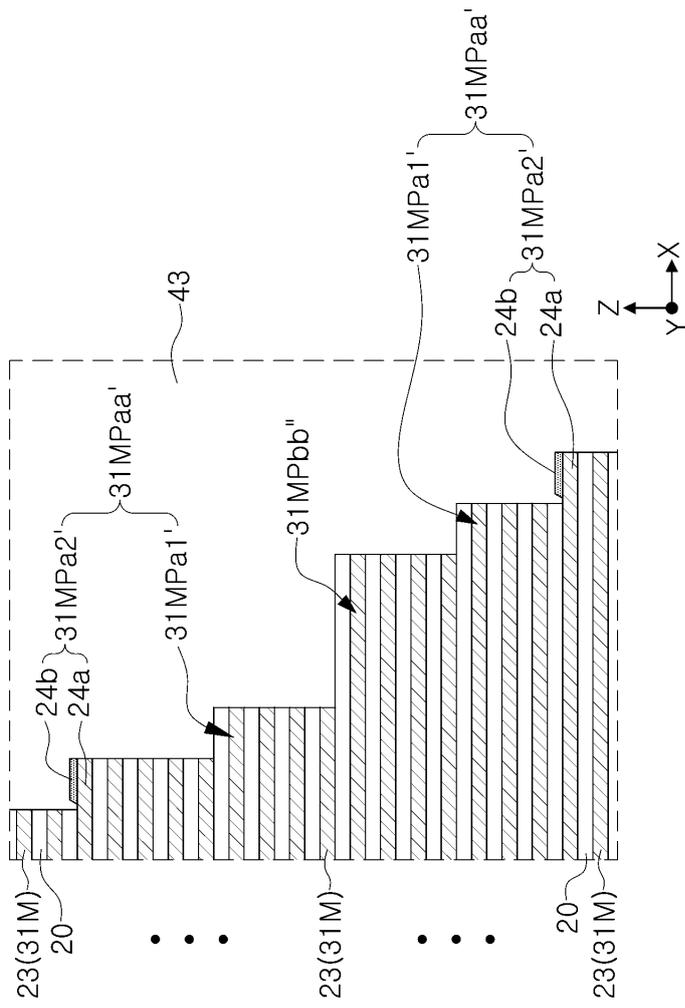
도면16



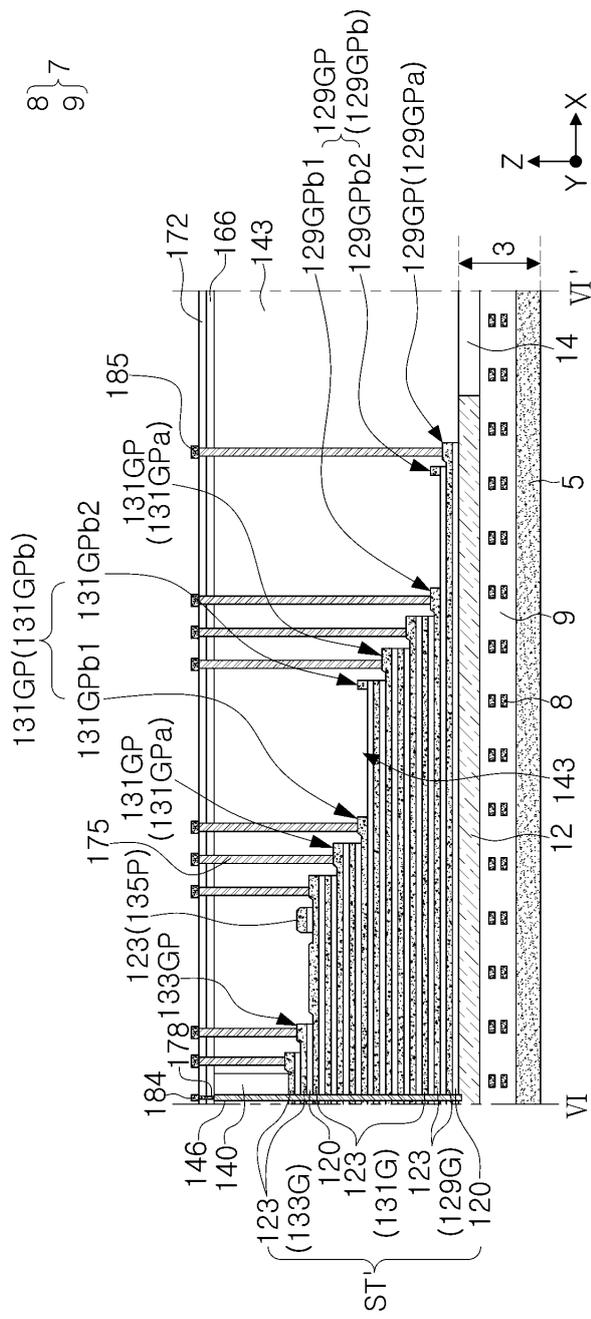
도면17



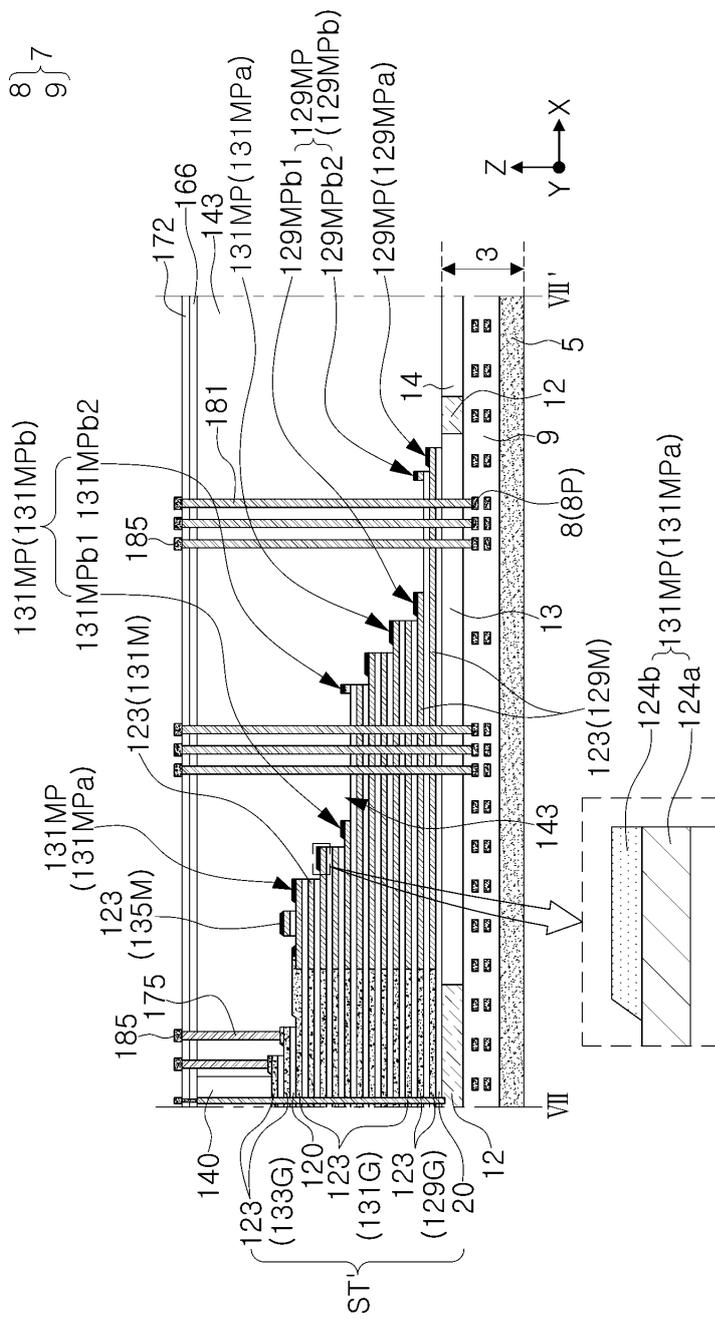
도면18



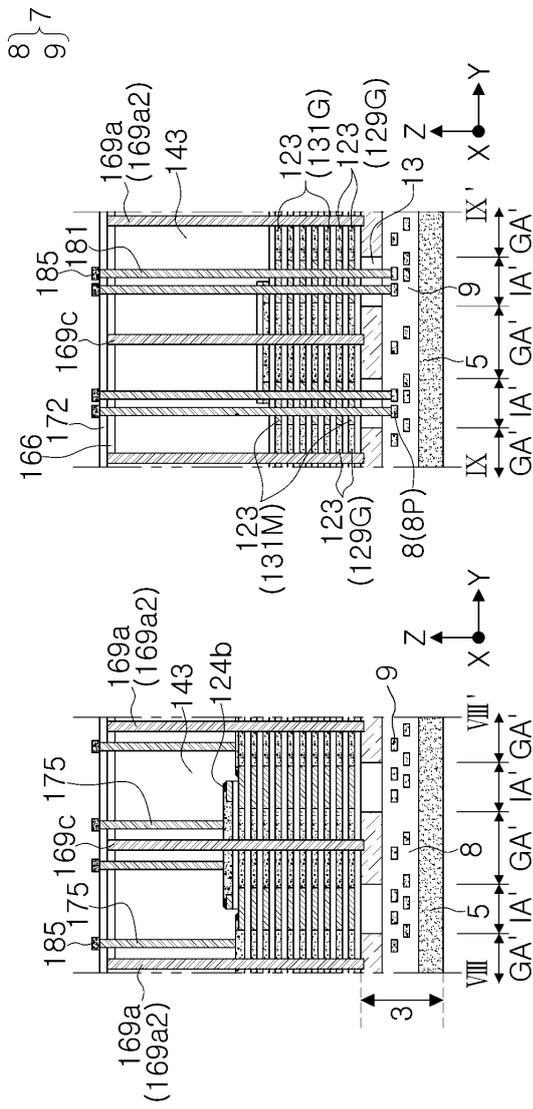
도면20a



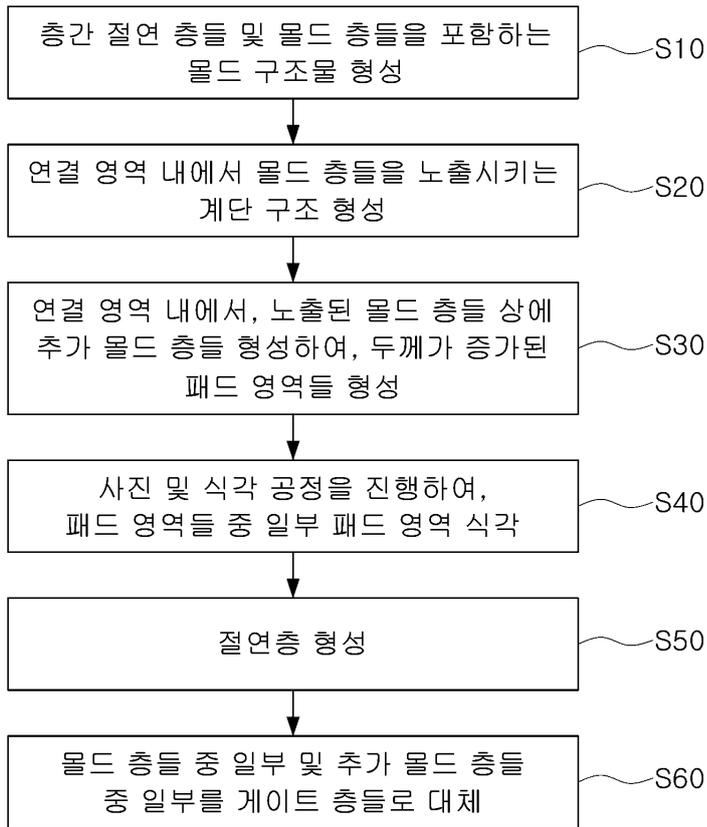
도면20b



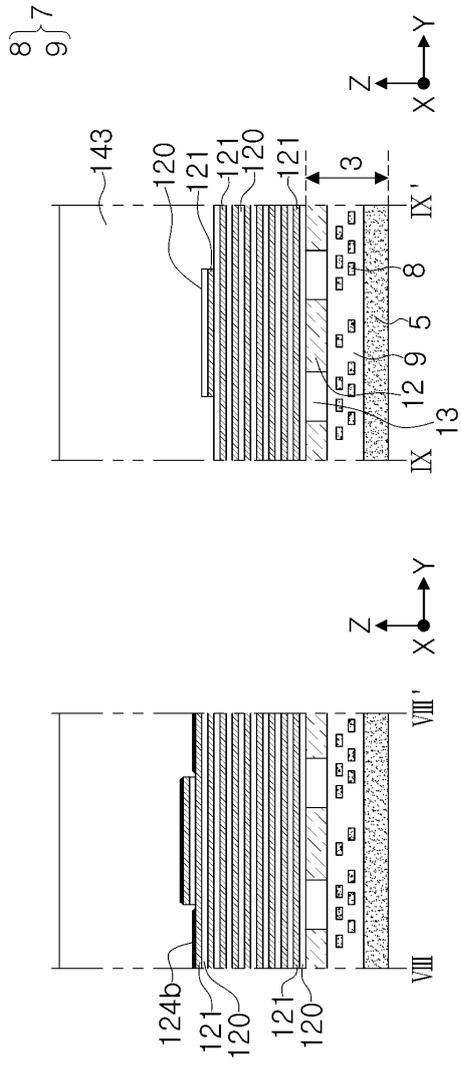
도면20c



도면21

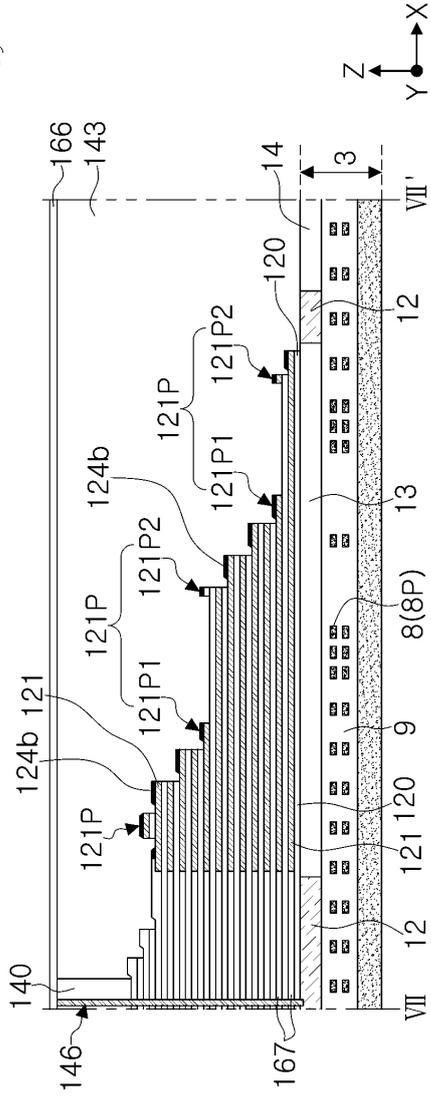


도면22b



도면23a

8 }
9 }



도면23b

8 }
9 }

