

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>7</sup>  
H01L 29/788

(45) 공고일자 2005년04월22일  
(11) 등록번호 10-0484372  
(24) 등록일자 2005년04월12일

(21) 출원번호	10-2002-7008763	(65) 공개번호	10-2002-0064984
(22) 출원일자	2002년07월06일	(43) 공개일자	2002년08월10일
번역문 제출일자	2002년07월06일		
(86) 국제출원번호	PCT/US2001/000707	(87) 국제공개번호	WO 2001/50507
국제출원일자	2001년01월08일	국제공개일자	2001년07월12일

(81) 지정국

국내특허 : 아랍에미리트, 안티구와바부다, 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바르바도스, 불가리아, 브라질, 벨라루스, 벨리제, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 도미니카, 알제리, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르키즈스탄, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 모로코, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 모잠비크, 노르웨이, 뉴질랜드, 폴란드, 포르투갈, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 슬로베니아, 슬로바키아, 타지키스탄, 투르크멘, 터키, 트리니다드토바고, 탄자니아, 우크라이나, 우간다, 우즈베키스탄, 베트남, 남아프리카,

AP ARIPO특허 : 가나, 감비아, 케냐, 레소토, 말라위, 수단, 시에라리온, 스와질랜드, 우간다, 짐바브웨,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크멘,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 사이프러스, 독일, 덴마크, 스페인, 핀란드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴,

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디부아르, 카메룬, 가봉, 기니, 기니 비사우, 말리, 모리타니, 니제르, 세네갈, 차드, 토고,

(30) 우선권주장 09/478,975 2000년01월06일 미국(US)

(73) 특허권자 미크론 테크놀로지,인코포레이티드  
미국, 아이다호 83716, 보이시, 사우스 페드럴웨이 8000

(72) 발명자 포비스,레오너드  
미국,오레곤97339-1716,코발리스,사서함1716,노스웨스트하이랜드테라스965

안,키와이.  
미국,뉴욕10514,채퍼카,웨이커스트리트639

트랜,루안씨.  
미국,아이다호83642,메르디안,웨스트샌디코트1125

(74) 대리인 강석용  
강명구

심사관 : 임동우

## (54) 반도체 구조물 제작 방법

### 요약

발명의 한가지 태양은 반도체 구조물을 형성하는 방법을 포함한다. 제 1 층과 제 2 층으로 구성되는 패턴처리 라인이 형성된다. 제 1 층은 실리콘으로 제 2 층은 금속으로 만들어진다. 상기 라인은 제 1 층 형성부와 제 2 층 형성부로 구성되는 한 개 이상의 측면 변부를 가진다. 상기 한 개 이상의 측면 변부를 따라 제 3 층이 형성된다. 제 3 층은 실리콘을 포함하며 측면 변부의 제 1 층 형성부와 측면 변부의 제 2 층 형성부를 따라 놓인다. 제 3 층의 실리콘은 제 2 층의 금속과 반응하여 측면 변부의 제 2 층 형성부를 따라 실리사이드를 형성한다. 제 3 층의 실리콘이 제거되어, 제 1 층의 실리콘, 제 2 층의 금속, 그리고 실리사이드를 남긴다.

### 대표도

도 7

### 명세서

#### 기술분야

본 발명은 FET와 플래시 메모리 소자용 트랜지스터 게이트를 형성하는 방법을 포함한, 반도체 구조물 형성 방법에 관한 것이다.

#### 배경기술

반도체 소자 제작에서는 지정 반도체 면적에 대한 회로 밀도를 높이는 것이 끊이지 않는 목표이다. 이러한 목표는 반도체 회로 요소의 크기 감소를 통해 구현된다. 예를 들어, 1970년대 초반에는 DRAM 소자 내 FET 트랜지스터 게이트의 전형적 게이트 길이는 5~6 마이크로 수준이었고, 게이트의 유일한 전도 물질로 폴리실리콘이 이용되었었다. 1980년대 후반에는 DRAM 제작이 발전되어 게이트 길이를 1마이크론 수준으로 축소하였다. 그러나, 게이트 라인의 유일한 전도 성분으로 전도성 도핑된 폴리실리콘이 사용될 경우 워드라인 저항이 너무 높다는 것이 발견되었고 따라서 폴리실리콘 위에 실리사이드(텅스텐 실리사이드, 몰리브덴 실리사이드, 티타늄 실리사이드 등)가 증착되었다. 그 위에 실리사이드를 가지는 전도성 도핑된 폴리실리콘을 포함하는 게이트 물질의 적층구조를 나타내기 위해 "폴리사이드(polycide)"라는 용어가 제시되었다.

1990년대의 기술적 진보로 인해 게이트 길이가 0.2마이크론 미만으로 감소하였다. 이러한 게이트에서는 폴리사이드 물질의 저항이 너무 크다는 것이 발견되었고, 따라서, 폴리사이드 구조의 실리사이드를 대체하기 위해 금속을 제공하는 과정이 발전되었다. 이러한 게이트가 현재 기술에서 현대적 구조물로 여겨진다.

도 1은 이러한 게이트 구조를 갖춘 FET(12)를 포함하는 반도체 웨이퍼 조각(10)이다. 특히, 웨이퍼 조각(10)에는 기관(14)이 위치하고 기관(14) 위에는 게이트 구조물(16)이 형성된다. 게이트 구조물(16)에는 게이트 산화물층(20)(일반적으로 실리콘다이옥사이드), 전도성 도핑된 반도체 물질층(22)(실리콘과 게르마늄을 포함할 수 있고 일반적으로는 전도성 도핑된 폴리실리콘을 포함함), 전도성 확산 장벽층(24)(WNx, TiN처럼 일반적으로 금속 질화물을 포함함), 금속층(26)(가령 텅스텐, 몰리브덴, 또는 티타늄을 포함할 수 있음), 그리고 절연캡(28)(가령 실리콘 나이트라이드나 실리콘다이옥사이드를 포함할 수 있음)이 위치한다.

반도체 기관(14)은 전도성 도핑된 단결정 실리콘을 포함할 수 있다. 청구범위의 이해를 돕기 위해, "반도체 기관"은 반도체 웨이퍼와 같은 벌크 반도체 물질과 반도체 물질층을 포함함(그러나 이에 제한되지는 않는) 반도체 물질을 포함하는 구조물을 의미하는 것으로 정의된다. "기관"이라는 용어는 앞서 언급한 반도체 기관을 포함함(그러나 이에 한정되지는 않는) 지지 구조물을 의미한다.

게이트 구조물(16)은 양쪽에 측벽(30)을 가지며, 이러한 측벽을 따라 절연 스페이서(32)가 형성된다. 절연 스페이서(32)는 가령 실리콘 나이트라이드를 포함할 수 있다. 게이트 구조물(16) 근처에 형성되는 소스/드레인 영역(18)과, 채널 영역(19)이 게이트 구조물(16) 아래에 형성된다. 전도도를 향상시키는 도펀트의 이식을 측벽 변부(30)로부터 이격시키기 위해, 그래서 다량 도핑된 소스/드레인 영역(18)의 측벽(30)에 대한 위치를 제어할 수 있도록 하기 위해, 소스/드레인 영역(18) 형성 중 스페이서(32)가 이용될 수 있다. 미량 도핑된 확산 영역은 측벽(32) 아래와, 다량 도핑된 소스/드레인 영역(18)과 채널 영역(19) 사이에 형성되어 구배가 있는 정션 영역(33)을 형성한다. 미량 도핑된 확산 영역은 측벽(32) 제공 이전에 형성되는 경우가 잦다.

DRAM 소자에서 도 1의 FET 구조(12)를 이용할 때 문제가 발생할 수 있다. DRAM 소자들은 통상적으로 전력 공급 장치의 공급 전압보다 큰 워드라인 전압으로 동작한다. 따라서, 게이트 제어식 DRAM 구조물에 사용되는 트랜지스터 게이트는 다른 소자에서보다 더 큰 전기장에 노출되며, 항복 및 고장을 일으키기 쉽다. 또한, DRAM 보유 시간은 저장 노드 정션 누출에 따라 좌우되며, 이는 게이트와 드레인 정선의 교차 코너에서의 전기장에 의해 영향받을 수 있다. 게이트와 드레인 정선간의 전기장은 더욱 큰 정션 누출을 유도하는 경우가 잦고, 게이트 유도 드레인 누출(GIDL)이라 불린다. 따라서, 전기장을 감소시키기 위해, 즉, 누출을 줄이기 위해 게이트와 드레인의 코너에서 두꺼운 게이트 산화물 영역을 만드는 것이 바람직하다.

트랜지스터 게이트의 집적도 향상을 위해 이용되는 기술 중 하나는 측벽 돌레(30) 아래 작은 "새부리" 구조물을 형성하도록 게이트에 인접하게 반도체 물질 기관의 일부를 산화시키는 것이다. 이러한 기술은 도 2에 도시되는데, 스페이서(32)와 소스/드레인 영역(18)이 형성되기 전에, 게이트 구조물(16)이 형성된 데 이어지는 공정 단계에서 웨이퍼 조각(10)이 도시된다. 반도체 웨이퍼(14)의 윗면은 게이트 산화물(20)과 연결되는 실리콘다이옥사이드층(다른 말로, 이산화규소층, 또는 SiO<sub>2</sub>층)(34)을 형성하도록 산화되었다. 실리콘다이옥사이드층(34)은 측벽(30) 아래에서 뺀어가는 작은 새부리 영역(36)을 포함한다. 반도체 물질(14)의 윗면 산화 중 이러한 변부들이 산화됨에 따라, 반도체 물질층(22)의 측벽 변부에 대응하는 측벽(30)의 부분을 따라 실리콘다이옥사이드층(34)이 뺀어간다.

도 2의 처리과정과 함께 발생하는 문제점은 금속층(26)의 측벽 변부가 반도체 물질(14)의 산화 중에 산화될 수 있다는 점이다. 금속층(26)의 산화는 금속 산화물 영역(38)을 형성한다. 금속 산화물 영역(38)과 관련된 부피 팽창으로 인해, 금속 라인이 들릴 수 있고, 이는 게이트 구조물(16)을 집적 시키는 FET 구조물의 고장을 유발할 수 있다.

금속 변부의 산화를 피하기 위해 이용된 기술들 가운데는, 습식 수소 산화가 있고, 변부 보호를 위해 실리콘 나이트라이드나 실리콘다이옥사이드를 이용하는 것이 있다. 추가적으로, 반도체 물질(14)의 윗면 산화 이전에 게이트 적층구조 내 금속 물질의 변부를 덮기 위해 실리콘 옥시나이트라이드가 사용되었다.

앞서 설명한 문제점들은 FET 기술에 제한되지 않는다. 이 문제점들은 플래시 메모리 소자에 사용되는 게이트 적층구조물 처럼 다른 메모리 소자에 사용되는 적층구조물에서도 발생할 수 있다. 도 3은 기관(52)과, 기관(52) 위에 형성되는 플래시 메모리 소자 게이트 적층 구조(54)를 포함하는 반도체 웨이퍼 조각(50)을 도시한다. 기관(52)은 p형 배경 도펀트로 미량 도핑된 단결정 실리콘을 포함할 수 있다. 게이트 적층구조(54)에는 게이트 산화물층(56)(실리콘다이옥사이드를 포함할 수 있음), 부동 게이트(58)(Si와 Ge같은 반도체 물질을 포함함, 통상적으로 전도성 도핑된 폴리실리콘을 포함함), 게이트간 유전층(60)(실리콘다이옥사이드를 포함할 수 있음), 전도성 도핑된 반도체 물질층(62)(전도성 도핑된 폴리실리콘), 장벽층(64)(금속 질화물을 포함할 수 있음), 금속층(66)(텅스텐, 티타늄, 몰리브덴 중 하나를 포함할 수 있음), 그리고 절연캡(68)(실리콘 나이트라이드를 포함할 수 있음)이 위치한다. 도 3에는 기관(52) 위 산화물층(69)과, 산화물층(69) 아래에 주입되고 게이트 적층구조(54)에 인접하게 위치하는 미량 도핑된 확산(LDD) 영역(71)이 또한 도시된다. LDD 영역(71)은 예를 들어 인이나 비소같은 n형 전도도 향상 도펀트를 기관(52)에 주입시킴으로써 형성될 수 있다.

층(60, 62, 64, 66, 68)은 게이트 구조물(16)에 사용되는 적층구조물과 동일한 적층구조물을 포함한다는 사실에 주목해야 한다. 따라서, 반도체 물질 기관(52)가 산화되면, 반도체 물질(14)의 산화에 관해 앞서 기술한 것과 유사한 문제점이 발생할 수 있다. 구체적으로, 반도체 물질(52)이 산화되면, 금속층(66)의 측벽 변부 산화가 이어질 수 있고, 이는 적층구조물(54)을 통합하는 회로 소자의 고장을 일으킬 수 있다.

앞서 언급한 도 1-3은 전도 물질과 절연 물질의 적층구조물을 통한 단면을 도시한다. 이러한 단면도는 적층구조물 내의 여러 층들을 도시하기 위해 이용된다. 도 1-3의 적층구조에 대한 대안의 도면은 패터닝된 워드라인 부분으로 적층구조를 보는 것이다. 이러한 대안의 도면에서, 적층구조는 반도체 물질 기관 사이에서 뺀어가는 라인의 부분일 수 있다. 즉, 적층구조가 라인 형태로 패터닝될 수 있다. 소스/드레인 영역이 라인을 따라 여러 구간에서 제공될 수 있고, 따라서 이 라인들은 소스/드레인 영역의 쌍들 사이에서 게이팅 구조로 기능하는 트랜지스터 게이트 영역을 가질 것이다.

**발명의 상세한 설명**

발명의 한가지 태양은 전도 라인을 형성하는 방법을 포함한다. 두개 이상의 서로 다른 전도 물질층으로 라인 적층구조가 형성된다. 이 층들중 적어도 하나는 금속을 포함하고, 라인 적층구조에는 금속을 포함한 층을 가지는 한개 이상의 측벽 변부가 있다. 금속-포함 층은 측벽 변부에서 실리사이드를, 그리고 그 안쪽에 비반응 금속을 포함하도록 금속 포함 층을 형성하기 위해 측벽 변부에서 실리콘과 반응한다. 반응 후, 라인 적층구조의 일부 이상이 산화된다.

발명의 또다른 태양은 반도체 구조물을 형성하는 방법을 포함한다. 패터닝된 라인이 제 1 층과 제 2 층을 포함하도록 형성된다. 제 1 층은 실리콘을 포함하고 제 2 층은 금속을 포함한다. 이 라인은 제 1 층 형성부와 제 2 층 형성부를 포함하는 한개 이상의 측벽 변부를 가진다. 상기 한개 이상의 측벽 변부를 따라 제 3 층이 형성된다. 제 3 층은 실리콘을 포함하며, 측벽 변부의 제 1 층 형성부와 측벽 변부의 제 2 층 형성부를 따라 놓인다. 제 3 층의 실리콘은 제 2 층의 금속과 반응하여, 측벽 변부의 제 2 층 형성부를 따라 실리사이드를 형성한다. 제 3 층의 실리콘은 제거되어 제 1 층의 실리콘, 제 2 층의 금속, 그리고 실리사이드를 남긴다.

또하나의 태양에서, 발명은 반도체 구조물을 형성하는 또다른 방법을 포함한다. 제 1 층과 제 2 층을 포함하도록 패터닝된 라인이 형성된다. 제 1 층은 실리콘을 포함하고 제 2 층은 금속을 포함한다. 이 라인은 제 1 층 형성부와 제 2 층 형성부를 포함하는 한개 이상의 측벽 변부를 가진다. 상기 한개 이상의 측벽 변부를 따라 제 3 층이 형성된다. 제 3 층은 실리콘을 포함하고, 측벽 변부의 제 1 층 형성부와 측벽 변부의 제 2 층 형성부를 따라 놓인다. 제 3 층의 실리콘은 제 2 층의 금속과 반응하여, 측벽 변부의 제 2 층 형성부를 따라 실리사이드를 형성한다. 제 3 층의 실리콘은 제 1 층의 실리콘과는 다르게 제공되며, 제 1 층의 실리콘에 대해 선택적으로 제거되어, 측벽 변부의 제 2 층 형성부를 따라 실리사이드를 남긴다.

**도면의 간단한 설명**

도 1은 공지 기술의 전계 효과 트랜지스터(FET) 소자를 보여주는 반도체 웨이퍼 조각의 단면도.

도 2는 공지 기술 게이트 구조를 설명하는 반도체 웨이퍼 조각의 단면도.

도 3은 플래시 메모리 소자용 공지기술 게이트 구조를 보여주는 반도체 웨이퍼 조각의 단면도.

도 4는 본 발명에 따른 방법의 예비 단계에서 게이트 구조를 보여주는 반도체 웨이퍼 조각의 단면도.

도 5는 도 4의 단계에 이어진 공정 단계에서 도 4의 구조의 웨이퍼 조각의 단면도.

도 6은 도 5의 단계에 이어진 공정 단계에서 도 4의 구조의 웨이퍼 조각의 단면도.

도 7은 도 6의 단계에 이어진 공정 단계에서 도 4의 구조의 웨이퍼 조각의 단면도.

도 8은 도 4의 단계에 이어지는 공정 단계에서 도시되는, 본 발명의 또다른 방법에 따라 처리되는 도 4의 구조물을 보여주는 도 4 웨이퍼 조각의 단면도.

도 9는 도 8의 단계에 이어진 공정 단계에서 도 4 웨이퍼 조각의 단면도.

도 10은 도 9의 단계에 이어진 공정 단계에서 도 4 웨이퍼 조각의 단면도.

도 11은 본 발명의 또하나의 실시예 방법에 따른, 도 4의 단계에 이어진 공정 단계에서 도 4 웨이퍼 조각의 단면도.

도 12는 도 11의 단계에 이어진 공정 단계에서 도 4 웨이퍼 조각의 단면도.

도 13은 도 12의 단계에 이어진 공정 단계에서 도 4 웨이퍼 조각의 단면도.

도 14는 본 발명의 다른 하나의 방법 예비 단계에서 도시되는 반도체 웨이퍼 조각의 단면도.

도 15는 도 14의 단계에 이어진 공정 단계에서 도 14 웨이퍼 조각의 단면도.

도 16은 도 15의 단계에 이어진 공정 단계에서 도 14 웨이퍼 조각의 단면도.

도 17은 도 16의 단계에 이어진 공정 단계에서 도 14 웨이퍼 조각의 단면도.

### 실시예

특정 태양에서, 발명은 금속층 영역 위에 실리사이드 구조물을 형성함으로써 인접 기관의 산화 중 금속층을 보호하는 방법을 포함한다. 실리사이드는 금속층 영역이 산화 분위기에 노출되는 것을 방지한다.

본 발명의 제 1 실시예 방법은 도 4-6을 참고하여 설명된다. 도 4에서, 기관(102)과 기관(102) 위에 게이트 적층구조물(104)이 형성되는 반도체 웨이퍼 조각(100)이 도시된다. 반도체 기관(102)은 p형 배경 도펀트로 미량 도핑된 단결정 실리콘을 포함할 수 있다. 게이트 적층구조물(104)은 게이트 유전층(106), 반도체 물질층(108), 장벽층(110), 금속층(112), 그리고 절연층(114)을 포함한다. 본 공개내용과 아래의 청구범위 내용의 이해를 돕기 위해, "실리콘층"이라 불리는 층은 본질적으로 실리콘으로 이루어지지만 반드시 전부 실리콘으로 구성될 필요는 없다라고 이해되어야 한다. 따라서, 실리콘층은 예를 들어 실리콘과 게르마늄을 포함할 수 있다. 추가적으로 "금속층"은 금속을 포함하는 것으로 본질적으로 금속으로 이루어지거나 반드시 전부 금속으로 이루어질 필요는 없다.

게이트 적층구조물(104)은 측벽(116)을 포함하고, 이러한 측벽은 층(106, 108, 110, 112, 114) 부분들을 포함한다. 발명의 특정 태양에서, 층(108)은 제 1 층으로 불리고 층(112)은 제 2 층으로 불릴 수 있다. 층(112)에 대응하는 측벽(116) 부분은 따라서 제 2 층 형성부로 불려질 수 있고, 층(108)에 대응하는 측벽(116) 부분은 제 1 층 형성부로 불릴 수 있다.

기관(102)은 윗면(118)을 포함하고, 그 일부는 게이트 적층구조물(104)로 덮히고 그 일부는 게이트 적층구조물(104) 너머로 뻗어간다. 기관(102)의 윗면(118) 위에 에칭 정지층(117)이 형성된다. 이러한 에칭 정지층은 산화실리콘이나 질화실리콘을 포함할 수 있다. 기관(102)의 윗면(118) 위에, 게이트 적층구조물(104)의 측벽(116)을 따라, 그리고 게이트 적층구조물(104)의 윗면 위에, 실리콘층(120)이 형성된다. 층(120)은 예를 들어 비정질이나 다결정 형태의 실리콘을 포함할 수 있고, 일반적으로 100~200 옹스트롬 두께로 형성된다. 실리콘층(120)은 게이트 적층구조물(104)의 상부와 측벽 위에 결대로 놓이는 층(120)을 제공하고자 화학 증기 증착에 의해 형성될 수 있다. 일반적으로, 층(120)이 비정질 실리콘을 포함하는 지 또는 다결정 실리콘을 포함하는 지간의 차이가 증착 온도에 의해 결정된다. 비정질 실리콘은 섭씨 500~550도에서 증착되고 다결정 실리콘은 섭씨 580~625도의 온도에서 증착된다.

발명의 특정 태양에서, 실리콘층(120)은 실리콘 함유층(108)과는 다른 조성을 포함한다. 이러한 조성 차이는 예를 들어, 실리콘층(108)에 대한 실리콘층(120) 내의 도펀트 농도 차이에 대응한다. 예를 들어, 층(108)은  $1 \times 10^{18}$  원자/cm<sup>3</sup>의 전도도 향상 불순물 농도를 지녀서 층(108)을 전기전도성으로 만드는 것이 선호된다. 따라서, 층(120)과 층(108)간의 농도차를 제공하기 위해  $1 \times 10^{18}$  원자/cm<sup>3</sup> 보다 작은 전도도 향상 도펀트 농도가 층(120)에 제공될 수 있다. 이러한 차이는 층(120)이 층(108)에 대해 선택적으로 제거될 수 있도록 방법의 이후 단계에서 이용될 수 있다. 특정 실시예에서, 전도도 향상 불순물로 도핑되지 않은 채로 층(120)이 제공될 수 있고, 이때 "도핑되지 않은"이란 표현은  $0 \sim 1 \times 10^{18}$  원자/cm<sup>3</sup>의 도펀트 농도를 가질 수 있는 미미한 농도 수준을 의미한다.

발명의 특정 태양에서, 층(120)은 제 3 층이라고 불릴 수 있다. 제 3 층은 실리콘층(108)에 의해 규정되는 측벽 부분과 금속층(112)에 의해 규정되는 부분 모두를 따라 뻗어간다.



도 5는 실리사이드 영역(122) 형성을 위해 실리콘층(120)을 금속층(112)과 반응시키는 분위기에 노출된 후의 웨이퍼 조각(100)을 도시한다. 예로 든 반응 조건은 비활성 분위기에서 섭씨 900도로 20분간 조각(100)을 어닐링하는 것이다. 대안의 반응 조건은 섭씨 950도에서 10초동안 금속 열처리(RTP)를 포함한다. 실리콘층(120, 108)간 도펀트 재분배를 방지하기 위해 제 2 반응 조건이 선호될 수 있다.

도 6에서, 층(120)(도 5)이 제거되어 측벽(116)을 따라 실리사이드 영역(122)을 남긴다. 시간 반응식 이온 에칭, 습식 에칭, 또는 고밀도 플라즈마 에칭같은 시간제 에칭 등에 의해 층(120)이 제거될 수 있다. 에칭은 실리콘층(108)의 측벽 내로 진행되지는 않을 것이며(진행되어도 측벽 내 5옹스트롬 이하), 에칭은 에칭 정지층(117)에서 정지되는 것이 선호된다. 실리콘층(120)(도 5)이 실리콘층(108)과는 다른 조성을 포함하는 실시예에서 특정 에칭 방법이 사용될 수 있다. 이러한 실시예에서, 에칭은 실리콘층(108)에 대해 실리콘층(120)을 선택적으로 제거하기 위해 이러한 조성차를 이용하는 것이 선호된다. 예를 들어, 층(120)이 실리콘층(108)보다 도핑이 적게 된 실리콘을 포함할 경우, 도핑이 적게 된 실리콘이 TMAH(tetramethylammonium hydroxide) 에칭 용액을 이용하여 선택적으로 제거될 수 있다.

도 7은 산화 조건에 노출된 후 반도체 웨이퍼 조각(100)을 도시한다. 산화 조건에 기판을 노출시키기 전에 기판(102) 위로 부터 에칭 정지층(117)이 벗겨질 수 있고 또는 그대로 유지될 수도 있으며, 실리콘다이옥사이드를 포함할 경우 산화 조건에 하부 기판을 노출시킴에 따라 에칭 정지층이 팽창될 수 있다. 산화 조건은 기판(102)의 윗면(118)으로부터 실리콘을 실리콘다이옥사이드층(130)에 통합시켜서, 층(108)의 측벽으로부터 실리콘을 실리콘다이옥사이드층(130)에 통합시킨다. 게다가, 산화는 게이트 적층구조물(104)의 측벽 변부(116) 하에서 작은 새부리(132)를 형성하였다. 그러나 공지 기술과는 달리, 산화는 금속층(112)의 측벽을 산화시키지 않았다. 차라리, 실리사이드 영역(122)이 산화 중 금속층(112)의 측벽을 보호하였다.

도 8-10은 실리콘층(120)(도 5)이 실리콘층(108)에 대해 선택적으로 제거될 수 있는 형태로 변환되는 발명의 실시예를 도시한다. 도 8에서, 이는 도 5에 도시되는 단계에 이어지는 공정 단계에서 웨이퍼 조각(100)을 도시한다. 특히, 도 5의 실리콘층(120)은 층을 실리콘다이옥사이드층(140)으로 변환시키는 산화 조건에 노출되었다. 산화물층(140)을 묽은 HF 용액에 습식 에칭시키는 것과 같은 차후 처리는 층(108)의 비-산화 실리콘에 대해 층(140)의 산화물을 선택적으로 제거할 수 있어서 도 6의 구조물을 형성시킨다(측벽 변부(116) 내로 약간의 에칭이 발생할 수도 있다).

도 9는 실리콘다이옥사이드층(140) 위에 제 2 절연층(143)이 형성된 후 웨이퍼 조각(100)을 도시하며, 실리콘다이옥사이드층(140)과 제 2 절연층(143)은 이방성 에칭에 노출되어 절연 스페이서(142)를 형성하였다. 실리콘다이옥사이드를 이방성 에칭하기 위해 예로 든 조건은 자기 루프 방전 플라즈마에서 실리콘다이옥사이드를 에칭하는 것이거나, 반응성 이온 에칭에서 불소 함유 플라즈마를 이용하는 것이다. 물질(142, 143)의 이방성 에칭 후 기판(102) 위에 층(117)이 남는다. 층(117)이 실리콘 나이트라이드를 포함하고, 물질(142, 143)이 실리콘다이옥사이드를 포함하는 실시예에서, 층(117)은 층(142, 143)의 이방성 에칭 중 기판(102)을 보호하기 위한 에칭 정지층으로 기능할 수 있다. 대안으로, 층(117)이 실리콘다이옥사이드를 포함하고 물질(142, 143)도 실리콘다이옥사이드를 포함할 경우, 층(117)은 물질(142, 143)의 시간식 이방성 에칭 중 기판(102)을 보호하기 위한 기판(102) 위 버퍼를 형성할 수 있다.

도 10에는 게이트 적층구조물(104)에 인접하게 소스/드레인 영역(146)을 형성하기 위해 웨이퍼 조각(100)에 주입된 도펀트(144)가 나타나 있다. 소스/드레인 영역(146)은 스페이서(142)를 이용하여 정렬된다. 이어지는 처리과정에서, 스페이서(142)가 제거될 수 있고, 도 7의 구조물(132)과 유사한 작은 새부리 구조물을 형성하도록 기판(102)이 산화될 수 있다. 게다가, 구배가 있는 정션 영역은 스페이서(142) 제거 후 소스/드레인 영역(146)에 근접하게 주입될 수 있다. 대안으로, 구배가 있는 정션(LDD나 "링크-업" 영역)이 도 4에 도시되는 단계 이전의 공정 단계에서 주입될 수도 있다. 이러한 과정은 예를 들어 실리콘층(120) 증착 이전과, 게이트 적층구조물(104) 형성 이후에 발생할 수 있다.

본 발명의 또한가지 방법이 도 11-13을 들어 설명된다. 도 11에서, 도 4의 단계에 이어지는 공정 단계의 웨이퍼 조각(100)이 도시된다. 특히 실리콘층(120)(도 4) 위에 물질(153)이 제공되고 실리콘층(120)이 이방성 에칭을 실시한 후의 모습이다. 물질(153)은 가령 실리콘다이옥사이드나 실리콘 나이트라이드를 포함할 수 있다. 이방성 에칭은 적층구조물(104) 위로 부터 실리콘층을 제거하고, 측벽 변부(116)를 따라 실리콘층의 부분(150, 152)을 남긴다.

도 12에서, 실리콘 부분(150, 152)을 금속층(112)과 반응시켜서 실리사이드 영역(154)을 형성하기 위한 적절한 조건에 노출시킨 후의 웨이퍼 조각(100)이 도시된다. 이러한 적절한 환경은 도 5를 참고하여 앞서 기술한 조건을 포함할 수 있다.

도 13에서, 이방성 에칭된 물질(153)이 도펀트(156)의 주입 중 부분(150, 152)과 함께 스페이서로 이용된다. 주입된 도펀트는 소스/드레인 영역(158)을 형성한다. 구배가 생긴 정션 영역(190)이 또한 도시되며, 이는 앵글 주입(angled implant) 등에 의해 형성될 수 있다. 소스/드레인 영역(158)과 구배있는 정션 영역(190)이 형성된 후, 적층구조물(104)은 FET의 게이트를 포함한다. 이는 소스/드레인 영역(158)을 게이트방식으로 서로 연결시킨다. 적층구조물(104)은 그 아래 소스/드레인 영역(158) 사이에 있는 채널 영역(160)을 규정한다. 추가적인 처리에서, 부분(150, 152)이 제거될 수 있다. 이러한 처리과정은 도 6을 참고하여 앞서 설명한 것과 유사할 수 있고, 확산 영역(158)의 형성 전후로 발생할 수 있다.

발명의 또하나의 태양에서, 물질(153)을 이용하지 않아, 적층구조물(104)을 따라 부분(150, 152)만을 남길 수 있다. 게다가, 부분(150, 152)은 소스/드레인 영역의 주입 이전에 제거될 수 있어서, 도 6에 도시되는 것과 동일한 구조물을 형성한다. 이러한 구조물은 도 7을 참고하여 기술한 산화 처리에 종속될 수 있다. 대안으로, 이러한 산화 처리는 소스/드레인 영역(158)의 형성 후 발생할 수 있고, 부분(150, 152)과 함께 또는 부분(150, 152)이 제거된 후에 발생할 수도 있다.

본 발명에 포함되는 또다른 방법은 도 14-17을 참고하여 기술된다. 도 14-17에서는 도 4-13에서 사용한 것과 유사한 번호가 이용되며, 차이점은 첨자 "a"로 표시된다.

도 14는 도 4의 웨이퍼 조각(100)과 유사한 반도체 웨이퍼 조각(100a)을 도시한다. 도 14의 조각(100a)은 도 4의 조각(100)에 비해 다음과 같은 점에 차이가 있다. 즉, 조각(100a)은 적층구조물(104) 너머 외향으로 뻗어가는 부분과 적층구조

물(104) 아래 부분을 가지는 실리콘다이옥사이드층(106a)을 포함한다. 이와는 대조적으로, 도 4의 조각(100)은 실리콘층(108)의 측벽과 같은 공간에 걸친 측벽, 즉, 게이트 적층구조물(104) 측벽(116)의 일부를 가지도록 패턴처리된 실리콘다이옥사이드층(106)을 가진다.

조각(100a)은 도 4의 조각(100)과 거의 동일한 실리콘층(120)을 포함하며, 이러한 실리콘층은 도 5-13을 참고하여 앞서 기술한 처리과정과 동일하게 처리될 수 있다. 특정 처리 순서가 도 15-17을 참고하여 기술된다. 도 15에서, 게이트 적층구조물(104) 측벽 변부(116)를 따라 뺏어가는 확장부(170)로 층을 변환하기 위해 이방성 에칭에 실리콘층(120)(도 14)이 노출된 후의 웨이퍼 조각(100a)이 도시된다. 도시되는 에칭은 산화물층(106a)에서 정지한다. 이는 실리콘다이옥사이드층(106a)에 대해 실리콘 물질층(120)의 선택적 에칭 조건을 이용함으로써, 또는 실리콘다이옥사이드층(106a)에서 정지하도록 층(120)의 에칭을 타이밍 설정함으로써 달성될 수 있다. 발명의 대안의 실시예에서, 층(106a)에서 정지하는 것이 아니라 층(106a)을 통해 기판(102)까지 뺏어가도록 에칭 조건이 이용될 수 있다. 이러한 조건은 적층구조물(104)과 확장부(170) 아래에만 놓인(즉, 확장부(170) 너머 외향으로 뺏어가지 않는) 절연층 내로 층(106a)을 패턴처리한다.

도 16에서, 실리콘 측벽 확장부(172)를 형성하기 위해 확장부(170)로부터의 실리콘을 층(112)으로부터의 금속과 반응시키는 조건에 조각(100a)이 노출된다. 실리콘과 금속을 반응시키기 위해 적절한 조건은 도 5를 참고하여 앞서 설명한 조건이다.

도 17에서, 확장부(170)(도 16)가 제거되어, 금속(112)의 측벽을 보호하는 실리콘 측벽 영역(172)을 남긴다. 도 16의 처리 단계에서 확장부(170)로 덮혔던 실리콘다이옥사이드층(106a) 일부는 확장부(170)가 제거된 후에도 남아있다. 확장부(170)를 제거한 후, 조각(100a)은 도 7을 참고하여 앞서 설명한 경우와 유사한 산화 조건에 노출될 수 있다. 발명의 대안의 실시예에서, 확장부(170)는 도 13을 참고하여 앞서 기술한 경우와 유사한 과정에서 소스/드레인 영역을 형성하기 위해 도펀트의 주입층 스페이서로 이용될 수 있다.

발명이 FET 구조물 형성 방법을 참고하여 설명되었으나, 발명이 다른 메모리 소자(가령 플래시 메모리 소자)의 형성 방법에도 물론 적용될 수 있음을 이해하여야 할 것이다. 플래시 메모리 소자를 형성하기 위해 도 4-17을 들어 기술한 기술을 이용하는 방법의 예는 부동 게이트 구조물 위에 도 4-17에서 기술한 게이트 적층구조물을 형성하는 것이다. 게이트 적층구조물은 일반적으로 도 3을 참고하여 기술한 유전체(60)같은 통합 유전체에 의해 부동 게이트로부터 분리되어야 한다.

**(57) 청구의 범위**

**청구항 1.**

전도 라인을 형성하는 방법으로서, 상기 방법은,

- 두개 이상의 서로 다른 전도 물질층(108, 112)으로 된 라인 스택을 형성하고, 이때 이 전도 물질층들 중 하나(112)는 금속함유층이고, 전도 물질층들 중 다른 하나(108)는 비-산화 실리콘을 포함하며, 상기 금속함유층(112)은 전도 물질층들 중 상기 다른 하나(108) 위에 놓이고, 상기 라인 스택은 금속함유층(112)과 상기 전도 물질층 중 상기 다른 하나(108)를 따라 뺏어가는 수직 측벽 변부(116)를 지니며, 따라서 상기 수직 측벽 변부(116)는 상기 금속함유층의 변부와 상기 전도 물질층들 중 상기 다른 하나의 변부를 포함하고,
- 상기 측벽 변부(116)를 따라 실리콘층(120)을 형성하며, 이때, 상기 실리콘층(120)은 금속함유층의 변부를 따라, 그리고 상기 전도 물질층들 중 다른 하나의 변부의 비산화 실리콘을 따라 뺏어가며,
- 상기 금속함유층(112)의 변부를 상기 실리콘층(120)의 일부분과 반응시켜서, 금속함유층(112)의 변부에 실리콘(122)을 형성하게 하고 실리콘 안쪽으로는 반응하지 않은 금속을 남게 하며,
- 상기 반응 이후, 상기 전도 물질층 중 상기 다른 하나(108)의 변부를 따라 실리콘층(120)을 제거하고, 그리고
- 상기 실리콘층 제거 이후, 상기 전도 물질층들 중 상기 다른 하나(108)의 변부의 실리콘을 산화시키는 단계들을 포함하는 것을 특징으로 하는 전도 라인 형성 방법.

**청구항 2.**

삭제

**청구항 3.**

제 1 항에 있어서, 금속함유층의 측벽 변부에 형성되는 실리콘 측벽을 제외하고는 상기 전도 라인에 실리콘 측벽이 없는 것을 특징으로 하는 전도 라인 형성 방법.

**청구항 4.**

삭제

청구항 5.  
삭제

청구항 6.  
삭제

청구항 7.  
삭제

청구항 8.  
삭제

청구항 9.  
삭제

청구항 10.  
삭제

청구항 11.  
삭제

청구항 12.  
삭제

청구항 13.  
삭제

청구항 14.  
삭제

청구항 15.  
삭제

청구항 16.  
삭제

청구항 17.  
삭제

청구항 18.  
삭제

청구항 19.  
삭제

청구항 20.  
삭제

청구항 21.  
삭제

청구항 22.  
삭제

청구항 23.  
삭제

청구항 24.  
삭제

청구항 25.  
삭제

**청구항 26.**  
삭제

**청구항 27.**  
삭제

**청구항 28.**  
삭제

**청구항 29.**  
삭제

**청구항 30.**

반도체 구조물을 형성하는 방법으로서, 상기 방법은,

- 실리콘다이옥사이드층(106a)을 위에 둔 반도체 기판(102)을 제공하고,
- 실리콘다이옥사이드층(106a) 위에 패턴처리 라인(104)을 형성하고, 이때 패턴처리 라인(104)은 도핑된 실리콘층(108)과, 상기 도핑된 실리콘층 위의 금속층(112)을 포함하며, 상기 라인(104)은 도핑된 실리콘층(108)과 금속층(112)의 영역들을 포함하는 한 쌍의 측벽 변부(116)를 가지며,
- 상기 라인(104) 위에 그리고 상기 한 쌍의 측벽 변부(116)를 따라 제 2 실리콘층(120)을 형성하고, 이때 상기 제 2 실리콘층(120)은 측벽 변부(116)의 금속층 영역과 도핑된 실리콘층 영역을 따라 형성되며,
- 상기 라인(104) 위로부터 제 2 실리콘층(120)을 제거하고 측벽 변부(116)를 따라서는 제 2 실리콘층의 일부(170)를 남기도록 제 2 실리콘층(120)을 이방성 에칭하며, 그리고
- 측벽 변부의 금속층 영역을 따라 실리사이드(172)를 형성하도록 제 2 실리콘층(170)의 실리콘을 금속층 영역(112)의 금속과 반응시키는,

이상의 단계를 포함하는 것을 특징으로 하는 반도체 구조물 형성 방법.

**청구항 31.**

제 30 항에 있어서, 상기 반응 후, 도핑된 실리콘층, 금속층, 그리고 실리사이드를 남기도록 제 2 실리콘층을 제거하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체 구조물 형성 방법.

**청구항 32.**

제 31 항에 있어서, 제 2 실리콘층을 제거하는 상기 단계가 제 2 실리콘층의 시간식 에칭을 포함하는 것을 특징으로 하는 반도체 구조물 형성 방법.

**청구항 33.**

제 31 항에 있어서, 상기 방법은 제 2 실리콘층을 형성하기 이전에 실리콘다이옥사이드층을 패턴처리하는 단계를 추가로 포함하고, 이때, 실리콘다이옥사이드층의 패턴처리 과정은 도핑된 실리콘층 아래에 패턴처리 게이트 산화물층을 형성하는 것을 특징으로 하는 반도체 구조물 형성 방법.

**청구항 34.**

제 31 항에 있어서, 상기 패턴처리 라인은 실리콘다이옥사이드층의 일부분만을 포함하고, 상기 패턴처리 라인은 패턴처리 라인 너머 바깥쪽으로 뺏어가는 다른 부분을 남기며, 이때 제 2 실리콘층이 실리콘다이옥사이드층의 상기 다른 부분 위에 형성되며, 그리고 상기 실리콘다이옥사이드층의 상기 다른 부분은 제 2 실리콘층 제거 이후에도 남는 것을 특징으로 하는 반도체 구조물 형성 방법.



**청구항 35.**

제 34 항에 있어서, 제 2 실리콘층을 제거하는 상기 단계는 제 2 실리콘층의 시간식 에칭을 포함하는 것을 특징으로 하는 반도체 구조물 형성 방법.

**청구항 36.**

제 34 항에 있어서, 제 2 실리콘층을 제거하는 상기 단계는 실리콘다이옥사이드층의 실리콘다이옥사이드에 대한 제 2 실리콘층 물질의 선택적 에칭제를 이용하는, 제 2 실리콘층의 시간식 에칭을 포함하는 것을 특징으로 하는 반도체 구조물 형성 방법.

**청구항 37.**

제 30 항에 있어서, 상기 금속층이 텅스텐을 포함하는 것을 특징으로 하는 반도체 구조물 형성 방법.

**청구항 38.**

제 30 항에 있어서, 상기 패턴처리 라인의 일부분에 인접한 위치에 소스/드레인 영역을 형성하고 FET의 게이트로 상기 라인의 상기 일부분을 이용하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체 구조물 형성 방법.

**청구항 39.**

제 38 항에 있어서, 반도체 기판에 도펀트를 주입함으로써 소스/드레인 영역의 일부가 형성되고, 그리고 측벽 변부를 따른 제 2 실리콘층의 일부가 주입 중 스페이서로 이용되는 것을 특징으로 하는 반도체 구조물 형성 방법.

**청구항 40.**

제 30 항에 있어서, 부동 게이트 위에 상기 패턴처리 라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체 구조물 형성 방법.

**청구항 41.**

제 1 항에 있어서, 상기 방법은 반도체 기판을 제공하는 단계를 추가로 포함하고, 상기 전도 라인이 반도체 기판위에 형성되는 것을 특징으로 하는 전도 라인 형성 방법.

**청구항 42.**

제 41 항에 있어서, 상기 반도체 기판이 단결정 실리콘을 포함하는 것을 특징으로 하는 전도 라인 형성 방법.

**청구항 43.**

제 41 항에 있어서, 전도 물질층들 중 상기 다른 하나의 변부의 실리콘을 산화시키는 것은 라인 스택 아래 반도체 기판 내에 새부리를 형성하는 것을 특징으로 하는 전도 라인 형성 방법.

**청구항 44.**

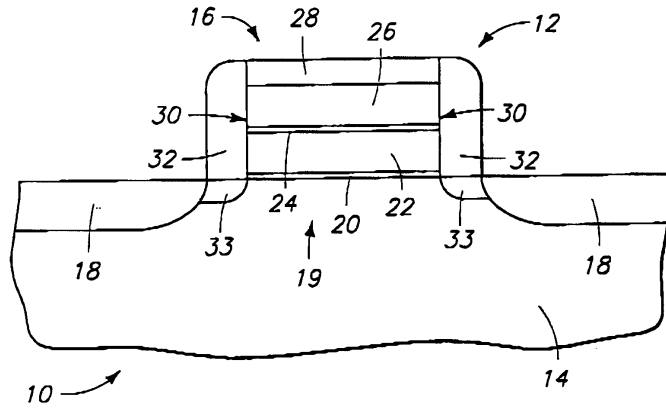
제 1 항에 있어서, 상기 라인 스택은 금속함유층과, 전도 물질층들 중 상기 다른 하나 사이에 장벽층을 포함하는 것을 특징으로 하는 전도 라인 형성 방법.

**청구항 45.**

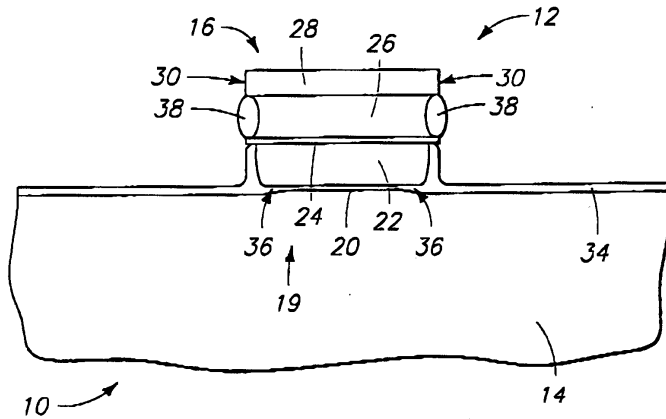
제 44 항에 있어서, 상기 전도 물질층들 중 상기 다른 하나는 전도성으로 도핑된 실리콘을 포함하는 것을 특징으로 하는 전도 라인 형성 방법.

도면

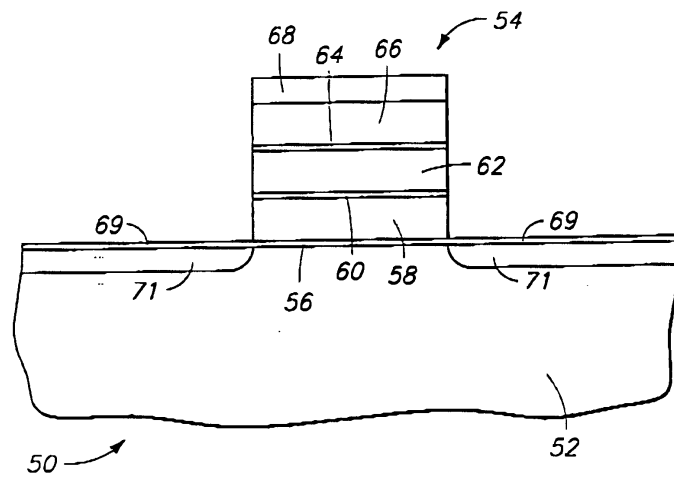
도면1



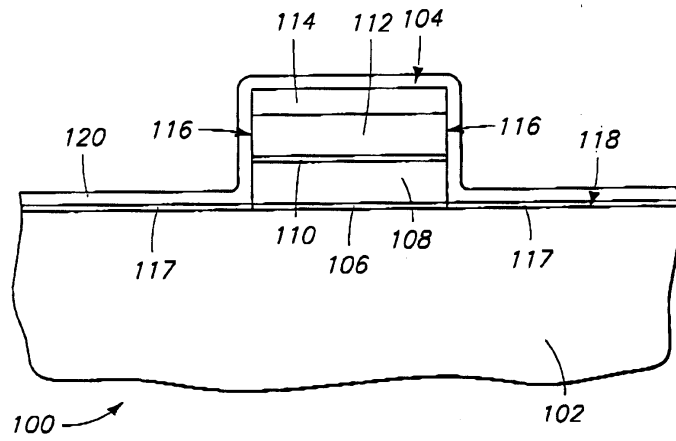
도면2



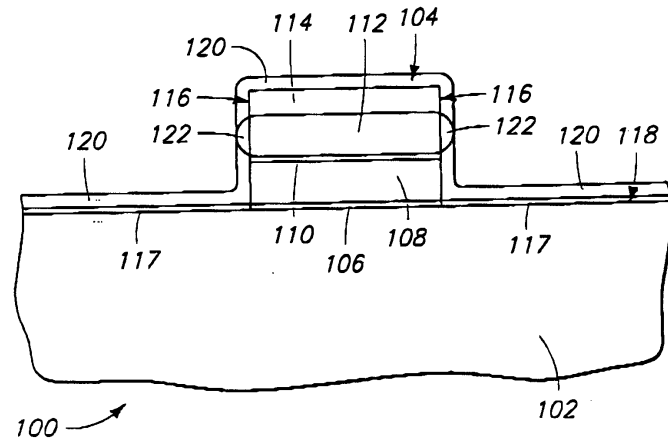
도면3



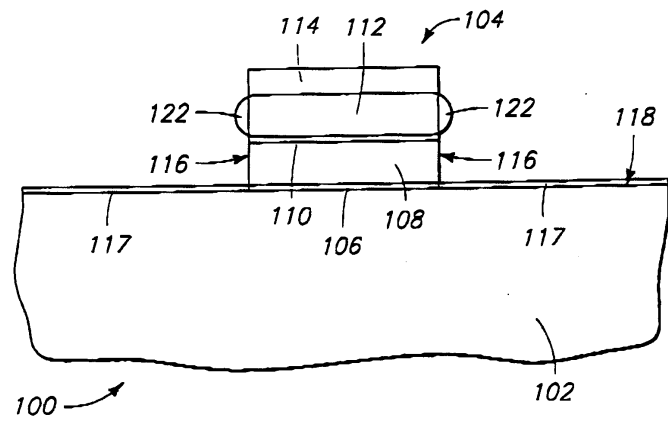
도면4



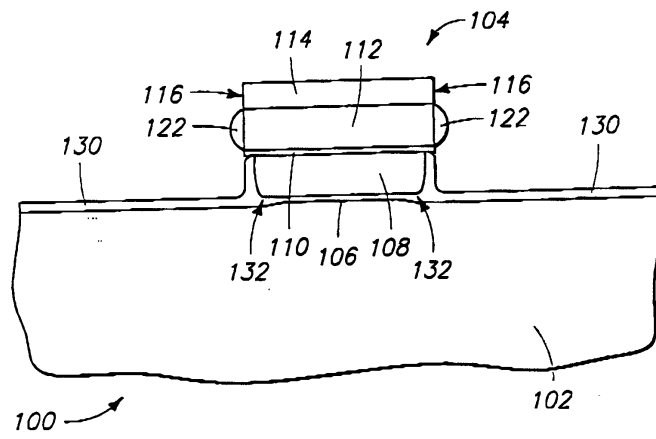
도면5



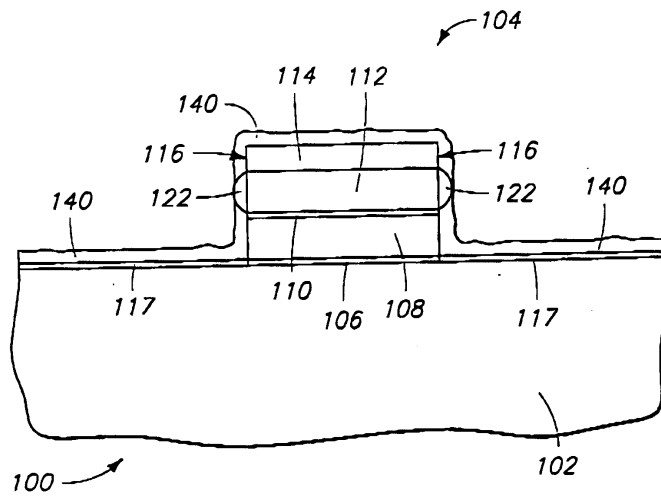
도면6



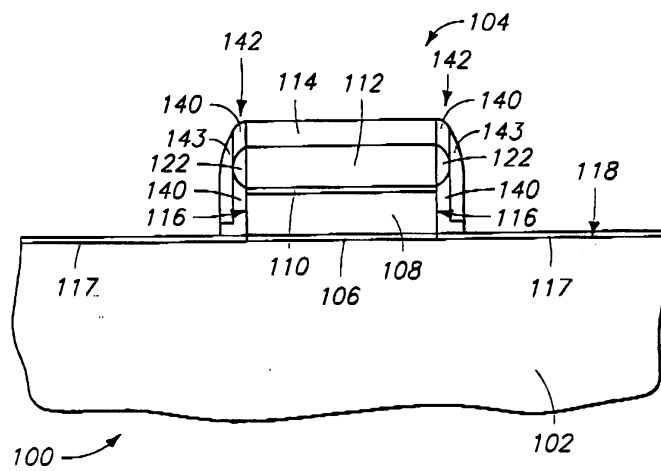
도면7



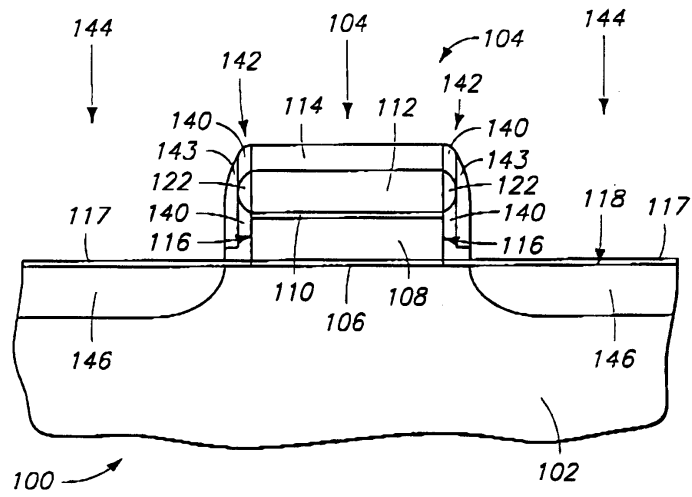
도면8



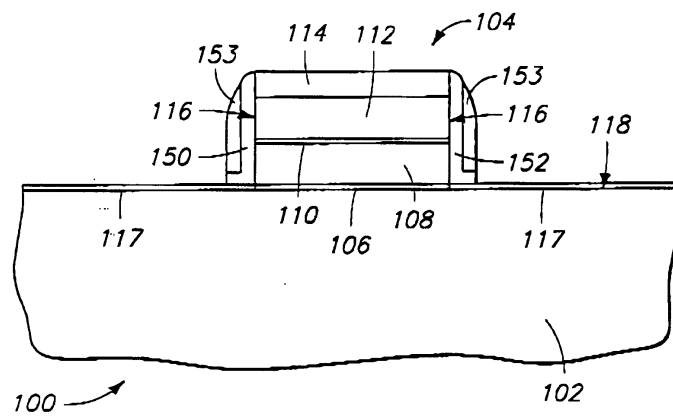
도면9



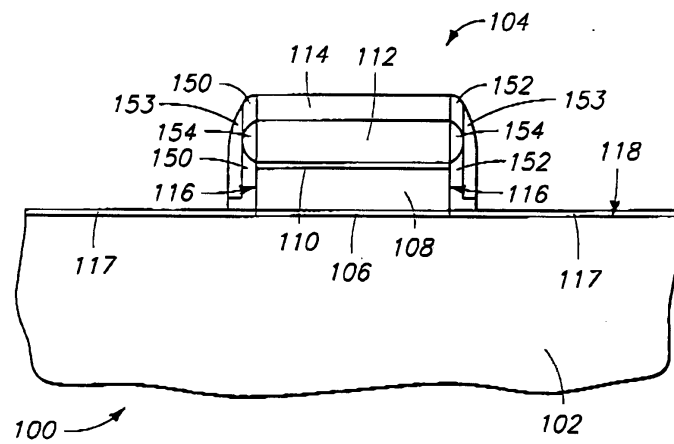
도면10



도면11

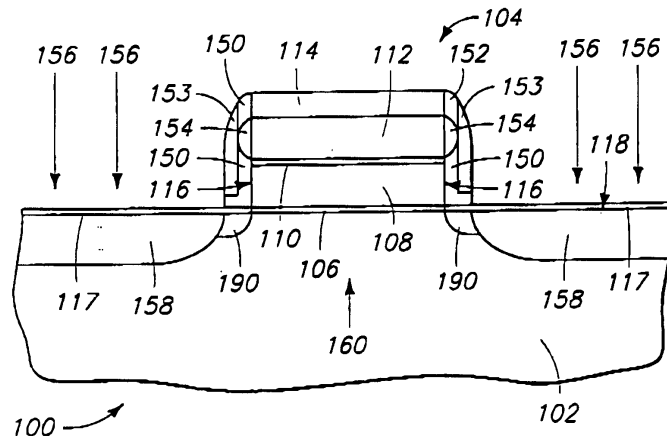


도면12

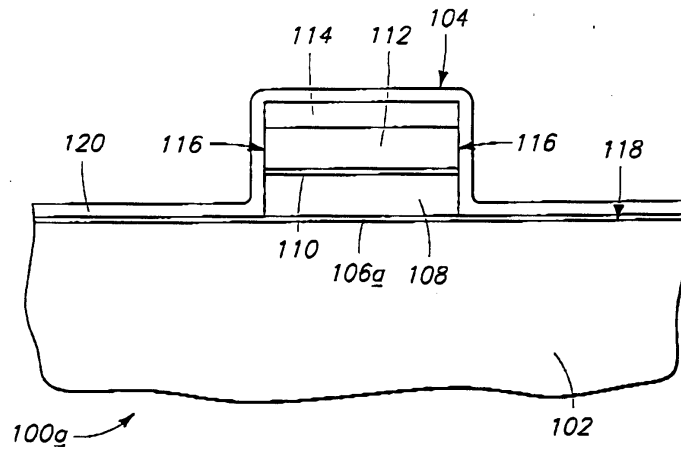




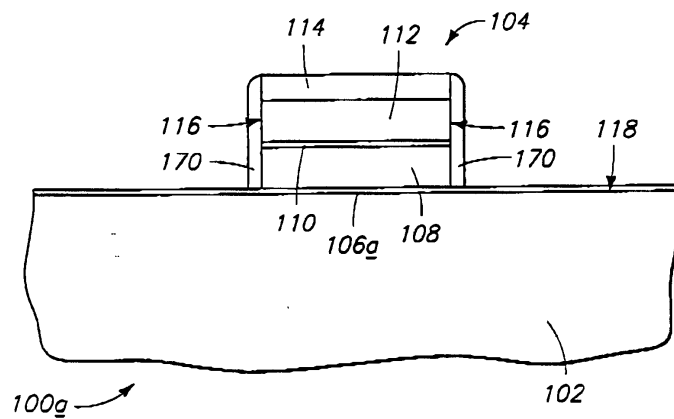
도면13



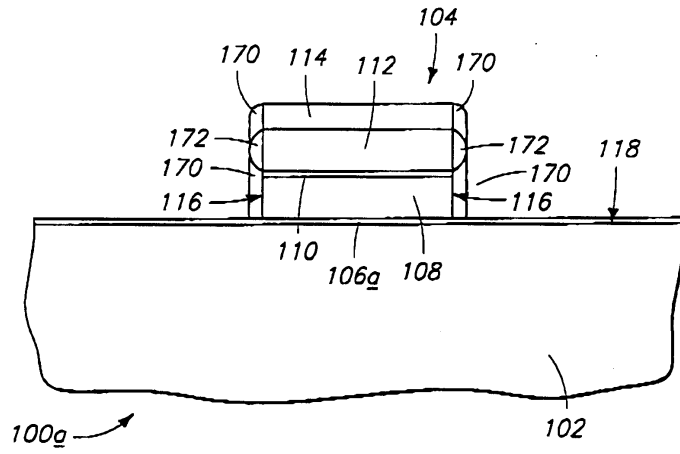
도면14



도면15



도면16



도면17

