



(21) 申請案號：098108207

(22) 申請日：中華民國 98 (2009) 年 03 月 13 日

(51) Int. Cl. : **G06F13/40 (2006.01)****G06F13/38 (2006.01)**

(71) 申請人：威盛電子股份有限公司 (中華民國) VIA TECHNOLOGIES, INC. (TW)

臺北縣新店市中正路 535 號 8 樓

(72) 發明人：曾紋郁 TSENG, WEN YU (TW)

(74) 代理人：洪澄文；顏錦順

(56) 參考文獻：

TW 495672

TW I296760

US 2005/0186854A1

US 2007/0011372A1

US 2008/0005395A1

申請專利範圍項數：20 項 圖式數：15 共 32 頁

(54) 名稱

積體電路

INTEGRATED CIRCUITS

(57) 摘要

一種積體電路，用以經由通用串列匯流排 3.0 插座對通用串列匯流排裝置進行存取。積體電路包括複數接腳以及控制單元。複數接腳包括一第一群組，用以接收以及傳送通用串列匯流排裝置之第一差動對信號；一第二群組，用以接收來自通用串列匯流排裝置之第二差動對信號；以及，一第三群組，用以傳送第三差動對信號至通用串列匯流排裝置。第二群組係設置於第一群組以及第三群組之間。控制單元控制上述複數接腳來接收或傳送第一、第二或第三差動對信號。

An integrated circuit for accessing a universal serial bus (USB) device via a USB 3.0 receptacle is provided. The integrated circuit includes a plurality of pins and a controlling unit. The pins include a first group for receiving and transmitting a first differential pair signals of the USB device; a second group for receiving a second differential pair signals from the USB device; and a third group for transmitting a third differential pair signals to the USB device. The second group is disposed between the first and third group. The controlling unit controls the plurality of pins to receive or transmit the first, second or third differential pair signals.

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種積體電路，特別是有關於一種具有通用串列匯流排 3.0 功能之積體電路。

【先前技術】

通用串列匯流排 (Universal Serial Bus, USB) 為連接外部設備的一種串列匯流排標準，其可支持熱插拔 (Hot plug) 和即插即用 (Plug and Play) 等功能。

現今，USB 2.0 規格可提供低速、全速以及高速傳輸，其可分別支援最大 1.5Mbps、12Mbps 及 480Mbps 的資料量。然而，隨著複雜功能的增加，電子產品需要更高速的 USB 傳輸速率，以便能更快速地從外部設備存取資料並執行相關之操作程序。

因此，USB 實施論壇 (USB Implementers Forum) 制訂了 USB 3.0 的規格，其可同時提供超高速 (SuperSpeed) 以及非超高速 (即 USB 2.0) 的資訊交換，其中超高速傳輸可支援最大 5G bps 的資料量。

【發明內容】

本發明提供一種積體電路，用以經由一通用串列匯流排 3.0 插座對一通用串列匯流排裝置進行存取。上述積體電路包括：複數接腳，經由複數引線耦接於上述通用串列匯流排 3.0 插座，包括：一第一群組，用以接收以及傳送上述通用串列匯流排裝置之一第一差動對信號，其中上述第一差動對信號係對應於上述通用串列匯流排裝置之通用

串列匯流排 2.0 的信號；一第二群組，用以接收來自上述通用串列匯流排裝置之一第二差動對信號，其中上述第二差動對信號係對應於上述通用串列匯流排裝置之通用串列匯流排 3.0 的信號；以及一第三群組，用以傳送一第三差動對信號至上述通用串列匯流排裝置，其中上述第三差動對信號係對應於上述通用串列匯流排裝置之通用串列匯流排 3.0 的信號，其中上述第二群組係設置於上述第一群組以及上述第三群組之間；以及一控制單元，用以控制上述接腳來接收或傳送上述第一、第二或第三差動對信號。

再者，本發明提供一種積體電路，配置於一特定封裝內，用以經由複數通用串列匯流排 3.0 插座對複數通用串列匯流排裝置進行存取。上述積體電路包括：複數接腳群組，其中上述每一接腳群組係設置於上述特定封裝之不同側並耦接於對應之上述通用串列匯流排 3.0 插座，其中上述每一接腳群組包括：一第一子群組，用以接收以及傳送上述通用串列匯流排裝置之一第一差動對（differential pair）信號；一第二子群組，用以接收來自於上述通用串列匯流排裝置之一第二差動對信號；以及，一第三子群組，用以傳送一第三差動對信號至上述通用串列匯流排裝置，其中上述第二子群組係設置於上述第一子群組以及上述第三子群組之間；以及，複數控制單元，其中上述每一控制單元控制對應之上述接腳群組來接收或傳送對應之上述第一、第二或第三差動對信號。

【實施方式】

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

實施例：

第 1A-1D 圖係顯示 USB 3.0 的不同規格之插座 (receptacle)。第 1A 圖及第 1B 圖係分別顯示標準規格-A (Standard-A) 以及標準規格-B (Standard-B) 之插座，其詳細之接腳圖如第 2A 圖所顯示。第 1C 圖及第 1D 圖係分別顯示微規格-B (Micro-B) 以及微規格-AB (Micro-AB) 之插座，其詳細之接腳圖如第 2B 圖所顯示。USB 3.0 可同時提供超高速 (SuperSpeed) 以及非超高速 (即 USB 2.0) 的資訊交換。因此，符合 USB 3.0 規格的裝置可包括 USB 2.0 的差動對 (differential pair) 信號 D+/D-、超高速 (SuperSpeed) 規格之差動對信號、接地線 GND 以及電源線 VBUS，其中超高速信號又可分為傳送差動對信號 SSTX+/SSTX-以及接收差動對信號 SSRX+/SSRX-，而電源線 VBUS 為提供一供應電壓至 USB 3.0 裝置的信號線。

第 3A 圖係顯示根據本發明一實施例所述之積體電路與標準規格-A 之插座的電路圖。在第 3A 圖中，積體電路 100 以及插座 200 係設置在一電子裝置之印刷電路板上，其中積體電路 100 可透過插座 200 對外部之 USB 裝置 (未顯示) 進行存取。如第 3A 圖所顯示，積體電路 100 包括控制單元 120，其中控制單元 120 為 USB 之實體層電路，並具有複數接腳耦接於插座 200，以對外部之 USB 裝置進

行存取。複數接腳包括由接腳 121 及接腳 122 所組成之第一群組、由接腳 123 及接腳 124 所組成之第二群組以及由接腳 125 及接腳 126 所組成之第三群組，其中第二群組係設置於第一群組以及第三群組之間。在本發明實施例中，接腳 121 以及接腳 122 亦可定義為積體電路 100 之接腳 D- 以及接腳 D+，其分別耦接於插座 200 之接腳 D- 及接腳 D+，用以接收以及傳送 USB 裝置中對應於 USB 2.0 的差動對信號。因此，當支援 USB 2.0 之裝置插入插座 200 時，控制單元 120 可經由接腳 121 及接腳 122 來接收以及傳送差動對信號 D+ 及 D-，以便對 USB 裝置進行存取。

再者，在本發明一實施例中，接腳 123 以及接腳 124 亦可定義為積體電路 100 之接腳 SSRX+ 以及接腳 SSRX-，如第 3A 圖所顯示。接腳 123 以及接腳 124 分別耦接於插座 200 之接腳 StdA_SSRX- 及接腳 StdA_SSRX+，其用以接收 USB 裝置中對應於 USB 3.0 的差動對信號。因此，當支援超高速規格之裝置插入插座 200 時，控制單元 120 可經由接腳 123 及接腳 124 接收來自於 USB 裝置之差動對信號 SSRX+ 及 SSRX-，以便接收來自於 USB 裝置的資料並進行相關處理。在本發明一實施例中，接腳 125 以及接腳 126 亦可定義為積體電路 100 之接腳 SSTX- 以及接腳 SSTX+，如第 3A 圖所顯示。接腳 125 以及接腳 126 分別耦接於插座 200 之接腳 StdA_SSTX- 及接腳 StdA_SSTX+，其用以傳送對應於 USB 3.0 的差動對信號至 USB 裝置。因此，當支援超高速規格之裝置插入插座 200 時，控制單元 120 可經由接腳 125 及接腳 126 來傳送差動對信號 SSTX- 及

SSTX+，以便將資料傳送至 USB 裝置。此外，在積體電路 100 中，控制單元 120 亦可包括接地接腳 GND，其耦接至插座 200 的接地信號線，其中接地接腳 GND 可配置於接腳 122 與接腳 123 之間或是接腳 124 與接腳 125 之間。在一實施例中，插座 200 的接地信號線可直接由印刷電路板之接地端所提供。再者，控制單元 120 亦可包括電源接腳 VCC 及電源接腳 VDD，用以提供操作電壓至控制單元 120。

根據 USB 3.0 的應用，差動對信號 SSTX-及 SSTX+可以反接，而差動對信號 SSRX-及 SSRX+亦可反接。因此，在積體電路 100 內，接腳 123 及接腳 124 的設置位置可以對調，而接腳 125 及接腳 126 的設置位置可以對調，如第 3B-3D 圖所顯示。

第 4 圖係顯示根據本發明實施例所述之積體電路與標準規格-B 之插座 300 的電路圖。第 5 圖係顯示根據本發明實施例所述之積體電路與微規格-B 之插座 400 的電路圖。第 6 圖係顯示根據本發明實施例所述之積體電路與微規格-AB 之插座 500 的電路圖。相同地，積體電路 100 可與插座 300、400 或 500 設置在一電子裝置之印刷電路板上，其中積體電路 100 可透過插座 300、400 或 500 對外部之 USB 裝置進行存取。在本發明實施例中，藉由配置控制單元的接腳將接腳 123 及接腳 124(接收差動信號)設置於積體電路 100 之一組 USB 接腳群組的中間，可容易與不同規格之插座進行連接，並且可避免插座與 USB 接腳群組之間的引線有交錯干擾 (crosstalk) 的情況發生。

第 7 圖係顯示根據本發明一實施例所述之積體電路

700 與複數 USB 3.0 插座的電路圖。積體電路 700 係配置於四側扁平無引腳封裝 (Quad Flat No-lead Package, QFN) 或是薄型四側扁平引腳封裝 (Low profile Quad Flat Package, LQFP) 內。在本發明實施例中, 積體電路 700 可配置多組 USB 接腳群組, 以便對不同的 USB 裝置進行存取。舉例來說, 積體電路可在同一側配置多組控制單元, 每一控制單元具有一組 USB 接腳群組, 其中每一控制單元為 USB 之實體層電路。如第 7 圖所顯示, 控制單元 710 的 USB 接腳群組 730 係耦接於插座 750, 用以對第一 USB 裝置進行存取。控制單元 720 的 USB 接腳群組 740 係耦接於插座 760, 用以對第二 USB 裝置進行存取, 其中控制單元 710 及 720 皆設置於積體電路 700 的同一側。因此, 不同控制單元之 USB 接腳群組可分別連接至對應之插座, 並可避免不同插座與不同控制單元之 USB 接腳群組之間的引線有交錯干擾的情況發生。在一實施例中, 插座 750 及插座 760 可以是不同規格之 USB 3.0 插座。例如, 插座 750 為標準規格-A 之插座而插座 760 為標準規格-B 之插座。

第 8 圖係顯示根據本發明另一實施例所述之積體電路 800 與複數 USB 3.0 插座的電路圖。積體電路 800 係配置於四側扁平無引腳封裝 (Quad Flat No-lead Package, QFN) 或是薄型四側扁平引腳封裝 (Low profile Quad Flat Package, LQFP) 內。在此實施例中, 四側扁平無引腳封裝或是薄型四側扁平引腳封裝只是一個舉例, 然其並非用以限定本發明。在一實施例中, 積體電路 800 可配置多組 USB 接腳群組, 以便對不同的 USB 裝置進行存取。舉例來

說，積體電路可在不同側分別配置一控制單元及其相關之 USB 接腳群組。如第 8 圖所顯示，第一控制單元之 USB 接腳群組 810 係配置於積體電路 800 的第一側並耦接於插座 850，用以對第一 USB 裝置進行存取。第二控制單元之 USB 接腳群組 820 係配置於積體電路 800 的第二側並耦接於插座 860，用以對第二 USB 裝置進行存取。第三控制單元之 USB 接腳群組 830 係配置於積體電路 800 的第三側並耦接於插座 870，用以對第三 USB 裝置進行存取。第四控制單元之 USB 接腳群組 840 係配置於積體電路 800 的第四側並耦接於插座 880，用以對第四 USB 裝置進行存取。因此，不同接腳群組可分別連接至對應之插座，並可避免不同接腳群組之間的引線有交錯干擾的情況發生。在一實施例中，插座 850、860、870 及 880 可以是不同規格之 USB 3.0 插座，其可根據實際應用而決定。例如，插座 850 及 860 為標準規格-A 之插座而插座 870 及 880 為標準規格-B 之插座。或是，插座 850 為標準規格-A 之插座、插座 860 為標準規格-B 之插座、插座 870 為微規格-AB 之插座，以及插座 880 為微規格-B 之插座。

再者，本發明之積體電路亦可配置於其他封裝內，例如覆晶封裝 (Flip Chip) 或球柵陣列封裝 (Ball Grid Array, BGA) 等。藉由將對應於同一 USB 接腳群組的不同接腳配置於相鄰的位置內，可避免不同插座與不同控制單元之 USB 接腳群組之間的引線有交錯干擾的情況發生。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不

脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1A 圖係顯示 USB 3.0 之標準規格-A 之插座；

第 1B 圖係顯示 USB 3.0 之標準規格-B 之插座；

第 1C 圖係顯示 USB 3.0 之微規格-B 之插座；

第 1D 圖係顯示 USB 3.0 之微規格-AB 之插座；

第 2A 圖係顯示標準規格-A 以及標準規格-B 之接腳圖；

第 2B 圖係顯示微規格-B 以及微規格-AB 之接腳圖；

第 3A 圖係顯示根據本發明一實施例所述之積體電路與標準規格-A 之插座的電路圖；

第 3B-3D 圖係分別顯示根據本發明另一實施例所述之積體電路與標準規格-A 之插座的電路圖；

第 4 圖係顯示根據本發明實施例所述之積體電路與標準規格-B 之插座的電路圖；

第 5 圖係顯示根據本發明實施例所述之積體電路與微規格-B 之插座的電路圖；

第 6 圖係顯示根據本發明實施例所述之積體電路與微規格-AB 之插座的電路圖；

第 7 圖係顯示根據本發明一實施例所述之積體電路與複數 USB 3.0 插座的電路圖；以及

第 8 圖係顯示根據本發明另一實施例所述之積體電路與複數 USB 3.0 插座的電路圖。

【主要元件符號說明】

1-9、121-126～接腳；

100、700、800～積體電路；

120、710、720～控制單元；

200、300、400、500、750、760、850、860、870、880

～插座；

730、740、810、820、830、840～接腳群組

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：098108207

※申請日：98.3.13

※IPC 分類：

G06F 13/40 (2006.01)

一、發明名稱：(中文/英文)

積體電路

G06F 13/38 (2006.01)

INTEGRATED CIRCUITS

二、中文發明摘要：

一種積體電路，用以經由通用串列匯流排 3.0 插座對通用串列匯流排裝置進行存取。積體電路包括複數接腳以及控制單元。複數接腳包括一第一群組，用以接收以及傳送通用串列匯流排裝置之第一差動對信號；一第二群組，用以接收來自通用串列匯流排裝置之第二差動對信號；以及，一第三群組，用以傳送第三差動對信號至通用串列匯流排裝置。第二群組係設置於第一群組以及第三群組之間。控制單元控制上述複數接腳來接收或傳送第一、第二或第三差動對信號。

三、英文發明摘要：

An integrated circuit for accessing a universal serial bus (USB) device via a USB 3.0 receptacle is provided. The integrated circuit includes a plurality of pins and a controlling unit. The pins include a first group for receiving and transmitting a first differential pair signals of

the USB device; a second group for receiving a second differential pair signals from the USB device; and a third group for transmitting a third differential pair signals to the USB device. The second group is disposed between the first and third group. The controlling unit controls the plurality of pins to receive or transmit the first, second or third differential pair signals.

七、申請專利範圍：

1.一種積體電路，用以經由一通用串列匯流排 3.0 插座對一通用串列匯流排裝置進行存取，包括：

複數接腳，經由複數引線耦接於上述通用串列匯流排 3.0 插座，包括：

一第一群組，用以接收以及傳送上述通用串列匯流排裝置之一第一差動對信號，其中上述第一差動對信號係對應於上述通用串列匯流排裝置之通用串列匯流排 2.0 的信號；

一第二群組，用以接收來自上述通用串列匯流排裝置之一第二差動對信號，其中上述第二差動對信號係對應於上述通用串列匯流排裝置之通用串列匯流排 3.0 的信號；以及

一第三群組，用以傳送一第三差動對信號至上述通用串列匯流排裝置，其中上述第三差動對信號係對應於上述通用串列匯流排裝置之通用串列匯流排 3.0 的信號，其中上述第二群組係設置於上述第一群組以及上述第三群組之間；以及

一控制單元，用以控制上述複數接腳來接收或傳送上述第一、第二或第三差動對信號。

2.如申請專利範圍第 1 項所述之積體電路，其中上述第一群組包括：

一第一接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 D-；以及

一第二接腳，耦接於上述通用串列匯流排 3.0 插座之接

腳 D+。

3.如申請專利範圍第 2 項所述之積體電路，其中上述第二群組包括：

一 第三接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSRX-；以及

一 第四接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSRX+，其中上述第三接腳係配置於上述第二接腳以及上述第四接腳之間。

4.如申請專利範圍第 3 項所述之積體電路，其中上述第三群組包括：

一 第五接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSTX-；以及

一 第六接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSTX+，其中上述第五接腳係配置於上述第四接腳以及上述第六接腳之間。

5.如申請專利範圍第 3 項所述之積體電路，其中上述第三群組包括：

一 第五接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSTX+；以及

一 第六接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSTX-，其中上述第五接腳係配置於上述第四接腳以及上述第六接腳之間。

6.如申請專利範圍第 2 項所述之積體電路，其中上述第二群組包括：

一 第三接腳，耦接於上述通用串列匯流排 3.0 插座之接

腳 SSRX+；以及

一 第四接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSRX-，其中上述第三接腳係配置於上述第二接腳以及上述第四接腳之間。

7.如申請專利範圍第 6 項所述之積體電路，其中上述第三群組包括：

一 第五接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSTX+；以及

一 第六接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSTX-，其中上述第五接腳係配置於上述第四接腳以及上述第六接腳之間。

8.如申請專利範圍第 6 項所述之積體電路，其中上述第三群組包括：

一 第五接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSTX-；以及

一 第六接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSTX+，其中上述第五接腳係配置於上述第四接腳以及上述第六接腳之間。

9.如申請專利範圍第 1 項所述之積體電路，其中上述通用串列匯流排 3.0 插座為標準規格-A、標準規格-B、微規格-AB 或微規格-B 之插座。

10.如申請專利範圍第 1 項所述之積體電路，其中上述接腳更包括一接地接腳，設置於上述第一群組以及上述第二群組之間。

11.如申請專利範圍第 1 項所述之積體電路，其中上述

接腳更包括一接地接腳，設置於上述第二群組以及上述第三群組之間。

12.一種積體電路，配置於一特定封裝內，用以經由複數通用串列匯流排 3.0 插座對複數通用串列匯流排裝置進行存取，包括：

複數接腳群組，其中上述每一接腳群組係設置於上述特定封裝之不同側並耦接於對應之上述通用串列匯流排 3.0 插座，其中上述每一接腳群組包括：

一第一子群組，用以接收以及傳送上述通用串列匯流排裝置之一第一差動對信號；

一第二子群組，用以接收來自於上述通用串列匯流排裝置之一第二差動對信號；以及

一第三子群組，用以傳送一第三差動對信號至上述通用串列匯流排裝置，其中上述第二子群組係設置於上述第一子群組以及上述第三子群組之間；以及

複數控制單元，其中上述每一控制單元控制對應之上述接腳群組來接收或傳送對應之上述第一、第二或第三差動對信號，

其中上述通用串列匯流排 3.0 插座為標準規格-A、標準規格-B、微規格-AB 或微規格-B 之插座。

13.如申請專利範圍第 12 項所述之積體電路，其中上述特定封裝為四側扁平無引腳封裝或是薄型四側扁平引腳封裝。

14.如申請專利範圍第 12 項所述之積體電路，其中上述第一子群組包括：

一 第一接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 D-；以及

一 第二接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 D+。

15.如申請專利範圍第 14 項所述之積體電路，其中上述第二子群組包括：

一 第三接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSRX-；以及

一 第四接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSRX+，其中上述第三接腳係配置於上述第二接腳以及上述第四接腳之間。

16.如申請專利範圍第 15 項所述之積體電路，其中上述第三子群組包括：

一 第五接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSTX-；以及

一 第六接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSTX+，其中上述第五接腳係配置於上述第四接腳以及上述第六接腳之間。

17.如申請專利範圍第 15 項所述之積體電路，其中上述第三子群組包括：

一 第五接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSTX+；以及

一 第六接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSTX-，其中上述第五接腳係配置於上述第四接腳以及上述第六接腳之間。

18.如申請專利範圍第 14 項所述之積體電路，其中上述第二子群組包括：

一 第三接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSRX+；以及

一 第四接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSRX-，其中上述第三接腳係配置於上述第二接腳以及上述第四接腳之間。

19.如申請專利範圍第 18 項所述之積體電路，其中上述第三群組包括：

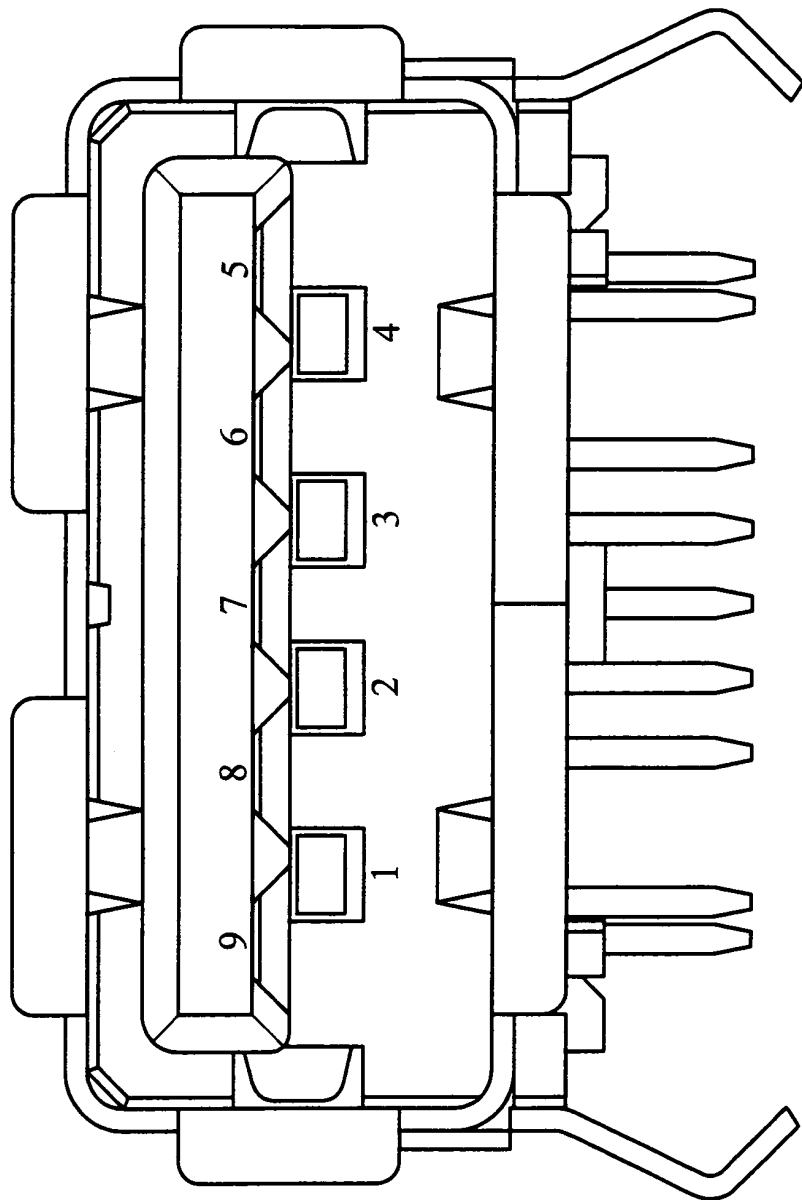
一 第五接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSTX+；以及

一 第六接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSTX-，其中上述第五接腳係配置於上述第四接腳以及上述第六接腳之間。

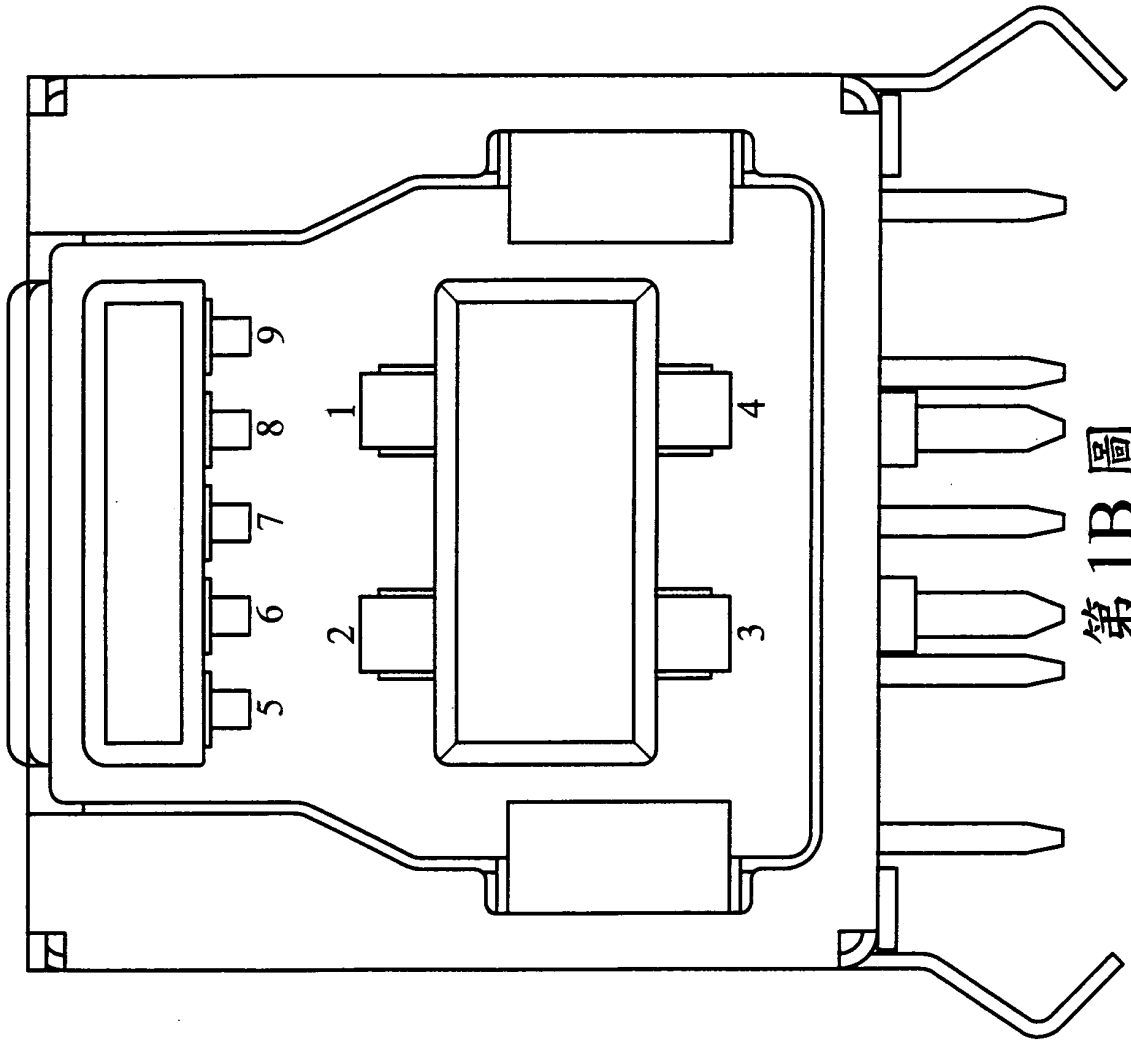
20.如申請專利範圍第 18 項所述之積體電路，其中上述第三群組包括：

一 第五接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSTX-；以及

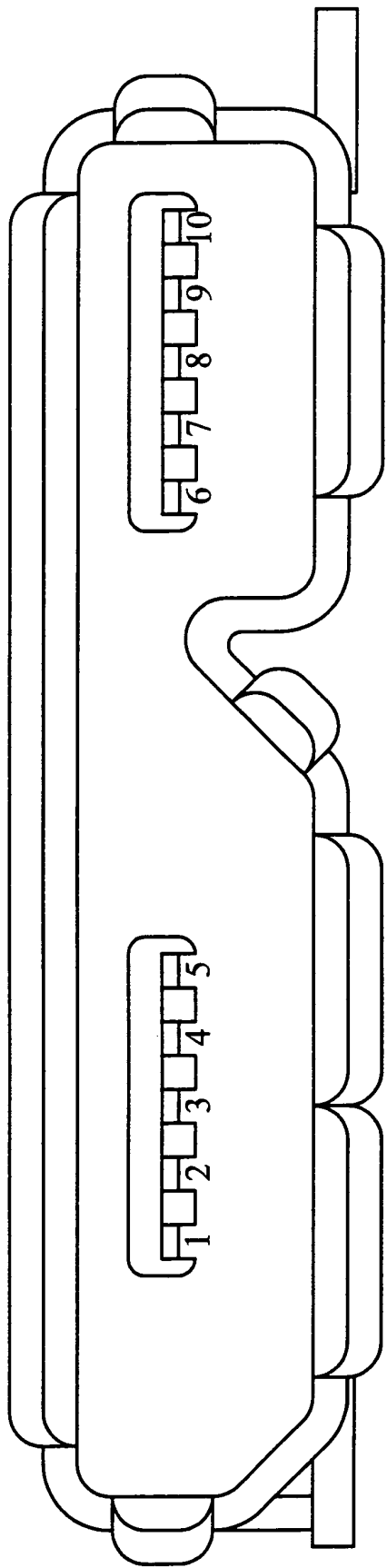
一 第六接腳，耦接於上述通用串列匯流排 3.0 插座之接腳 SSTX+，其中上述第五接腳係配置於上述第四接腳以及上述第六接腳之間。



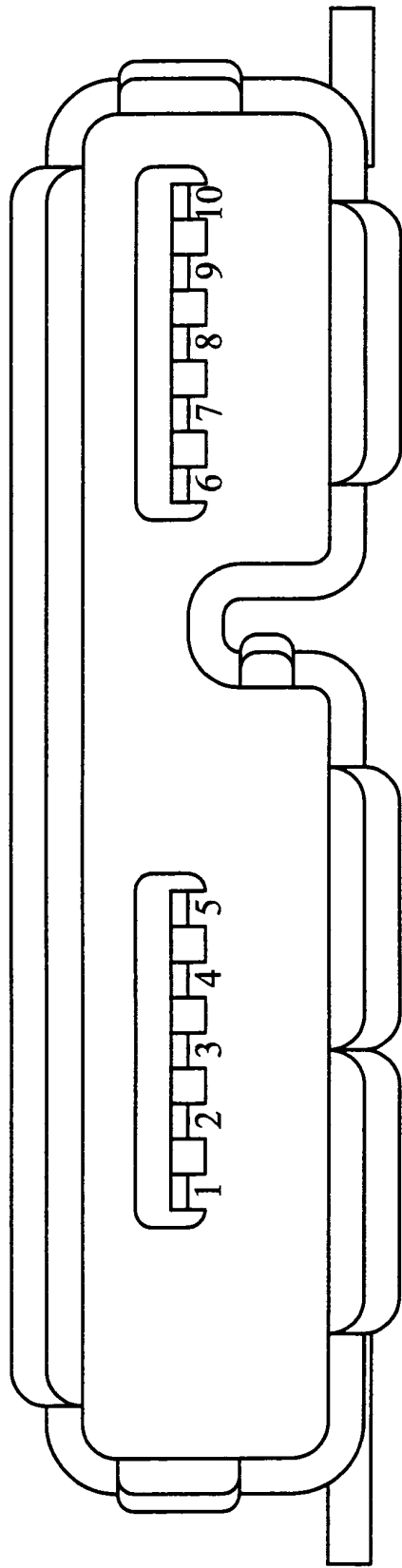
第1A圖



第1B圖



第1C圖



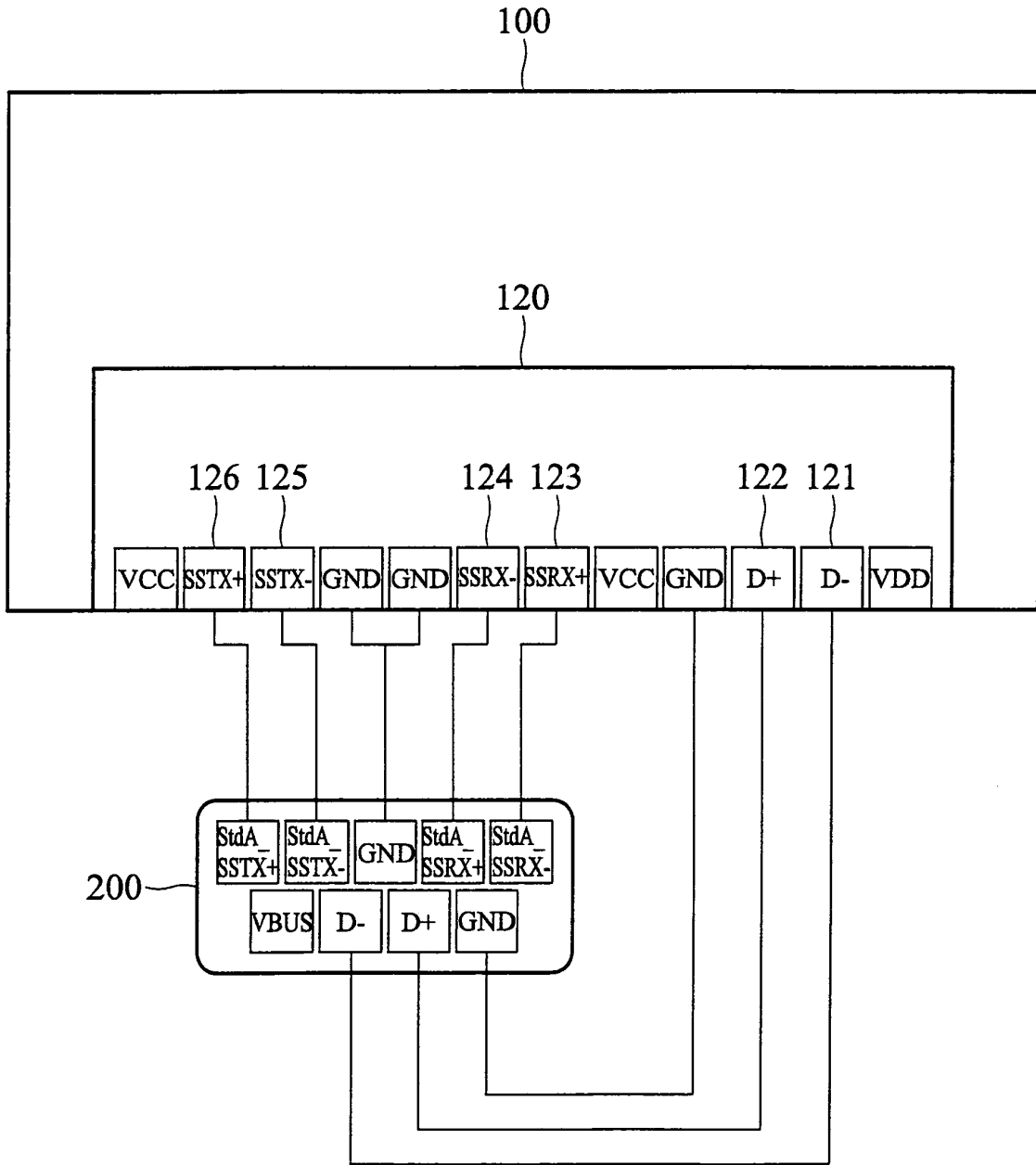
第1D圖

	Standard-A	Standard-B
1	VBUS	VBUS
2	D-	D-
3	D+	D+
4	GND	GND
5	StdA_SSRX-	StdB_SSTX-
6	StdA_SSRX+	StdB_SSTX+
7	GND	GND
8	StdA_SSTX-	StdB_SSRX-
9	StdA_SSTX+	StdB_SSRX+

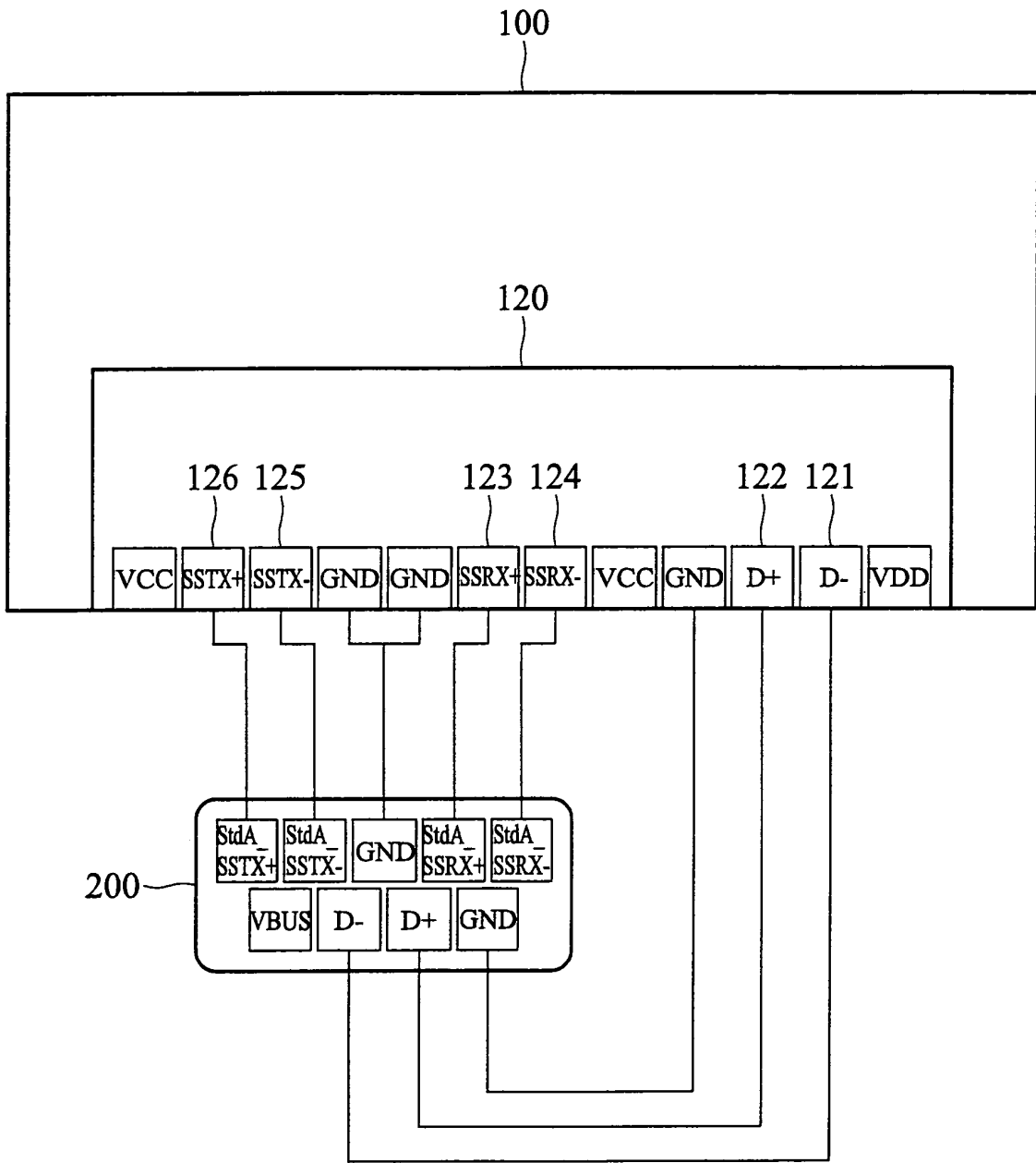
第 2A 圖

	Micro-B	Micro-AB
1	VBUS	VBUS
2	D-	D-
3	D+	D+
4	ID	ID
5	GND	GND
6	MicB_SSTX-	MicA_SSTX-
7	MicB_SSTX+	MicA_SSTX+
8	GND	GND
9	MicB_SSRX-	MicA_SSRX-
10	MicB_SSRX+	MicA_SSRX+

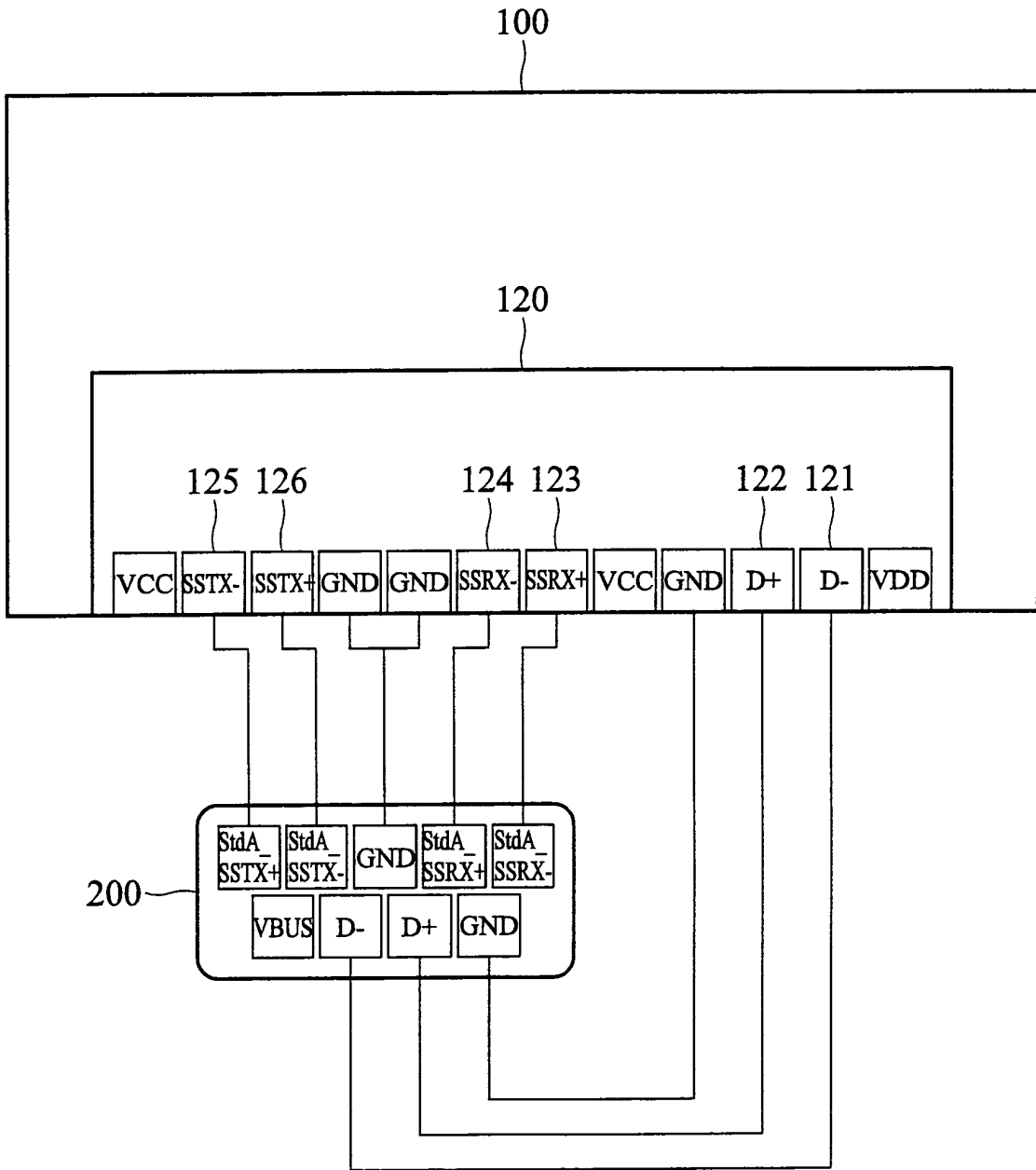
第 2B 圖



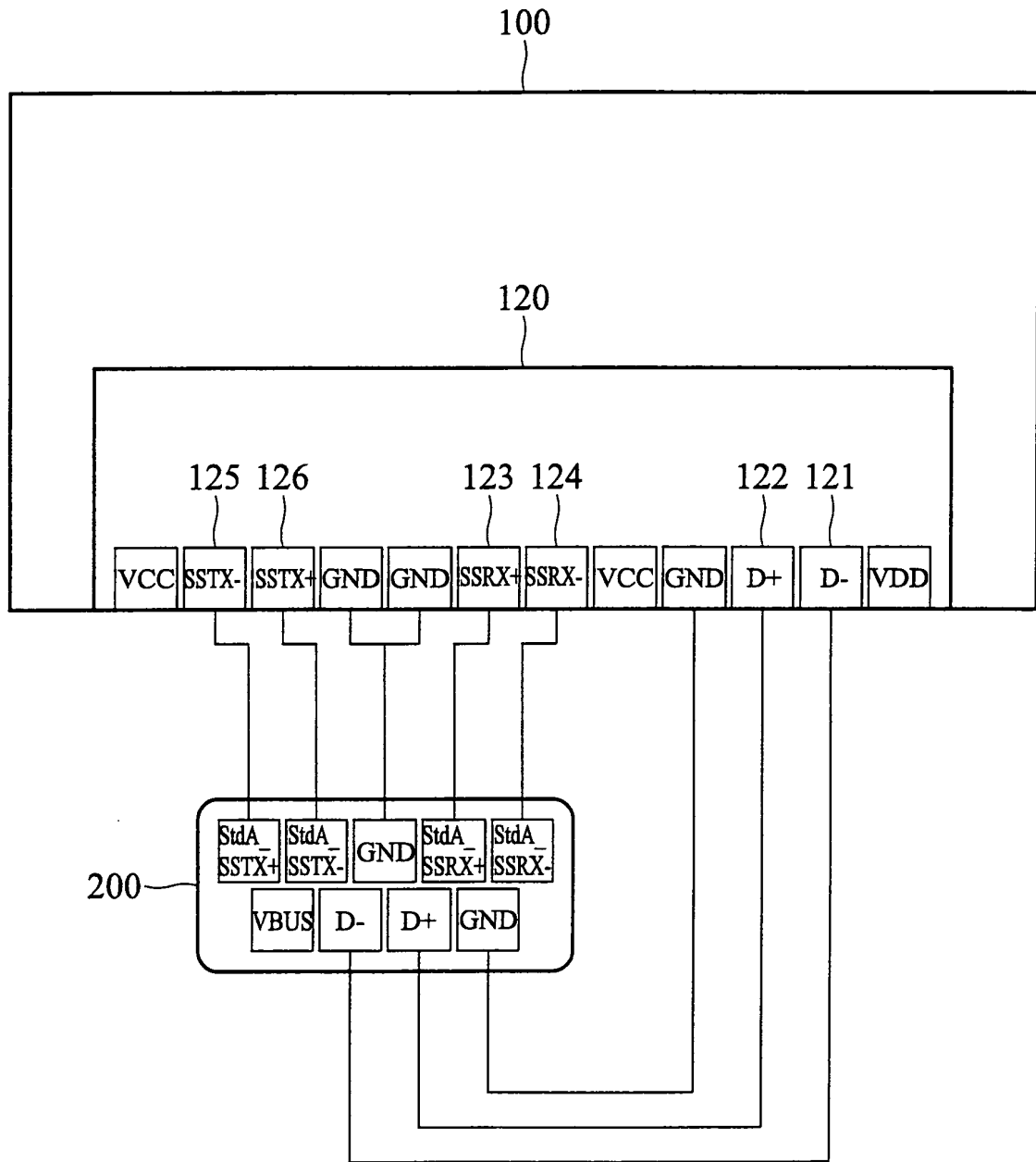
第 3A 圖



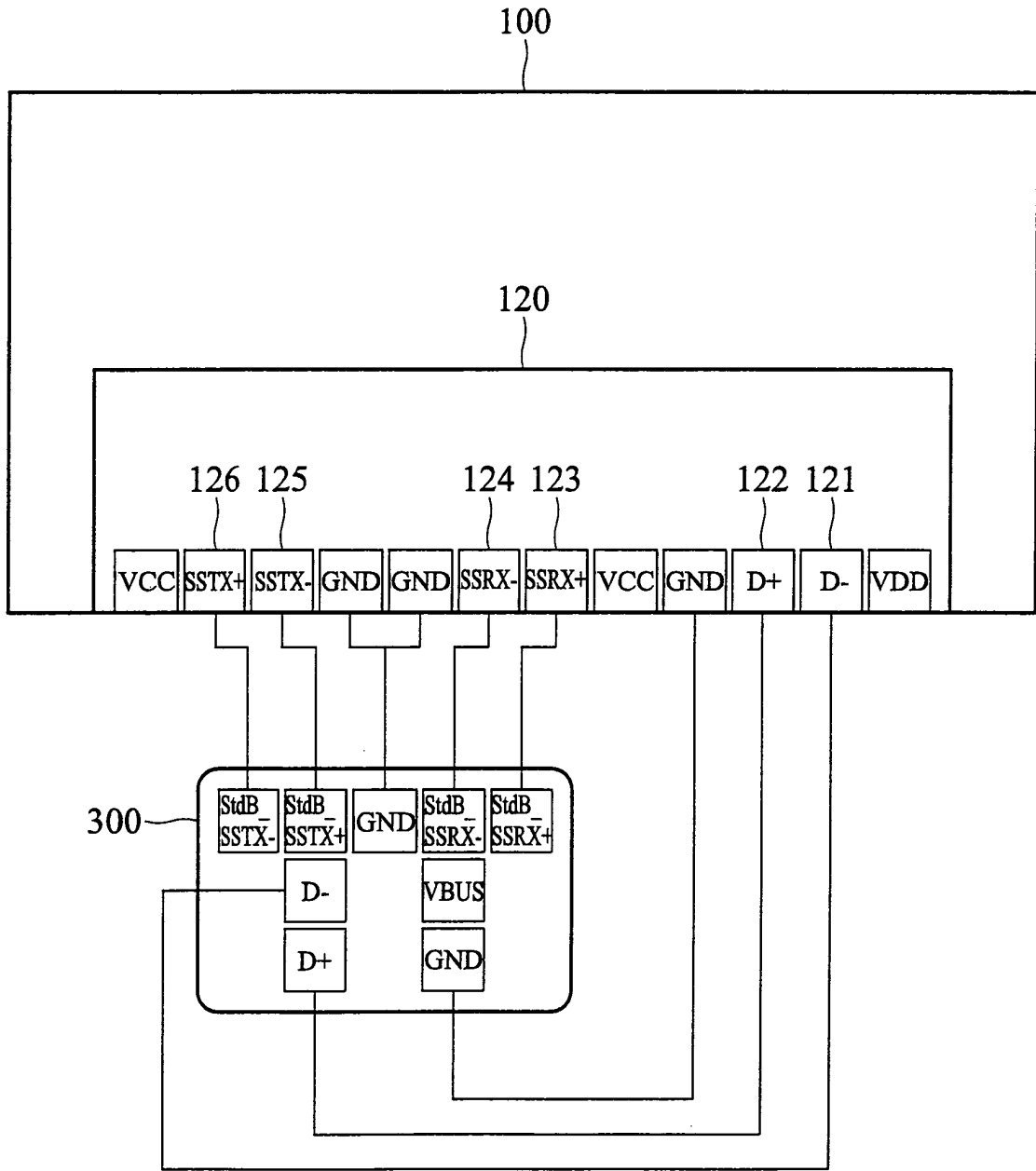
第 3B 圖



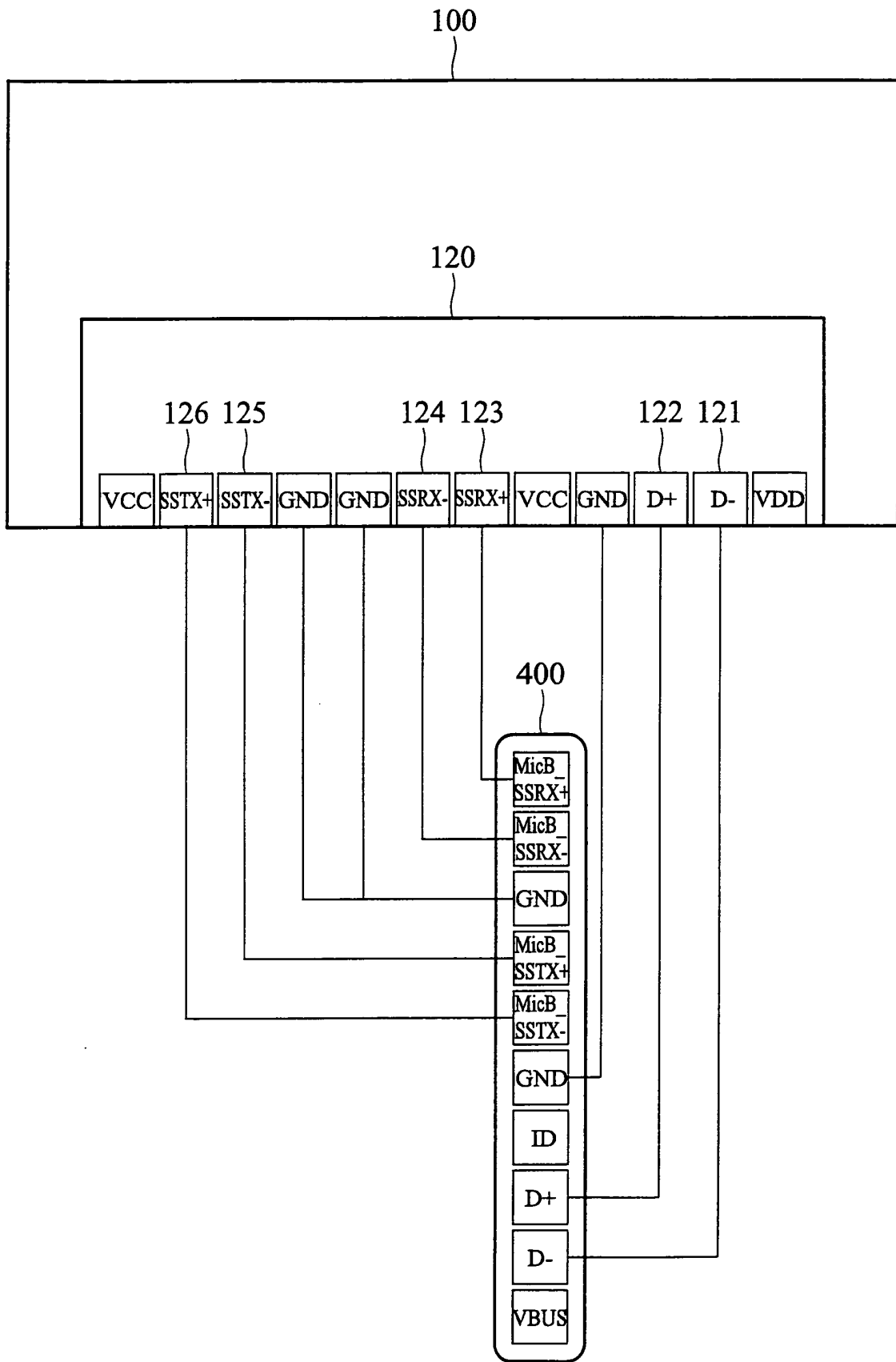
第 3C 圖



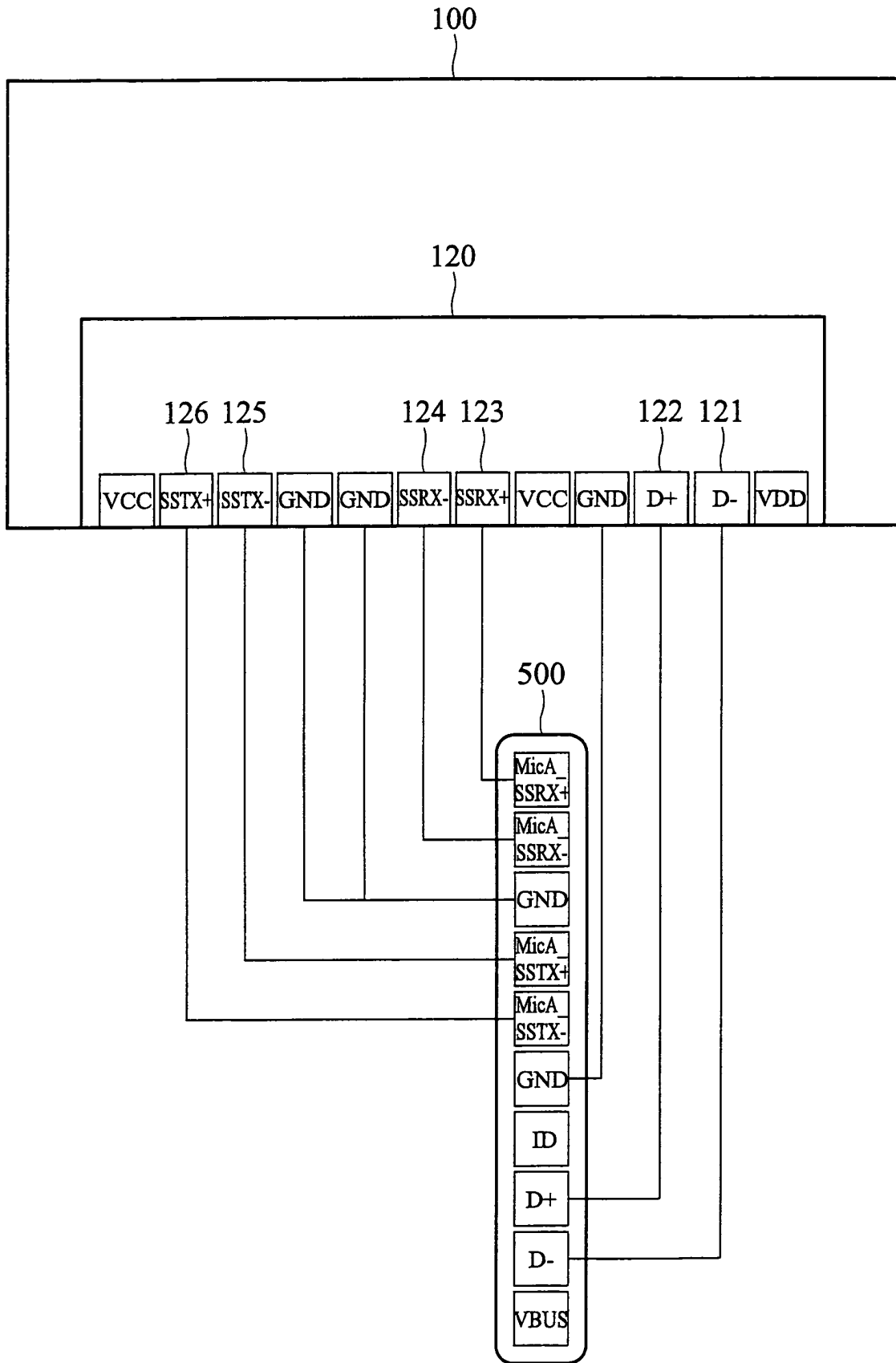
第 3D 圖



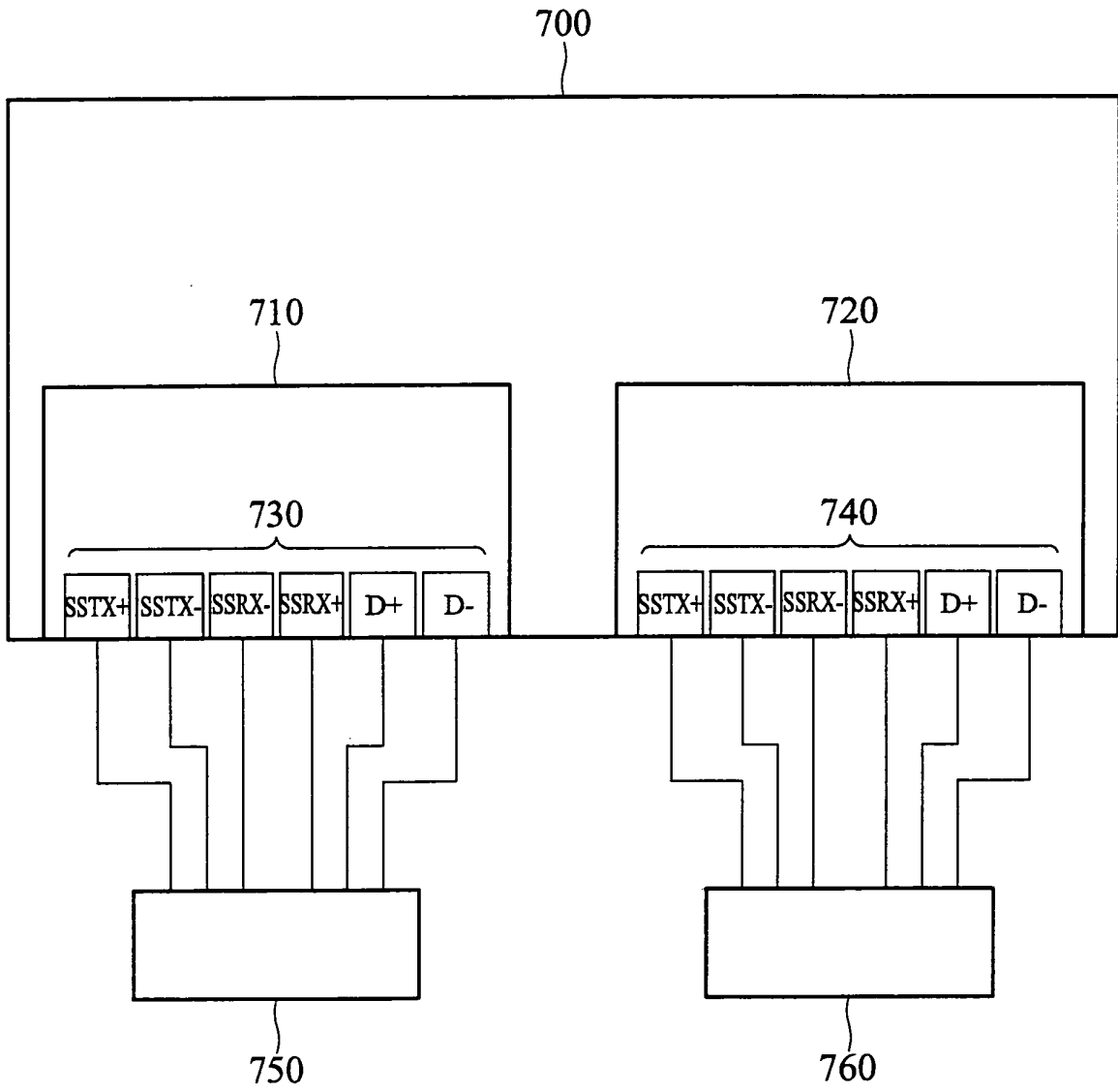
第 4 圖



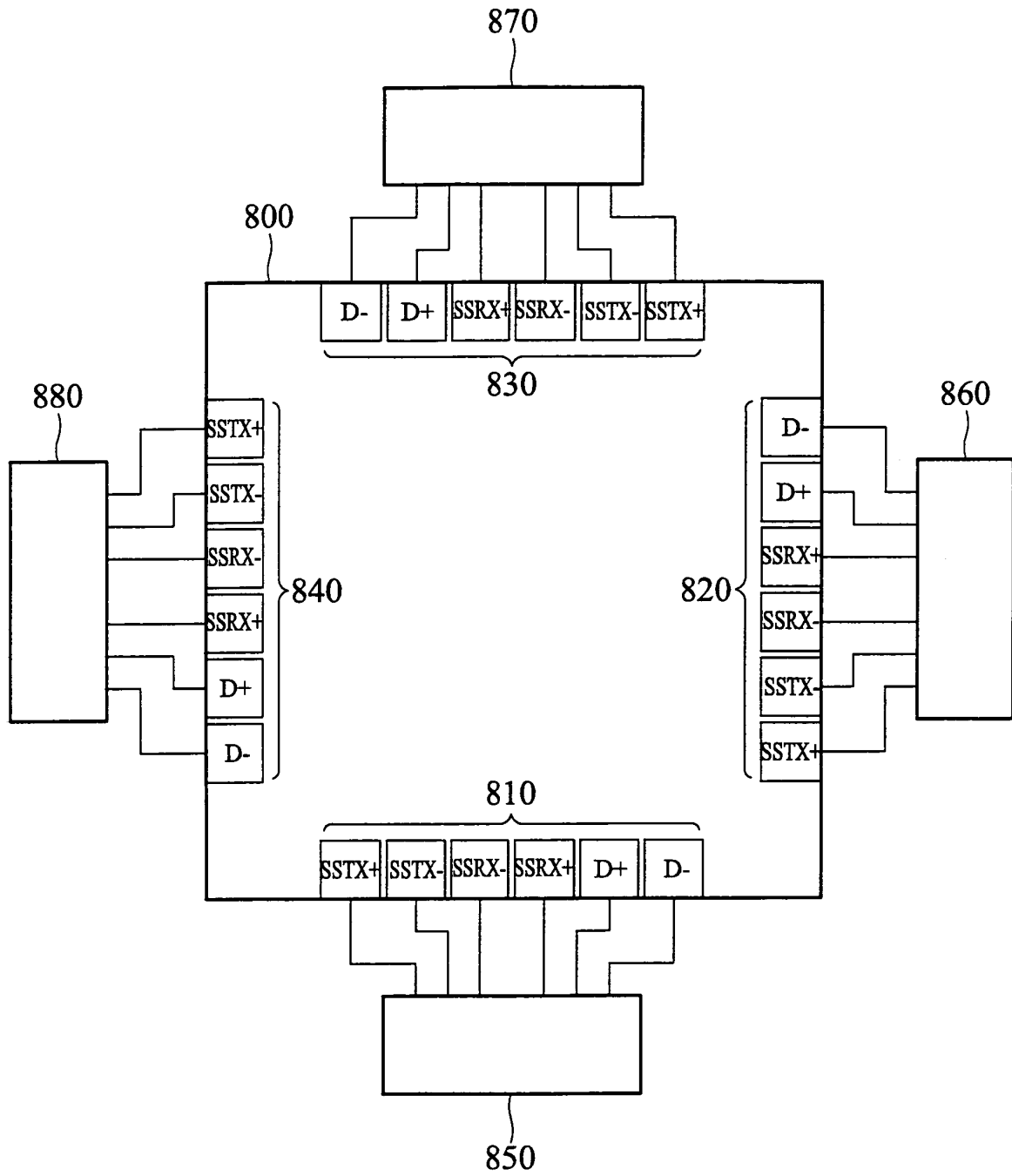
第 5 圖



第 6 圖



第 7 圖



第 8 圖

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

100～積體電路

120～控制單元

121-126～接腳

200～插座

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

略