

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
H01L 21/8234 (2006.01)



## [12] 发明专利申请公开说明书

[21] 申请号 200610004866.5

[43] 公开日 2006年8月30日

[11] 公开号 CN 1825566A

[22] 申请日 2006.1.10

[21] 申请号 200610004866.5

[30] 优先权

[32] 2005.1.12 [33] JP [31] 005590/05

[71] 申请人 三洋电机株式会社

地址 日本大阪府

[72] 发明人 藤岛达也 福田干夫 塚田雄二  
绪方敬士 饭田伊豆雄

[74] 专利代理机构 北京市柳沈律师事务所  
代理人 李贵亮 杨 梧

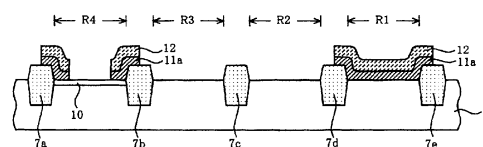
权利要求书 3 页 说明书 11 页 附图 9 页

### [54] 发明名称

半导体装置的制造方法

### [57] 摘要

一种半导体装置的制造方法，在同一半导体衬底上具有电容和 MOS 晶体管的半导体装置中，防止电容的绝缘破坏。在 P 型半导体衬底(1)的整个面上形成作为高耐压 MOS 晶体管的栅极绝缘膜的 SiO<sub>2</sub>膜(11)。在覆盖高耐压 MOS 晶体管形成区域 R1 及与电容形成区域 R4 邻接的槽绝缘膜(7a、7b)边缘的 SiO<sub>2</sub>膜(11a)的一部分上选择地形成光致抗蚀层(12)，并以该光致抗蚀层(12)为掩模，蚀刻除去 SiO<sub>2</sub>膜(11)。在进行该蚀刻时，由于以光致抗蚀层(12)为掩模，故与电容邻接的槽绝缘膜(7a、7b)的边缘不会过度损伤。将该蚀刻时残留的 SiO<sub>2</sub>膜(11a)和之后形成的 SiO<sub>2</sub>膜作为电容绝缘膜。



1、一种半导体装置的制造方法，该半导体装置在半导体衬底表面，在同一半导体衬底上具有电容和至少一个 MOS 晶体管，其特征在于，该制造方法具有：与所述半导体衬底的电容形成区域及 MOS 晶体管形成区域邻接，形成元件分离绝缘膜的工序；向所述电容形成区域注入杂质离子，形成下部电极层的工序；在所述半导体衬底上的整个面上形成第一绝缘膜的工序；在覆盖与所述电容形成区域邻接的所述元件分离绝缘膜边缘的所述第一绝缘膜的一部分上、及所述 MOS 晶体管形成区域的所述第一绝缘膜上形成光致抗蚀层的工序；以所述光致抗蚀层为掩模，蚀刻所述第一绝缘膜的工序；至少在所述电容形成区域形成第二绝缘膜，并将所述第一绝缘膜和所述第二绝缘膜作为电容绝缘膜的工序；在形成于所述 MOS 晶体管形成区域的所述第一绝缘膜上形成栅极电极，在所述电容绝缘膜上形成上部电极层的工序。

2、一种半导体装置的制造方法，该半导体装置在半导体衬底表面，在同一半导体衬底上具有电容和至少一个 MOS 晶体管，其特征在于，该制造方法具有：与所述半导体衬底的电容形成区域及 MOS 晶体管形成区域邻接，形成元件分离绝缘膜的工序；覆盖与所述电容形成区域邻接的源极分离绝缘膜的边缘，形成在所述电容形成区域具有开口部的光致抗蚀层的工序；以所述光致抗蚀层为掩模向所述开口部注入杂质离子形成下部电极层的工序；在所述半导体衬底上的整个面上形成第一绝缘膜的工序；蚀刻形成于所述电容形成区域的所述第一绝缘膜的工序；至少在所述电容形成区域形成第二绝缘膜，并将所述第二绝缘膜作为电容绝缘膜的工序；在形成于所述 MOS 晶体管形成区域的所述第一绝缘膜上形成栅极电极，在所述电容绝缘膜上形成上部电极层的工序。

3、如权利要求 1 或 2 所述的半导体装置的制造方法，其特征在于，当设所述第一绝缘膜的膜厚为  $T1$ ，设所述第二绝缘膜的膜厚为  $T2$  时，满足  $T1 > T2$  的关系。

4、如权利要求 1、2 及 3 中任一项所述的半导体装置的制造方法，其特征在于，所述元件分离绝缘膜为槽绝缘膜。

5、一种半导体装置的制造方法，该半导体装置在半导体衬底表面，在同一半导体衬底上具有电容、和分别具备具有第一膜厚的栅极绝缘膜、具有

第二膜厚的栅极绝缘膜、具有第三膜厚的栅极绝缘膜的第一、第二及第三 MOS 晶体管，其特征在于，该制造方法具有：与所述半导体衬底的电容形成区域、第一、第二及第三 MOS 晶体管形成区域的各区域邻接，形成元件分离绝缘层的工序；向所述电容形成区域注入杂质离子，形成下部电极层的工序；在所述半导体衬底上的整个面上形成第一绝缘膜的工序；在覆盖与所述电容形成区域邻接的所述元件分离绝缘膜的边缘的所述第一绝缘膜的一部分上及所述第一 MOS 晶体管形成区域的所述第一绝缘膜上形成光致抗蚀层的工序；以所述光致抗蚀层为掩模，蚀刻形成于所述电容形成区域、所述第二及第三 MOS 晶体管形成区域的所述第一绝缘膜的工序；在所述半导体衬底上的整个面上形成第二绝缘膜的工序；蚀刻形成于所述第三 MOS 晶体管形成区域的所述第二绝缘膜的工序；至少在所述第三 MOS 晶体管形成区域形成第三绝缘膜的工序；以形成于所述第一区域的所述第一绝缘膜为第一 MOS 晶体管的栅极绝缘膜，以形成于所述第二区域的所述第二绝缘膜为第二 MOS 晶体管的栅极绝缘膜，以形成于所述第三 MOS 晶体管形成区域的所述第三绝缘膜为第三 MOS 晶体管的栅极绝缘膜，以形成于所述电容形成区域的所述第二绝缘膜为电容绝缘膜，在所述第一 MOS 晶体管的栅极绝缘膜上形成第一栅极电极，在所述第二 MOS 晶体管的栅极绝缘膜上形成第二栅极电极，在所述第三 MOS 晶体管的栅极绝缘膜上形成第三栅极电极，在所述电容绝缘膜上形成上部电极层的工序。

6、一种半导体装置的制造方法，该半导体装置在半导体衬底表面，在同一半导体衬底上具有电容、和分别具备具有第一膜厚的栅极绝缘膜、具有第二膜厚的栅极绝缘膜、具有第三膜厚的栅极绝缘膜的第一、第二及第三 MOS 晶体管，其特征在于，该制造方法具有：与所述半导体衬底的电容形成区域、第一、第二及第三 MOS 晶体管形成区域的各区域邻接，形成元件分离绝缘膜的工序；覆盖与所述电容形成区域邻接的元件分离绝缘膜的边缘，在所述电容形成区域形成开口部的工序；以所述光致抗蚀层为掩模，对所述开口部注入杂质离子，形成下部电极层的工序；在所述半导体衬底上的整个面上形成第一绝缘膜的工序；蚀刻形成于所述电容形成区域、所述第二及第三区域的所述第一绝缘膜的工序；在所述半导体衬底上的整个面上形成第二绝缘膜的工序；蚀刻形成于所述第三区域的所述第二绝缘膜的工序；至少在所述第三 MOS 晶体管形成区域形成第三绝缘膜的工序；以形成于所述

第一区域的所述第一绝缘膜为第一 MOS 晶体管的栅极绝缘膜，以形成于所述第二区域的所述第二绝缘膜为第二 MOS 晶体管的栅极绝缘膜，以形成于所述第三区域的所述第三绝缘膜为第三 MOS 晶体管的栅极绝缘膜，以形成于所述电容形成区域的所述第二绝缘膜为电容绝缘膜，在所述第一 MOS 晶体管的栅极绝缘膜上形成第一栅极电极，在所述第二 MOS 晶体管的栅极绝缘膜上形成第二栅极电极，在所述第三 MOS 晶体管的栅极绝缘膜上形成第三栅极电极，在所述电容绝缘膜上形成上部电极层的工序。

7、如权利要求 5 或 6 所述的半导体装置的制造方法，其特征在于，当设所述第一绝缘膜的膜厚为  $T1$ ，所述第二绝缘膜的膜厚为  $T2$ ，所述第三绝缘膜的膜厚为  $T3$  时，满足  $T1 > T2 > T3$  的关系。

8、如权利要求 5、6、及 7 中任一项所述的半导体装置的制造方法，其特征在于，所述元件分离绝缘膜为槽绝缘膜。

## 半导体装置的制造方法

## 技术领域

本发明涉及半导体装置的制造方法，特别是涉及在同一半导体衬底上具有电容和 MOS 晶体管的半导体装置的制造方法。

## 背景技术

目前，已知有具有 MOS 晶体管和电容器的半导体装置。另一方面，随着近几年的半导体装置的高集成化，在活性区域的隔离中，广泛使用浅槽隔离法（下面称为 STI 法）来取代局部氧化法（LOCOS）。该 STI 法是指，通过高密度的等离子化学气层成长（HDPCVD）将二氧化硅等绝缘材料充填到半导体衬底中的浅的沟槽内，并将其设为场绝缘膜。

下面，参照附图说明利用现有的 STI 法的在同一半导体衬底上具有电容和高耐压 MOS 晶体管的半导体装置的制造方法。图 8、图 9 及图 10 是在同一半导体衬底上具有电容和高耐压 MOS 晶体管的现有的半导体装置的制造方法的剖面图，是表示电容形成区域 R4 的图。

首先，如图 8 (a) 所示，形成在 P 型硅衬底 200 上形成有槽绝缘膜 50 的 STI 结构。其次，在 P 型硅衬底 200 表面，邻接各槽绝缘膜 50 形成例如 5~10nm 膜厚的仿真氧化膜 51（例如热氧化膜或根据 CVD 法得到的 TEOS 膜）。

其次，通过向电容形成区域 R4 离子注入 N 型杂质，例如砷离子，在 P 型硅衬底 200 表面形成电容的下部电极层 52（N+ 层）。然后，蚀刻除去仿真氧化膜 51，如图 8 (b) 所示，形成 20nm 膜厚的 SiO<sub>2</sub> 膜 53，使其覆盖 P 型硅衬底 200 的表面及槽绝缘膜 50。该 SiO<sub>2</sub> 膜 53 是构成未图示的高耐压 MOS 晶体管的栅极绝缘膜的膜。

而且，SiO<sub>2</sub> 膜 53 作为电容绝缘膜则过厚，故如图 9 (a) 所示，蚀刻除去 SiO<sub>2</sub> 膜 53，然后，如图 9 (b) 所示，通过进行热氧化，形成例如 7nm 膜厚的电容绝缘膜 54。

其次，如图 10 所示，在电容绝缘膜 54 上形成由多晶硅层构成的上部电

极层 55。由此，形成由下部电极层 52、电容绝缘膜 54、及上部电极层 55 构成的电容。

专利文献 1：特开 2002 - 26261 号公报

在现有的半导体装置的制造方法中，如图 9 (a) 所示，在进行 SiO<sub>2</sub> 膜 53 的超量蚀刻时，槽绝缘膜 50 的边缘被挖去很大，这是由于，在进行上述离子注入时，向槽绝缘膜 50 中注入了杂质离子，与没有注入杂质离子的状态相比，其蚀刻速率变高。

另外，由于在进行上述离子注入时，向 P 型硅衬底 200 表面注入了杂质离子，故在形成电容绝缘膜 54 时产生增速氧化。因此，如图 9 (b) 所示，在下部电极层 52 一端的角部 60，电容绝缘膜 54 的膜厚变薄。

因此，然后如图 10 所示，即使形成上部电极层 55，并形成电容，如上所述，由于电容绝缘膜 54 的膜厚有薄的部分，及膜厚不稳定，因此，存在发生电场集中，且容易产生该部分的电容绝缘膜 54 的绝缘破坏，电容寿命短的问题。

### 发明内容

本发明是鉴于上述问题而构成的，其主要特征如下。即，本发明提供半导体装置的制造方法，该半导体装置在半导体衬底表面，在同一半导体衬底上具有电容和至少一个 MOS 晶体管，其特征在于，该制造方法具有：与所述半导体衬底的电容形成区域及 MOS 晶体管形成区域邻接，形成元件分离绝缘膜的工序；向所述电容形成区域注入杂质离子，形成下部电极层的工序；在所述半导体衬底上的整个面上形成第一绝缘膜的工序；在覆盖与所述电容形成区域邻接的所述元件分离绝缘膜边缘的所述第一绝缘膜的一部分上、及所述 MOS 晶体管形成区域的所述第一绝缘膜上形成光致抗蚀层的工序；以所述光致抗蚀层为掩模，蚀刻所述第一绝缘膜的工序；至少在所述电容形成区域形成第二绝缘膜，并将所述第一绝缘膜和所述第二绝缘膜作为电容绝缘膜的工序；在形成于所述 MOS 晶体管形成区域的所述第一绝缘膜上形成栅极电极，在所述电容绝缘膜上形成上部电极层的工序。根据该制造方法，电容绝缘膜的边缘在蚀刻时不会被研削，可形成均匀的膜质优良的电容绝缘膜。另外，在由高耐压的厚的绝缘膜形成电容绝缘膜两端，且由薄的绝缘膜形成其以外的部分时，可通过厚的绝缘膜的部分确保耐压。

另外，本发明提供半导体装置的制造方法，在半导体衬底表面，在同一半导体衬底上具有电容和至少一个 MOS 晶体管，其特征在于，该制造方法具有：与所述半导体衬底的电容形成区域及 MOS 晶体管形成区域邻接，形成元件分离绝缘膜的工序；覆盖与所述电容形成区域邻接的元件分离绝缘膜的边缘，形成在所述电容形成区域具有开口部的光致抗蚀层的工序；以所述光致抗蚀层为掩模，向所述开口部注入杂质离子，形成下部电极层的工序；在所述半导体衬底上的整个面上形成第一绝缘膜的工序；蚀刻形成于所述电容形成区域的所述第一绝缘膜的工序；至少在所述电容形成区域形成第二绝缘膜，将所述第二绝缘膜作为电容绝缘膜的工序；在形成于所述 MOS 晶体管形成区域的所述第一绝缘膜上形成栅极电极，且在所述电容绝缘膜上形成上部电极层的工序。

根据本发明的半导体装置的制造方法，与电容邻接的槽绝缘膜的边缘在蚀刻时不会被研削，其结果可形成均匀的膜质优良的电容绝缘膜，因此，不发生电场集中，可防止电容的绝缘破坏。

#### 附图说明

图 1(a)~(d)是说明本发明第一实施例的半导体装置的制造方法的剖面图；

图 2(a)~(d)是说明本发明第一实施例的半导体装置的制造方法的剖面图；

图 3(a)~(d)是说明本发明第一实施例的半导体装置的制造方法的剖面图；

图 4(a)~(c)是说明本发明第一实施例的半导体装置的制造方法的剖面图；

图 5(a)~(d)是说明本发明第二实施例的半导体装置的制造方法的剖面图；

图 6(a)~(d)是说明本发明第二实施例的半导体装置的制造方法的剖面图；

图 7(a)~(c)是说明本发明第二实施例的半导体装置的制造方法的剖面图；

图 8(a)~(b)是说明现有实施例的半导体装置的制造方法的剖面图；

图 9(a)~(b)是说明现有实施例的半导体装置的制造方法的剖面图；

图 10 是说明现有实施例的半导体装置的制造方法的剖面图；

符号说明

- 1 P 型硅衬底
- 2  $\text{SiO}_2$  膜
- 3 多晶硅膜
- 4  $\text{Si}_3\text{N}_4$  膜
- 5 光致抗蚀膜
- 5h 开口部
- 6 沟槽
- 7a、7b、7c、7d、7e 槽绝缘膜
- 8 仿真氧化膜
- 9 光致抗蚀层
- 10 下部电极层
- 11  $\text{SiO}_2$  膜
- 11a 高耐压 MOS 晶体管的栅极绝缘膜
- 11b 中耐压 MOS 晶体管的栅极绝缘膜
- 11c 低耐压 MOS 晶体管的栅极绝缘膜
- 12 光致抗蚀层
- 13 电容绝缘膜
- 14 光致抗蚀层
- 15 多晶硅膜
- 16a、16b、16c 栅极电极
- 17 栅极电极
- 18 离子注入层 (N<sup>-</sup>)
- 19 离子注入层 (N<sup>+</sup>)
- 20a、20b、20c、20d、20e 槽绝缘膜
- 21 仿真氧化膜
- 22 开口部
- 23 光致抗蚀层
- 24 下部电极层



- 25 SiO<sub>2</sub>膜
- 25a 高耐压 MOS 晶体管的栅极绝缘膜
- 25b 中耐压 MOS 晶体管的栅极绝缘膜
- 25c 低耐压 MOS 晶体管的栅极绝缘膜
- 26 光致抗蚀层
- 27 电容绝缘膜
- 28 光致抗蚀层
- 29 多晶硅膜
- 30a、30b、30c 栅极电极
- 31 上部电极层
- 32 离子注入层 (N<sup>-</sup>)
- 33 离子注入层 (N<sup>+</sup>)
- 50 槽绝缘膜
- 51 仿真氧化膜
- 52 下部电极层
- 53 SiO<sub>2</sub>膜
- 54 电容绝缘膜
- 55 上部电极层
- 60 角部
- 100 P 型硅衬底
- 200 P 型硅衬底
- R1 高耐压 MOS 晶体管形成区域
- R2 中耐压 MOS 晶体管形成区域
- R3 低耐压 MOS 晶体管形成区域
- R4 电容形成区域

### 具体实施方式

下面，参照附图说明本发明第一实施例的半导体装置的制造方法。

如图 1(a)，通过进行热氧化，在 P 型硅衬底 1 的表面形成 SiO<sub>2</sub>膜 2(二氧化硅膜)。然后，利用 CVD 法在 SiO<sub>2</sub>膜 2 上形成具有约 50nm 膜厚的多晶硅膜 3 (Poly Silicon film)、具有 120nm 膜厚的 Si<sub>3</sub>N<sub>4</sub>膜 4 (氮化硅膜)。进而

在  $\text{Si}_3\text{N}_4$  膜 4 上形成具有多个开口部 5h 的光致抗蚀层 5。

其次, 如图 1 (b) 所示, 以具有多个开口部 5h 的光致抗蚀层 5 为掩模, 依次蚀刻在开口部 5h 露出的  $\text{Si}_3\text{N}_4$  膜 4、多晶硅膜 3、 $\text{SiO}_2$  膜 2, 进而蚀刻 P 型硅衬底 1 的表面, 形成沟槽 6a、6b、6c、6d、6e。沟槽 6 的深度优选为 1  $\mu\text{m}$ 。

其次, 如图 1 (c) 所示, 例如利用 HDPCVD 法在包括沟槽 6a、6b、6c、6d、6e 内的整个面上堆积  $\text{SiO}_2$  膜 7 (HDPCVD 膜)。然后, 如图 1 (d) 所示, 使用 CMP 法 (Chemical Mechanical Polishing Method) 抛光  $\text{SiO}_2$  膜 7 的表面。此时,  $\text{Si}_3\text{N}_4$  膜 4 作为 CMP 终点检测膜起作用, 在用光学方法检测到  $\text{Si}_3\text{N}_4$  膜 4 露出的时刻将 CMP 停止。这样, 分别选择地埋入沟槽 6a、6b、6c、6d、6e 内的槽绝缘膜 7a、7b、7c、7d、7e 作为元件分离绝缘膜而形成。

然后, 如图 2 (a) 所示, 使用热磷酸等药品除去  $\text{Si}_3\text{N}_4$  膜 4, 并通过干式蚀刻除去多晶硅膜 3, 进而根据需要, 蚀刻除去  $\text{SiO}_2$  膜 2。由此, 形成作为元件分离结构适于微细化的 STI 结构。在此, 在图 2 (a) 中, R1 是高耐压 MOS 晶体管形成区域, R2 是中耐压 MOS 晶体管形成区域, R3 是低耐压 MOS 晶体管形成区域, R4 是电容形成区域。这些 R1、R2、R3、R4 各区域通过邻接的槽绝缘膜 7a、7b、7c、7d、7e 相互绝缘。

其次, 如图 2 (b) 所示, 在形成有槽绝缘膜 7a、7b、7c、7d、7e 的 P 型硅衬底 1 的表面, 在与各槽绝缘膜 7a、7b、7c、7d、7e 邻接的 R1、R2、R3、R4 的各区域形成例如 5~10nm 膜厚的仿真氧化膜 8 (例如热氧化膜或通过 CVD 法得到的 TEOS 膜)。

然后, 如图 2 (b) 所示, 通过曝光及显影处理, 在除电容形成区域 R4 以外的区域 R1、R2、R3 的仿真氧化膜 8 上选择地形成光致抗蚀层 9, 以该光致抗蚀层 9 为掩模, 通过以加速电压 70KeV, 注入量  $2 \times 10^{14}/\text{cm}^2$  的注入条件向电容形成区域 R4 离子注入 N 型杂质, 例如砷离子, 形成电容的下部电极层 10 (N+ 层)。在此, 仿真氧化膜 8 具有缓和离子注入造成的硅衬底 1 的损伤的作用。

其次, 在除去光致抗蚀层 9 后, 蚀刻除去仿真氧化膜 8, 露出 P 型硅衬底 1 的表面。然后, 如图 2 (c) 所示, 形成例如 20nm 膜厚的  $\text{SiO}_2$  膜 11 (例如热氧化膜或通过 CVD 法得到的 TEOS 膜), 使其覆盖 R1、R2、R3、R4 各区域的 P 型硅衬底 1 的表面及槽绝缘膜 7a、7b、7c、7d、7e。

然后,如图2(d)所示,通过进行曝光及显影处理,在高耐压MOS晶体管形成区域R1的SiO<sub>2</sub>膜11a上、及覆盖电容形成区域R4的槽绝缘膜7a、7b的边缘的SiO<sub>2</sub>膜11a的部分上选择地形成光致抗蚀层12。然后,以该光致抗蚀层12为掩模,进行蚀刻,将该SiO<sub>2</sub>膜11除去。

由于,与电容区域R4邻接的槽绝缘膜7a、7b的边缘以光致抗蚀层12为掩模,故不会被蚀刻。因此,防止如现有例槽绝缘膜7a、7b的边缘被过度挖去的不良现象。

在此,在高耐压MOS晶体管形成区域R1残留的SiO<sub>2</sub>膜11a构成高耐压MOS晶体管的栅极绝缘膜11a(膜厚T1=20nm)。另外,实际上与后述的SiO<sub>2</sub>膜11b及SiO<sub>2</sub>膜11c共同构成高耐压用栅极绝缘膜(11a+11b+11c)。

其次,如图3(a)所示,在除去光致抗蚀层12后,将P型硅衬底1热氧化,在电容形成区域R4、中耐压MOS晶体管形成区域R2、及低耐压MOS晶体管形成区域R3形成比高耐压MOS晶体管的栅极绝缘膜11a薄的例如7nm的SiO<sub>2</sub>膜11b。在此,覆盖电容形成区域R4的槽绝缘膜7a及7b的边缘而形成的SiO<sub>2</sub>膜11a(膜厚T1=20nm)和SiO<sub>2</sub>膜11b(膜厚T2=7nm)作为整体构成电容绝缘膜13。

另外,实际上后述的SiO<sub>2</sub>膜11c重叠地构成电容用绝缘膜(11a+11c、11b+11c)。另外,形成于中耐压MOS晶体管形成区域R2的SiO<sub>2</sub>膜11b直接构成中耐压MOS晶体管的栅极绝缘膜11b(膜厚T2=7nm)。另外,实际上后述的SiO<sub>2</sub>膜11c重叠地构成中耐压用的栅极绝缘膜(11b+11c)。

其次,如图3(b)所示,通过光致抗蚀层14覆盖电容形成区域R4、高耐压MOS晶体管形成区域R1、及中耐压MOS晶体管形成区域R2上,蚀刻除去低耐压MOS晶体管形成区域R3的SiO<sub>2</sub>膜11b,将P型硅衬底1露出。

其次,如图3(c)所示,在除去光致抗蚀层14后,将硅衬底1热氧化,在低耐压MOS晶体管形成区域R3上形成比中耐压MOS晶体管的栅极绝缘膜11b薄的例如3nm的SiO<sub>2</sub>膜11c。这构成低耐压MOS晶体管的栅极绝缘膜11c(膜厚3nm)。

其次,如图3(d)所示,在硅衬底1整个面上形成约50nm的多晶硅膜15。其次,以形成于该多晶硅膜15上的未图示的光致抗蚀层为掩模,如图4(a)所示,在高耐压MOS晶体管的栅极绝缘膜11a上形成栅极电极16a,

在中耐压 MOS 晶体管的栅极绝缘膜 11b 上形成栅极电极 16b, 在低耐压 MOS 晶体管的栅极绝缘膜 11c 上形成栅极电极 16c, 在电容绝缘膜 13 上形成上部电极层 17。

其次, 以在高耐压 MOS 晶体管的离子注入层形成区域上具有开口部的未图示的光致抗蚀层为掩模, 以加速电压 30KeV、注入能量  $3 \times 10^{12}/\text{cm}^2$  的注入条件离子注入 N 型杂质, 例如磷离子。由此, 在高耐压 MOS 晶体管形成区域 R1 的高耐压 MOS 晶体管的源极·漏极区域形成离子注入层 18 (N-层)。

其次, 如图 4 (c) 所示, 以在 R1、R2、R3 各区域的 MOS 晶体管的离子注入层形成区域上具有开口部的未图示的光致抗蚀层为掩模, 以加速电压 60KeV、注入能量  $2 \times 10^{15}/\text{cm}^2$  的注入条件离子注入 N 型杂质, 例如砷离子。由此, 在 R1、R2、R3 的各区域的 MOS 晶体管的源极·漏极区域形成离子注入层 19 (N+层)。

由此, 在电容形成区域 R4 形成电容, 在高耐压 MOS 晶体管形成区域 R1 形成高耐压 MOS 晶体管, 在中耐压 MOS 晶体管形成区域 R2 形成中耐压 MOS 晶体管, 在低耐压 MOS 晶体管形成区域 R3 形成低耐压 MOS 晶体管。

以上, 根据第一实施例, 与电容形成区域 R4 邻接的槽绝缘膜 7a、7b 的边缘由于以光致抗蚀层 12 为掩模, 故在蚀刻  $\text{SiO}_2$  膜 11 时, 不会如现有例, 槽绝缘膜 7a、7b 的边缘过度损伤。而且, 其结果形成膜质优良的电容绝缘膜 13, 不会引起电场集中, 可防止电容的绝缘破坏。

其次, 参照附图说明本发明第二实施例的半导体装置的制造方法。

如图 5 (a) 所示, 利用与上述第一实施例的半导体装置的制造方法相同的工序, 形成在 P 型硅衬底 100 上形成有槽绝缘膜 20a、20b、20c、20d、20e 的 STI 结构。

然后, 如图 5 (b) 所示, 在 P 型硅衬底 100 表面, 在与各槽绝缘膜 20a、20b、20c、20d、20e 邻接的 R1、R2、R3、R4 的各区域形成例如具有 5~10nm 膜厚的仿真氧化膜 21 (例如热氧化膜或通过 CVD 法得到的 TEOS 膜)。

然后, 通过进行曝光及显影处理, 在仿真氧化膜 21 上及槽绝缘膜 20a、20b、20c、20d、20e 上选择地形成光致抗蚀层 21, 使其覆盖与电容形成区域 R4 邻接的槽绝缘膜 20a、20b 的边缘, 并在电容形成区域形成开口部 22。

然后，以该光致抗蚀层 23 为掩模，以加速电压 70KeV、注入量  $2 \times 10^{14}/\text{cm}^2$  的注入条件向开口部 22 离子注入 N 型杂质，例如砷离子，由此，形成电容的下部电极层 24 (N+ 层)。在此，由于与电容形成区域 R4 邻接的槽绝缘膜 20a、20b 被光致抗蚀层 23 包覆，故杂质离子不会注入到槽绝缘膜 20a、20b。另外，仿真氧化膜 21 具有缓和离子注入造成的硅衬底 100 的损伤的作用。

其次，除去光致抗蚀层 23，然后，蚀刻除去仿真氧化膜 21，将 P 型硅衬底 100 的表面露出。然后，如图 5 (c) 所示，形成例如 20nm 膜厚的  $\text{SiO}_2$  膜 25 (例如热氧化膜或通过 CVD 法得到的 TEOS 膜)，使其覆盖 P 型硅衬底 100 的表面及槽绝缘膜 20a、20b、20c、20d、20e。

其次，如图 5 (d) 所示，通过进行曝光及显影处理，在高耐压 MOS 晶体管形成区域 R1 的  $\text{SiO}_2$  膜 25 上选择地形成光致抗蚀层 26。然后，以该光致抗蚀层 26 为掩模，蚀刻除去  $\text{SiO}_2$  膜 25。在此，在高耐压 MOS 晶体管形成区域 R1 残留的  $\text{SiO}_2$  膜 25 构成高耐压 MOS 晶体管的栅极绝缘膜 25a (膜厚  $T1 = 20\text{nm}$ )。另外，实际上加上后述的  $\text{SiO}_2$  膜 25b 及  $\text{SiO}_2$  膜 25c，共同构成高耐压用的栅极绝缘膜 (25a + 25b + 25c)。

在此，如上所述，由于对于与电容形成区域 R4 邻接的槽绝缘膜 20a、20b 没有进行如上述的离子注入，故没有杂质注入，由此其蚀刻速率低且即使被蚀刻，也不会过大损伤槽绝缘膜 20a、20b 的边缘。

其次，如图 6 (a) 所示，在除去光致抗蚀层 26 后，将 P 型硅衬底 100 热氧化，在电容形成区域 R4、中耐压 MOS 晶体管形成区域 R2、及低耐压 MOS 晶体管形成区域 R3 上形成比高耐压 MOS 晶体管的栅极绝缘膜 25a 薄的例如 7nm 的  $\text{SiO}_2$  膜 25b。在此，形成于电容形成区域 R4 的  $\text{SiO}_2$  膜 25b 直接构成电容绝缘膜 27 (膜厚  $T2 = 7\text{nm}$ )。

另外，实际上后述的  $\text{SiO}_2$  膜 25c 重叠地构成电容用绝缘膜 (27 + 25c)。另外，形成于中耐压 MOS 晶体管形成区域 R2 的  $\text{SiO}_2$  膜 25b 直接构成中耐压 MOS 晶体管的栅极绝缘膜 25b (膜厚  $T2 = 7\text{nm}$ )。另外，实际上后述的  $\text{SiO}_2$  膜 25c 重叠地构成中耐压用的栅极绝缘膜 (25b + 25c)。

然后，如图 6 (b) 所示，利用光致抗蚀层 28 包覆高耐压 MOS 晶体管形成区域 R1、中耐压 MOS 晶体管形成区域 R2、电容形成区域 R4 上，并蚀刻除去低耐压 MOS 晶体管形成区域 R3 的  $\text{SiO}_2$  膜 25b，将 P 型硅衬底 100

露出。

然后，如图 6 (c) 所示，在除去光致抗蚀层 28 后，将 P 型硅衬底 100 热氧化，在低耐压 MOS 晶体管形成区域 R3 形成比中耐压 MOS 晶体管的栅极绝缘膜 25b 薄的例如 3nm 的 SiO<sub>2</sub> 膜 25c。这构成低耐压 MOS 晶体管的栅极绝缘膜 25c (膜厚 3nm)。

然后，如图 6 (d) 所示，在 P 型硅衬底 100 整个面上形成约 50nm 的多晶硅膜 29。然后，以形成于该多晶硅膜 29 上的未图示的光致抗蚀层为掩模，如图 7 (a) 所示，在高耐压 MOS 晶体管的栅极绝缘膜 25a 上形成栅极电极 30a，在中耐压 MOS 晶体管的栅极绝缘膜 25b 上形成栅极电极 30b，在低耐压 MOS 晶体管的栅极绝缘膜 25c 上形成栅极电极 30c，在电容绝缘膜 27 上形成上部电极层 31。

然后，如图 7 (b) 所示，以具有开口部的未图示的光致抗蚀层为掩模，以加速电压 30KeV、注入量  $3 \times 10^{12}/\text{cm}^2$  的注入条件向高耐压 MOS 晶体管的离子注入层形成区域上离子注入 N 型杂质，例如磷离子。由此，在高耐压 MOS 晶体管形成区域 R1 的高耐压 MOS 晶体管的源极·漏极区域形成离子注入层 32 (N-层)。

然后，如图 7 (c) 所示，以具有开口部的未图示的光致抗蚀层为掩模，以加速电压 60KeV、注入量  $2 \times 10^{15}/\text{cm}^2$  的注入条件向 R1、R2、R3 各区域的 MOS 晶体管的离子注入层形成区域上离子注入 N 型杂质，例如砷离子。由此，在 R1、R2、R3 的各区域的 MOS 晶体管的源极·漏极区域形成离子注入层 33 (N+层)。

由此，在电容形成区域 R4 形成电容，在高耐压 MOS 晶体管形成区域 R1 形成高耐压的 MOS 晶体管，在中耐压 MOS 晶体管形成区域 R2 形成中耐压的 MOS 晶体管，在低耐压 MOS 晶体管形成区域 R3 形成低耐压的 MOS 晶体管。另外，根据该第二实施例，下部电极层 24 通过以光致抗蚀层 23 为掩模的离子注入形成，故与第一实施例的下部电极层 10 相比，其面积变小，并且可使电容容量值也相应地减小。因此，在进行设计时必须考虑该量。

以上，根据第二实施例，由于以光致抗蚀层 23 为掩模，不会向与电容邻接的槽绝缘膜 20a、20b 注入杂质离子，故在蚀刻 SiO<sub>2</sub> 膜 25 时，不会过度损伤槽绝缘膜 20a、20b 的边缘。而且，其结果形成膜质优良的电容绝缘膜 27，不会引起电场集中，可防止电容的绝缘破坏。

另外,在本发明的第一及第二实施例中,介绍了本发明应用于由P型硅衬底构成的半导体装置的制造方法的例子,但本发明也可以应用于由N型硅衬底构成的半导体装置的制造方法中。在该情况下的用于形成下部电极层24的离子注入可以加速电压15KeV、注入量 $2 \times 10^{14}/\text{cm}^2$ 的注入条件进行例如硼离子的注入。

在本发明的第一及第二实施例中,通过进行热氧化形成了各晶体管的栅极绝缘膜及电容绝缘膜,但不限于此,也可以通过CVD(化学气相成长)或PVD(物理气相成长)等方法形成。

在本发明第一及第二实施例中,说明了只有高耐压MOS晶体管构成LDD(Lightly Doped Drain)结构的源极·漏极区域的例子,而低耐压或中耐压MOS晶体管同样也可以采用LDD结构。

另外,在本发明第一及第二实施例中,对在同一半导体衬底上具有电容、和栅极绝缘膜的膜厚不同的三种MOS晶体管的半导体装置的制造方法进行了说明,但不限于此,也可以将本发明使用于在同一半导体衬底上具有电容和至少一个MOS晶体管的半导体装置的制造方法。

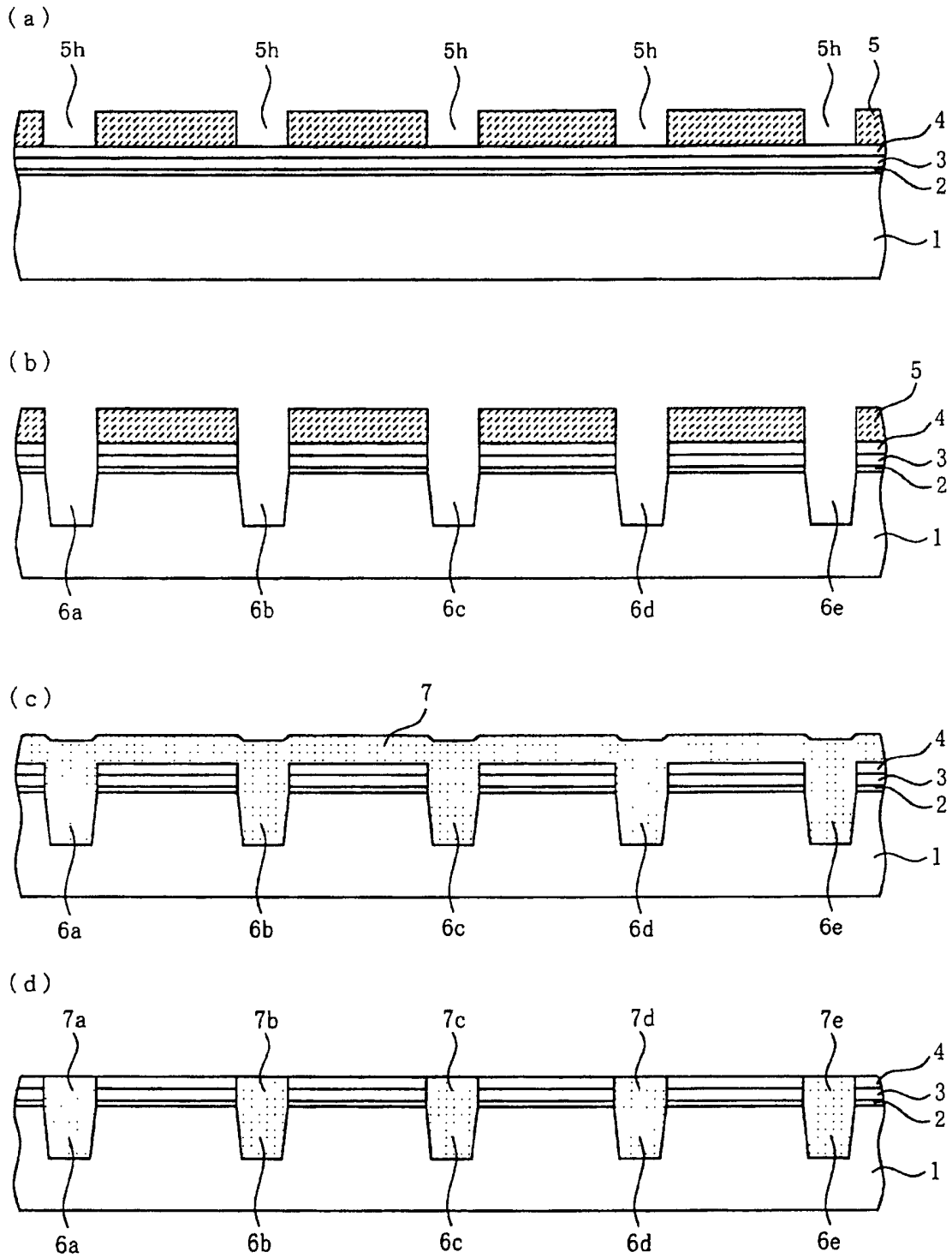


图 1



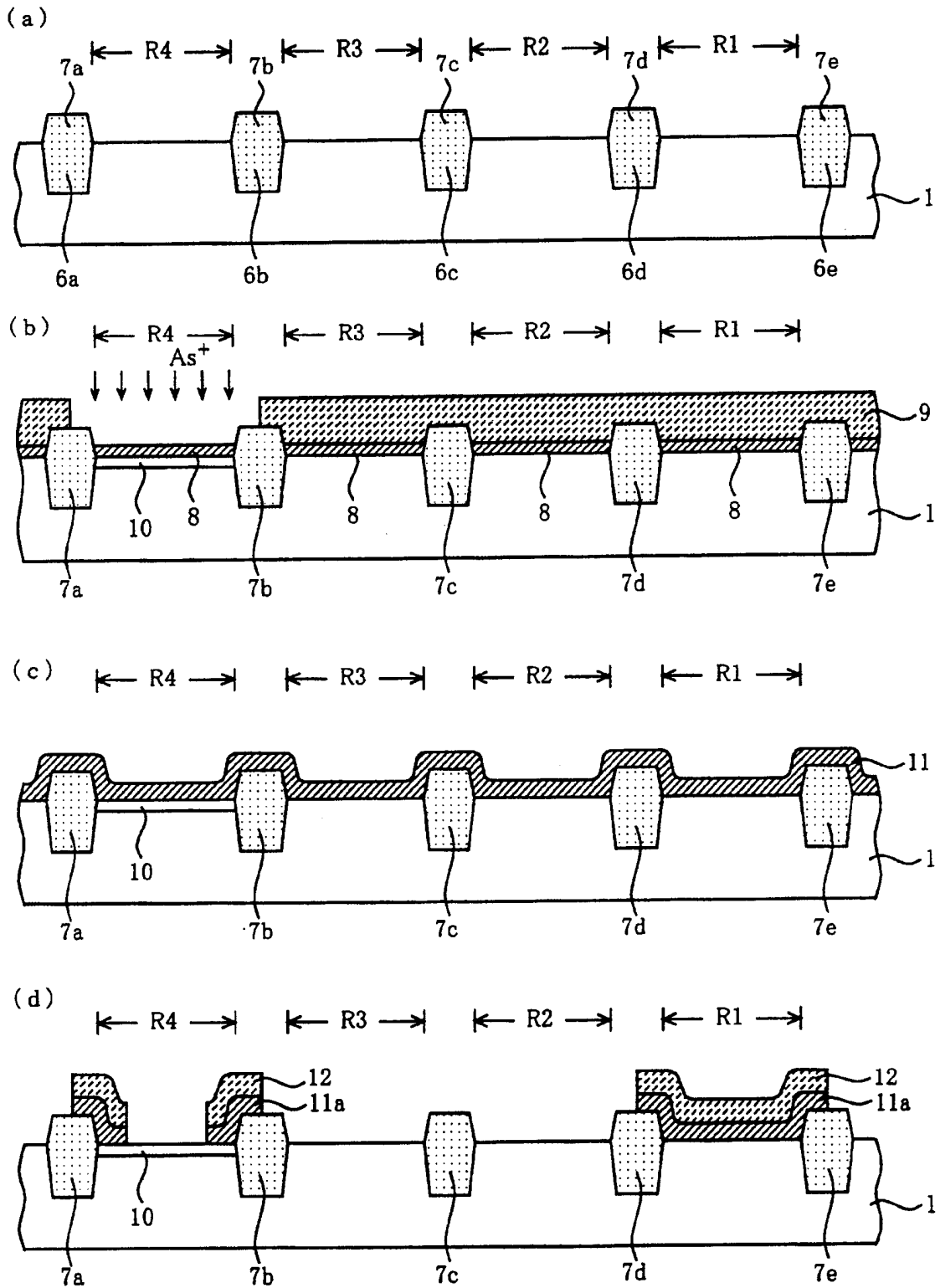


图 2

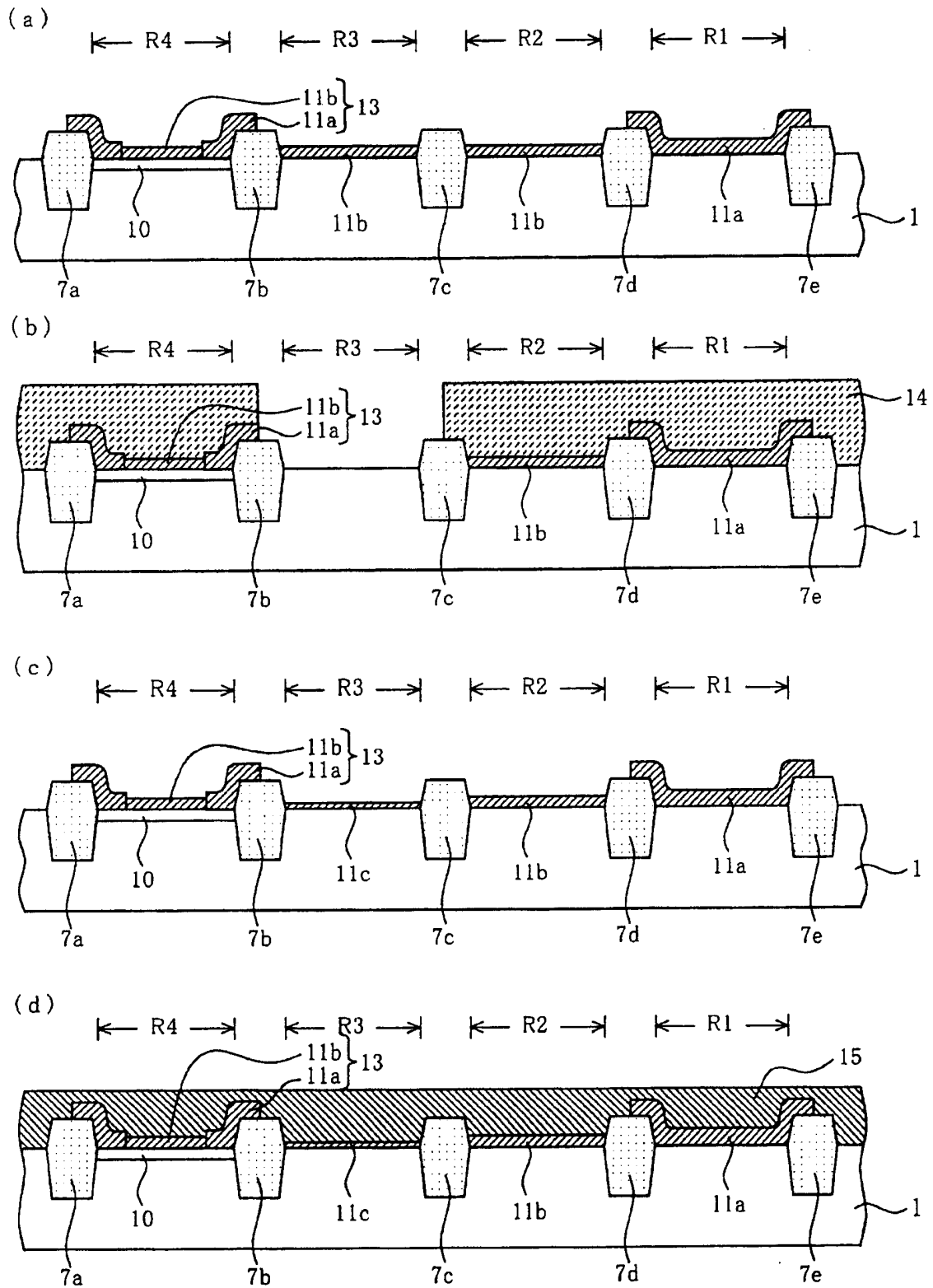


图 3

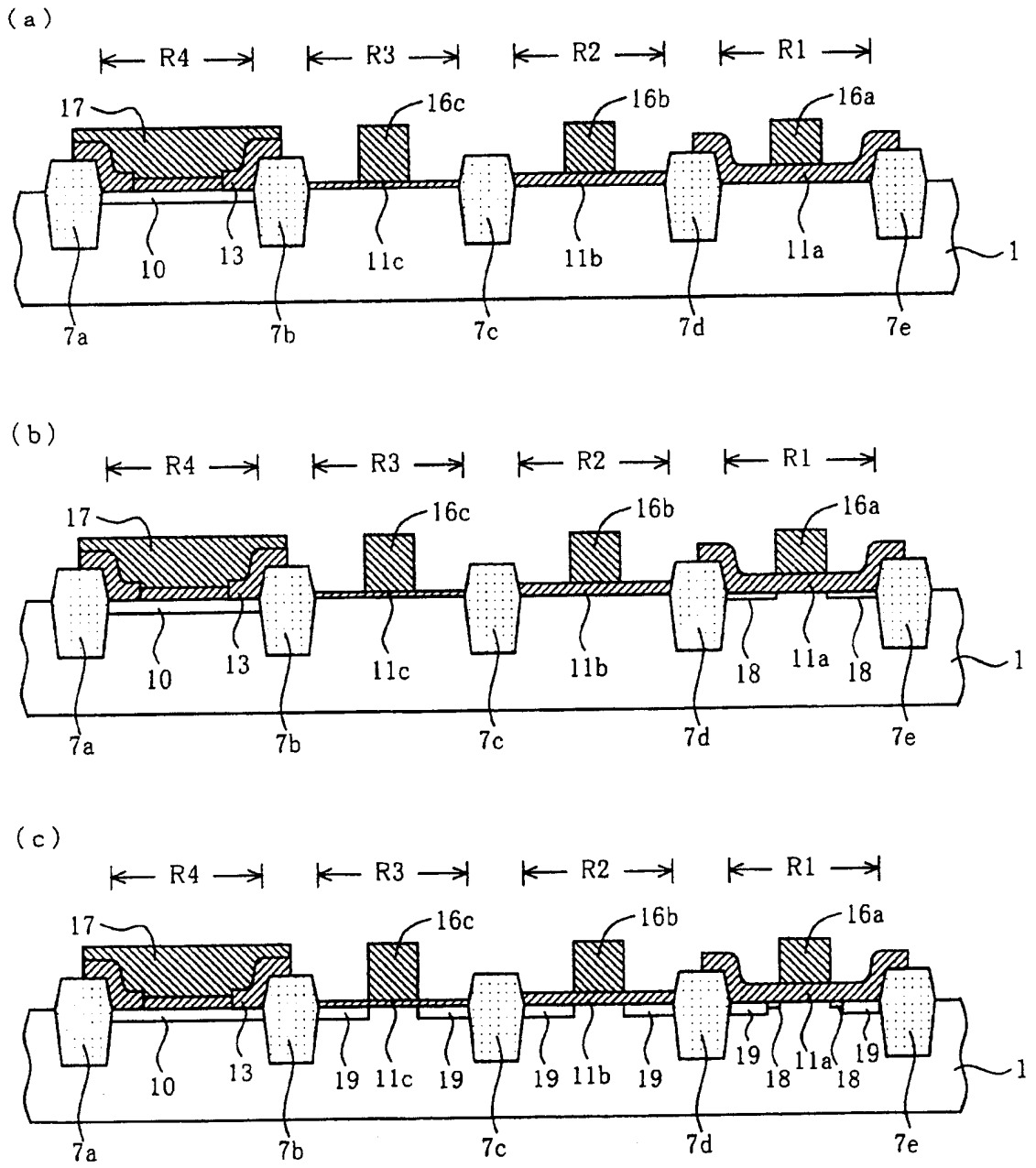


图 4

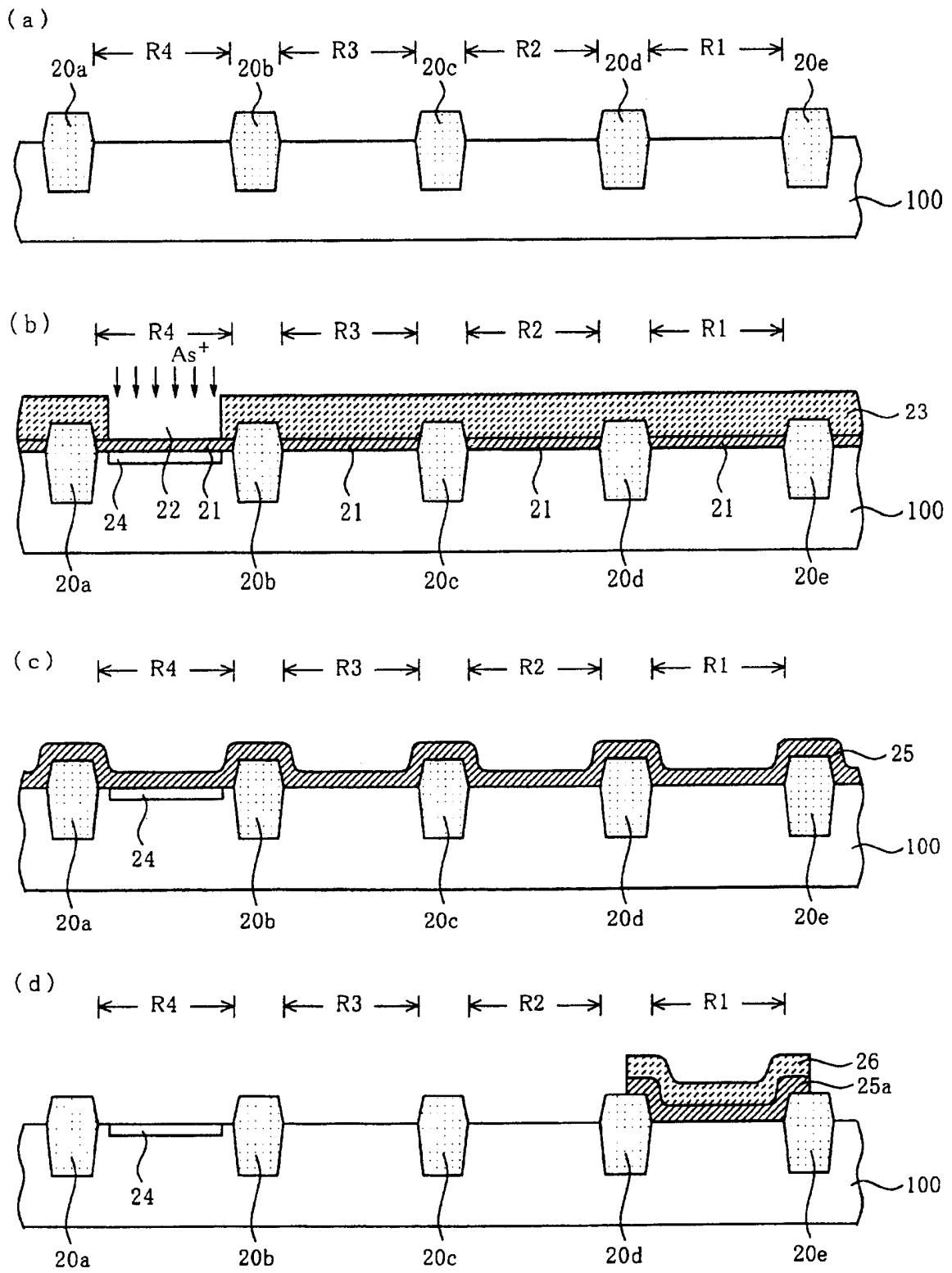


图 5

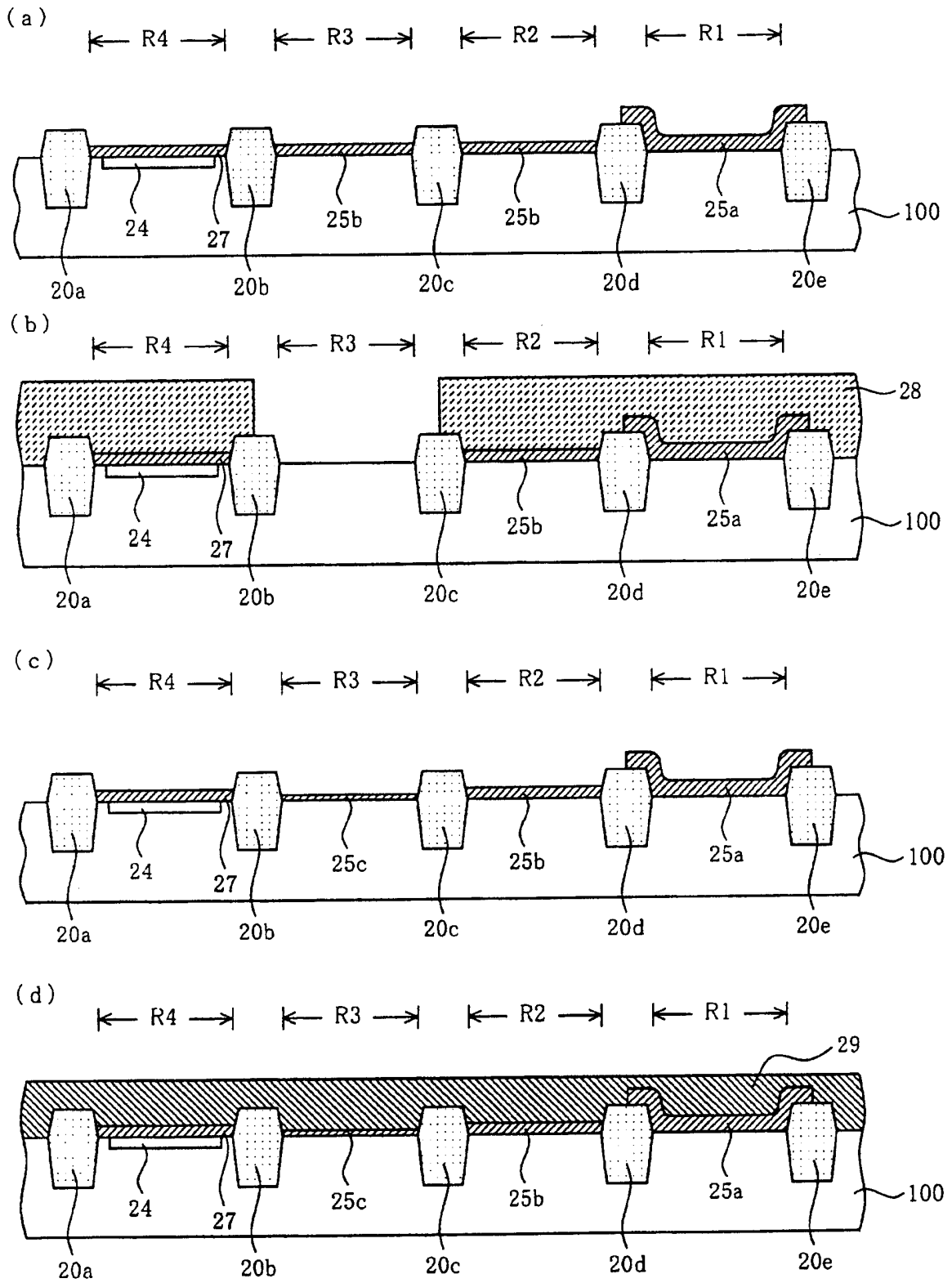


图 6

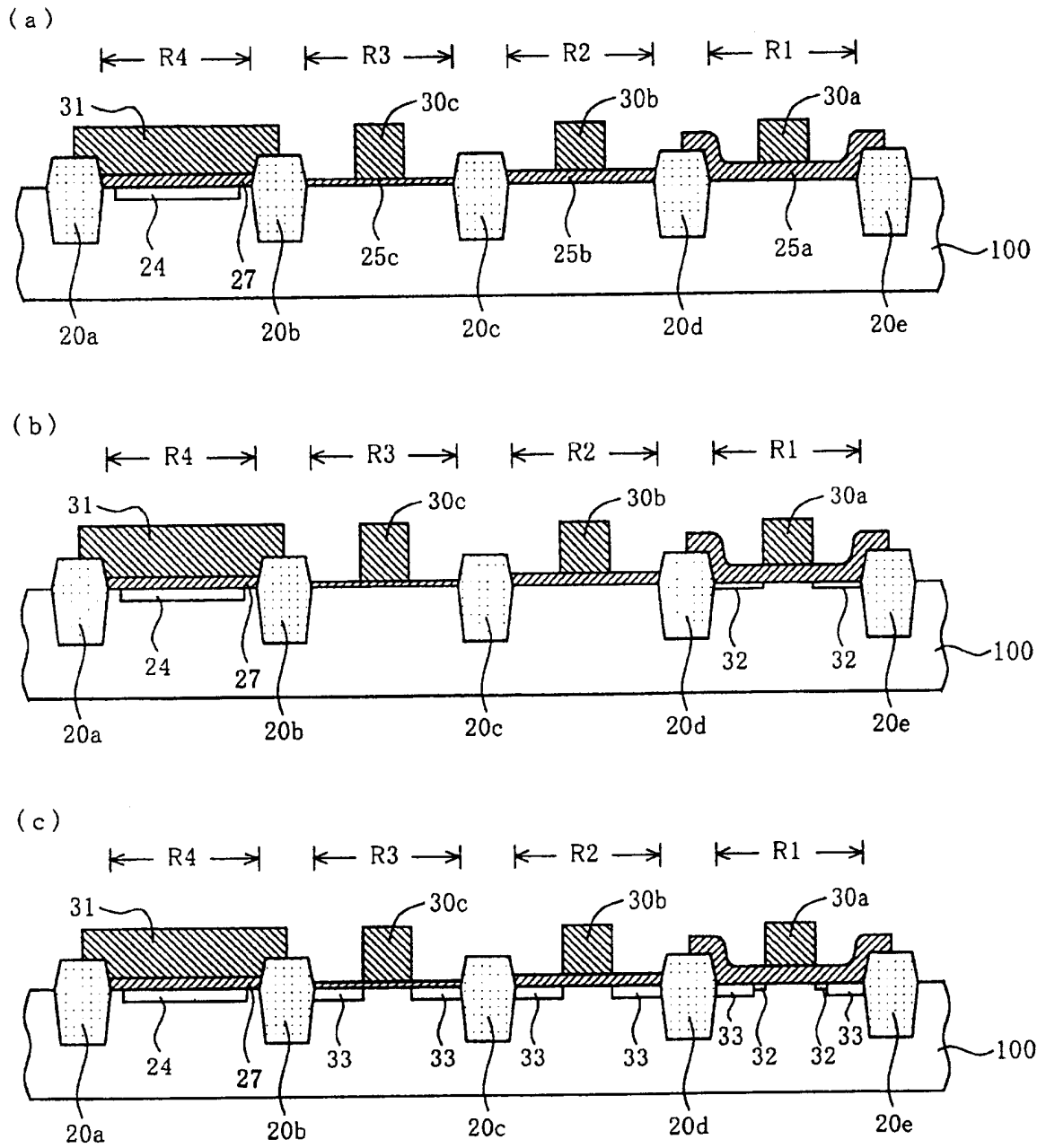


图 7

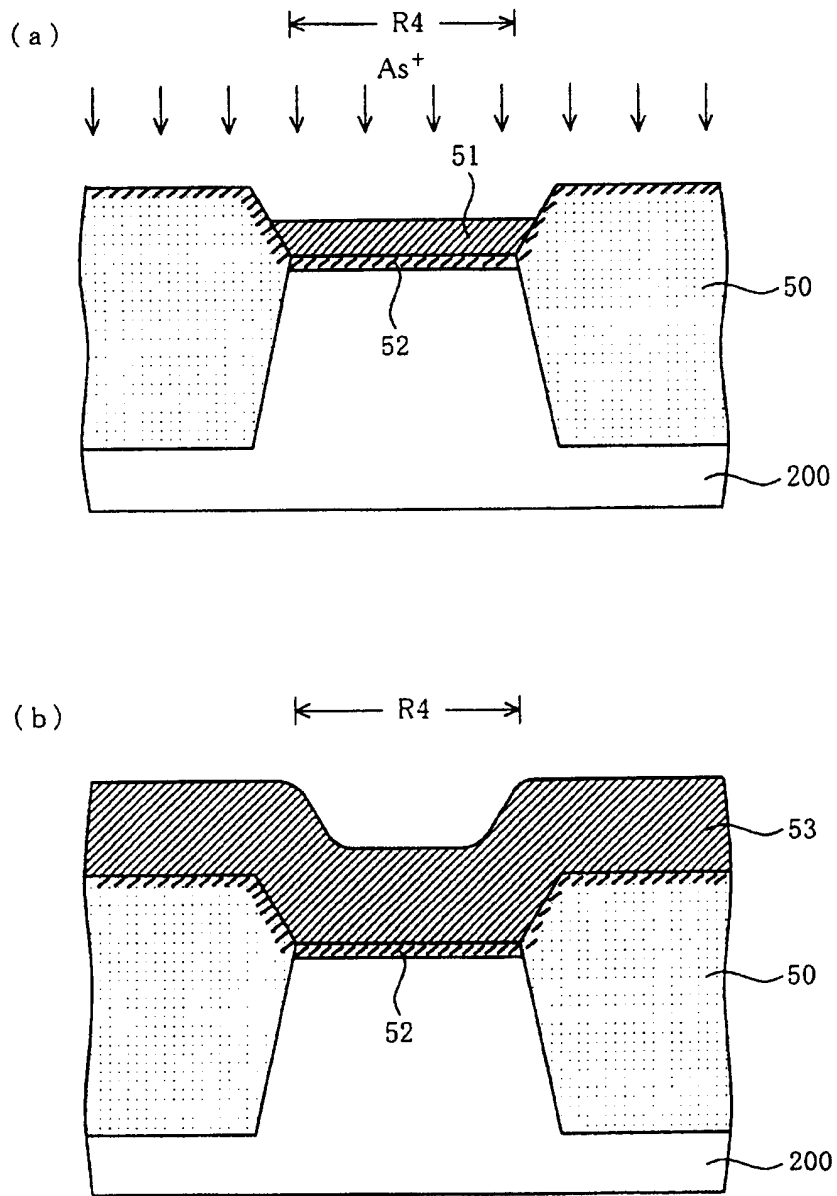


图 8

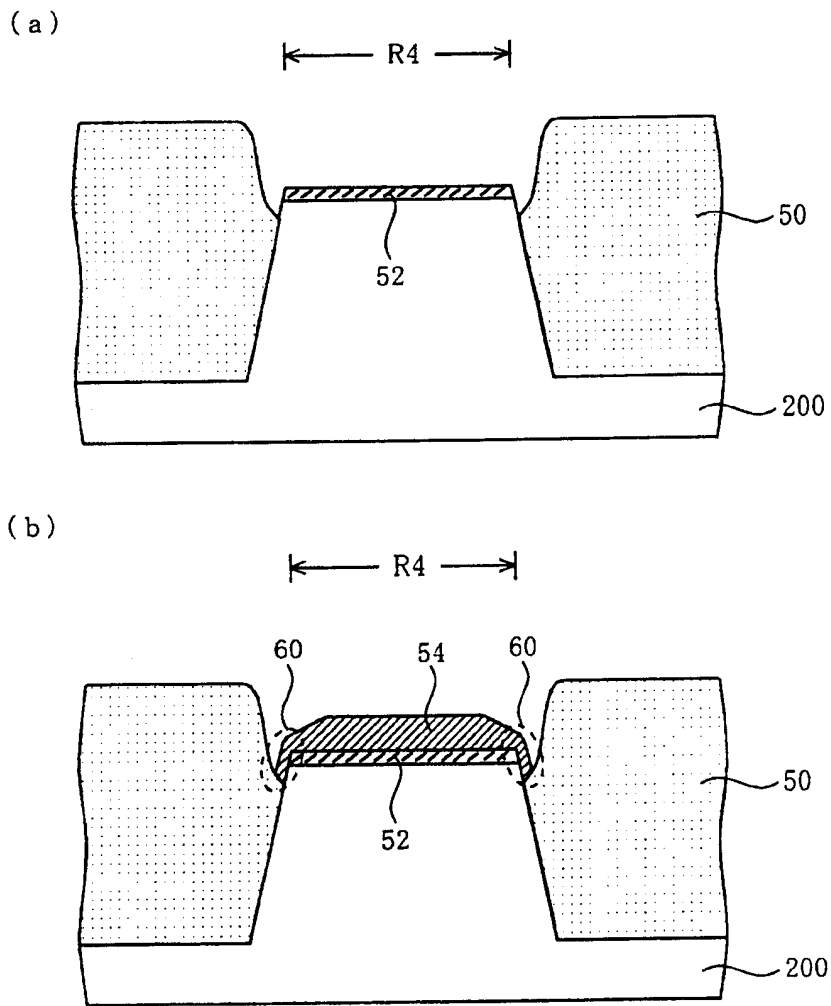


图 9

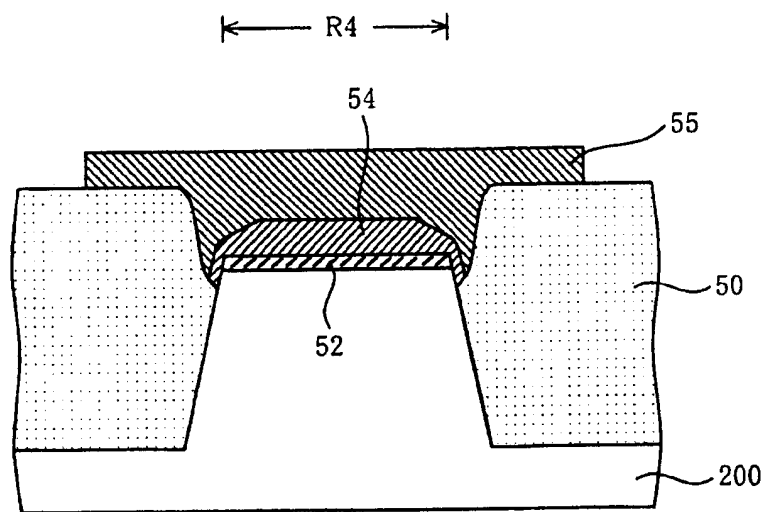


图 10